

# MIXED SIGNALS CIRCUIT DESIGN

12.09.2022

L'oreale è la parte più importante dell'esame.  
 Analysis and Design of Analog Integrated Circuits (5ª edizione)

Fare il Digitale in BJT è difficile perché noi riusciamo bene a fare un gate senza static power come facciamo con i MOS.

Anche il Digitale sullo stesso die dell'analogico ci dà molti disturbi; perciò dobbiamo usare veramente Fully-differential structure.

Se ho un feedback per togliere l'errore di offset anche questo feedback però zero un offset. La soluzione è che nel feedback noi andiamo più piano e quindi possiamo fare transistor più grandi e quindi per pilgrim abbiamo meno offset.

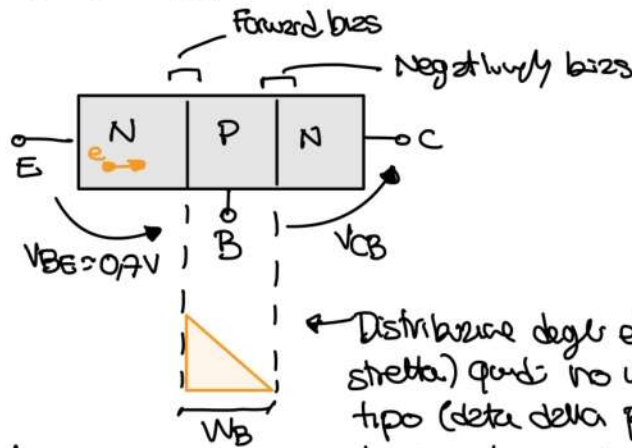
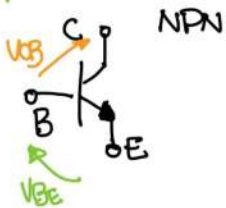
Quali sono gli svantaggi di usare una tecnologia scalata?

- Con i MOS abbiamo meno guadagno che i BJT.
- Rumore 1/f.
- I MOS hanno meno current capability dei BJT (Per avere la stessa corrente l'area dei MOS è molto più grande)

Tipicamente quando scaliamo una tecnologia le performance del circuito analogico migliorano. Questo tipicamente è dovuto al fatto che usiamo il circuito digitale per correggere errori del circuito analogico.

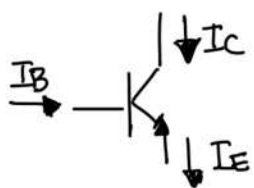
Ci piace usare il thermometer code al posto del Binary perché la linearità DNL è molto migliore che in quello binario. (Tuttavia abbiamo un botto di connessioni in più sul thermometer che sul binario).

## BJT



Distribuzione degli elettroni nella base (che è molto stretta) quindi ho una distribuzione di questo tipo (della prima giunzione in diretta e la seconda in inversa)

La corrente di base è data da delle linee che vanno verso l'elettrodo



Ora noi dobbiamo calcolare la current density

$$J_n = \frac{q D_n n(x)}{W_B}$$

dove  $\frac{n(x)}{W_B}$  è il gradiente degli elettroni

Se volessimo la corrente dovremmo moltiplicare per l'area. Esprimiamo ora il valore di  $n(x)$

$$J = q \frac{D_n}{W_B} \cdot \frac{n_i^2}{N_B} e^{\frac{V_{BE}}{V_{th}}}$$

con  $V_{th} \approx 25mV$

$n_i$  = concentrazione intrinseca

Se  $n_i$  moltiplichiamo per l'area abbiamo che

$$I_C = J \times A = I_S e^{\frac{V_{BE}}{V_{th}}}$$

Noi diciamo che  $V_{BE}$  è circa costante a 0,7V perché per piccole variazioni di  $V_{BE}$  ho che la corrente varia moltissimo.

I parametri del BJT in DC abbiamo che sono

$$I_E = I_C + I_B$$

$$\alpha = \frac{I_C}{I_E} \approx 0,989...$$

$$\frac{I_C}{\alpha} = I_C + I_B$$

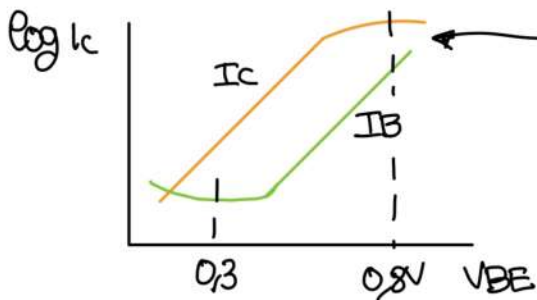
$$I_C = I_B \frac{\alpha}{1-\alpha} = \beta I_B$$

$$\text{dove } \beta = \frac{\alpha}{1-\alpha}$$

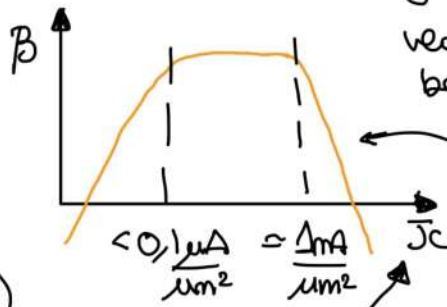
è un numero molto alto perché  $\alpha \approx 1$

Però  $I_E = (\beta + 1)I_C$  ← Molto spesso trascuriamo il +1.

Una cosa importante da ricordare è che  $\beta$  non è costante a tutti i valori di corrente, tipicamente ha un andamento: (IMPORTANTE)



La distanza tra le 2 curve è il  $\beta$  (perché siamo in grafico logaritmico e la distanza è il rapporto dei valori)

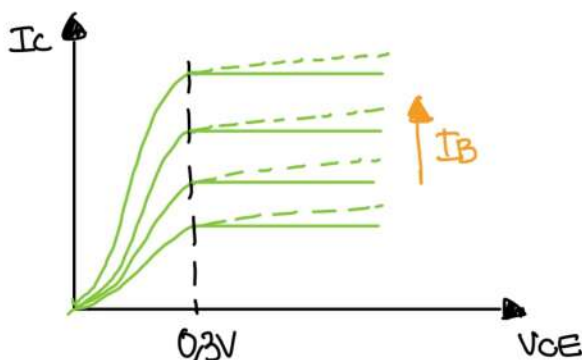


è un altro modo di vedere l'andamento del beta

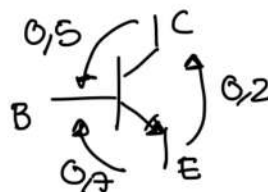
il beta cede perché la base si ingrandisce e  $\beta$  cede perché abbiamo troppa ricombinazione

Capiamo che non possiamo ridurre solo la corrente del BJT perché  $\beta$  ci cede. Dobbiamo cambiare anche l'area (Attenzione! Qui è Current Density!!) Noi come designer vogliamo andare al minimo di due  $\beta$  è alto (vogliamo questo per ridurre l'impedenza d'ingresso del BJT)

La caratteristica del BJT è:



il BJT in zona attiva è un generatore di corrente anche con  $V_{CB}$  negative e  $V_{CE} \approx 0,2/0,3V$   
esempio:



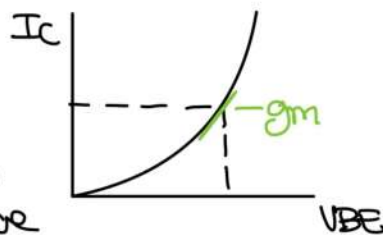
In zona attiva ho corrente in primo ordine costante, tuttavia ho l'effetto early.

Abbiamo quindi un resistore  $r_o$  tra collettore e emettitore di valore  $r_o = V_A/I_C$   
 Nei BJT  $r_o$  risulta molto più grande di quelli dei MOS.

### Piccolo segnale del BJT

Analizziamo la variazione della  $I_C$  data una piccola variazione di  $V_{BE}$

$$\frac{\partial I_C}{\partial V_{BE}} = \frac{I_C}{V_{th}} = g_m$$



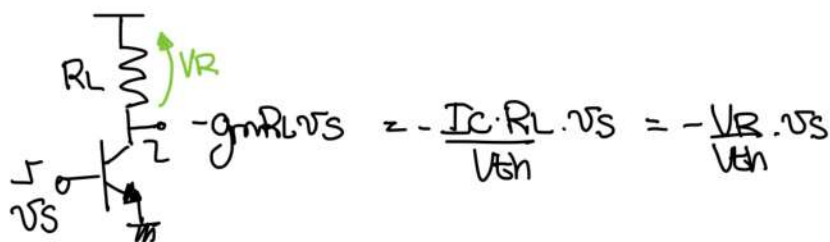
Non abbiamo linearizzato, perciò  $g_m$  è valido solo per  $\Delta V_{BE} \leq V_{th}$  (ma in realtà dipende dall'errore che vogliamo avere)

A room temperature per  $I_C = 1 \text{ mA}$   $g_m = 40 \frac{\text{mA}}{\text{V}}$  quindi  $\frac{1}{g_m} = 25 \Omega$

13.09.2022

21

Se usiamo i BJT in zona attiva noi possiamo usarli come amplificatori



ovviamente abbiamo un limite sul gain perché  $V_R$  non può essere troppo alto perché dobbiamo fare il bias del BJT

Un modo per alzare il gain sopra questo limite è usare un carico attivo

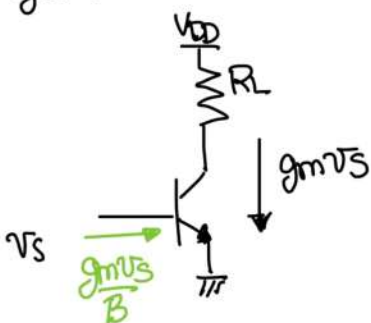


in teoria il guadagno sarebbe infinito. Nella realtà abbiamo  $r_o$  che ci limita il massimo guadagno.

$$G = -g_m r_o = -\frac{I_C}{V_{th}} \cdot \frac{V_A}{I_C} = -\frac{V_A}{V_{th}}$$

$\mu$  può essere molto alto (3000/4000)

Una differenza fondamentale tra BJT e MOS è l'impedenza vista dal gate.



Se noi aumentiamo la corrente di collettore aumenta anche la corrente di base di un valore tipico di

$$\Delta I_B = \frac{g_m V_S}{\beta}$$

è un valore di impedenza resistivo

$$\frac{V_S}{\Delta I_B} = \frac{\beta}{g_m} = r_{\pi}$$

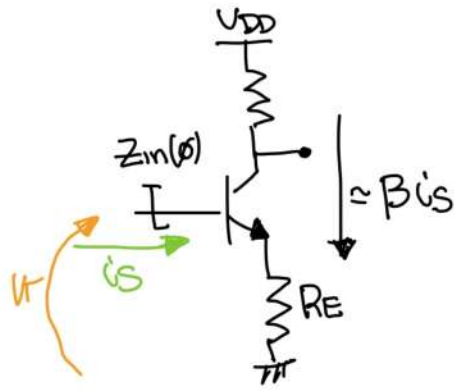
Uno dei motivi per cui gli OPAMP a BJT sono biasati a bassa corrente e per avere  $r_{\pi}$  grande.

Se ho una situazione del gate cosa accade

Misuriamo l'impedenza del gate.

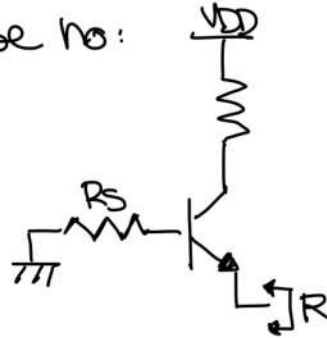
Quindi:

$$Z_{in}(0) = r_{\pi} + \beta R_E$$



Vediamo adesso l'impedenza dell'emettitore

Ma se ho:

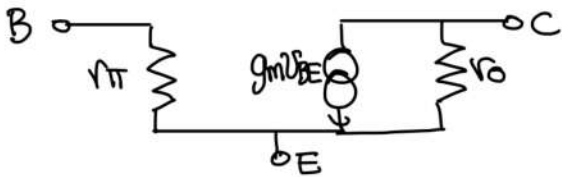


$$R = 1/g_m$$

$$R = \frac{1}{g_m} + \frac{R_E}{\beta}$$

Perciò il modello di piccolo segnale è:

Ma tanto non lo useremo



Quindi in un circuito come questo ho che

Prima calcolo la corrente di base

$$\Delta i_b = \frac{v_s}{R_s + \beta R_E + r_{\pi}}$$

$$\text{Quindi } \Delta i_c = \beta \Delta i_b = \frac{\beta v_s}{R_s + \beta R_E + r_{\pi}}$$

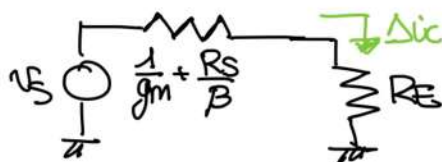
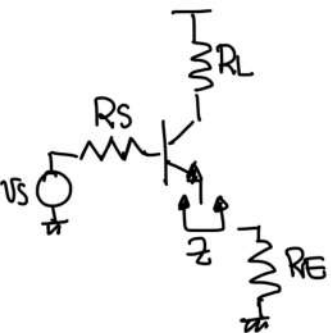
$$\text{Perciò } v_{out} = -v_s \frac{\beta \cdot R_L}{R_s + r_{\pi} + \beta R_E} \approx -\frac{R_L}{R_E}$$

Si può risolvere il problema anche in modo alternativo (uso theorem sull'emettitore)

La tensione sull'emettitore è  $v_s$ , quindi posso fare

$$Z = \frac{1}{g_m} + \frac{R_S}{\beta}$$

$$\Delta i_c = \frac{v_s}{\frac{1}{g_m} + \frac{R_S}{\beta} + R_E}$$

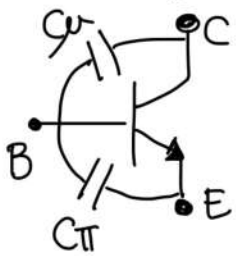


Quindi  $\frac{v_{out}}{v_{in}} = - \frac{R_L}{\frac{1}{g_m} + \frac{R_S}{\beta} + R_E} \approx - \frac{R_L}{R_E}$  vale per  $\begin{cases} R_E \gg \frac{1}{g_m} \\ g_m R_E \gg 1 \end{cases}$

Da  $g_m R_E$  è il loop gain locale della struttura (emitter degeneration è un circuito a feedback locale)

Posso capire del bias che  $g_m R_E \gg 1$  perché  $g_m R_E = \frac{I_C \cdot R_E}{V_{th}}$  dove  $I_C \cdot R_E$  è la caduta di tensione su  $R_E$ .

Non abbiamo parlato di capacità. In un BJT ci sono almeno 2 contributi due capacità



Due su ogni tanto ci da casino perché ce l'effetto miller

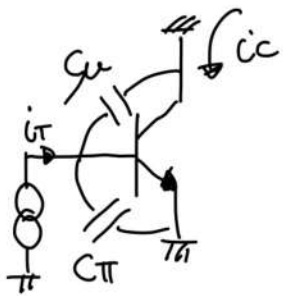
$C_{\pi}$  deriva dalla presenza delle cariche in base questo perché la corrente di output è

$$I_C = q D n \frac{n(0)}{W_B} \cdot A \quad \text{e} \quad Q = \frac{1}{2} W_B \cdot A \cdot n(0) \cdot q$$

Quindi queste 2 grandezze sono proporzionali:

$$\frac{Q}{I_C} = \tau_D = \frac{W_B^2}{2 D n} \quad \text{dove } \tau_D \text{ è chiamato tempo di diffusione.}$$

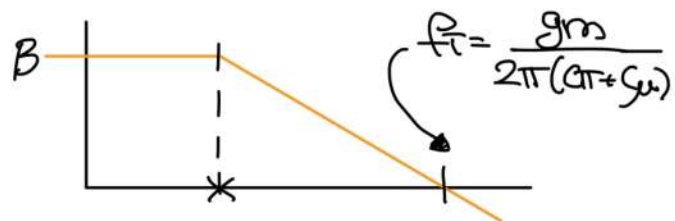
Se abbiamo delle capacità abbiamo per forza dei limiti in banda. Noi usiamo  $f_T$  cioè la frequenza di taglio



per forza abbiamo che

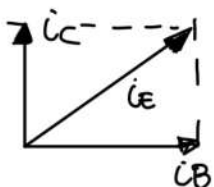
$$i_c = i_{\pi} \cdot \frac{r_{\pi} \cdot \frac{1}{s(C_{\pi} + C_{\mu})}}{r_{\pi} + \frac{1}{s(C_{\pi} + C_{\mu})}} \cdot g_m$$

Quindi  $\frac{i_c}{i_{\pi}} = \frac{\beta}{1 + s r_{\pi} (C_{\pi} + C_{\mu})}$



Allora  $I_B = 1 \text{ mA}$

$|i_c| = \sqrt{2} \cdot i_B$  questo perché la corrente di base e di collettore sono in quadratura



Esprimiamo ora il valore di  $C_{\pi}$ .

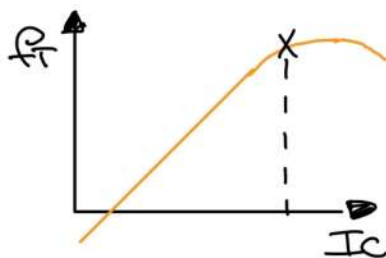
$C_{\pi} = \frac{dQ_B}{dV_{BE}}$  noi sappiamo che  $g_m = \frac{dI_c}{dV_{BE}}$  (potremo sfruttarla per calcolarci  $C_{\pi}$ )

$\frac{C_{\pi}}{g_m} = \frac{dQ}{dI_c} = \frac{Q}{I_c} = \tau_{DIFF}$

In questo caso

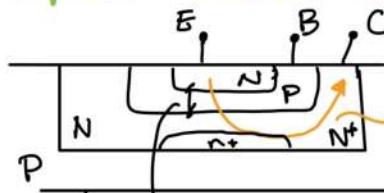
Potremo quindi esprimere  $f_T$  come  $f_T = \frac{1}{2\pi} \frac{1}{\tau_{DIFF} + \frac{C_u}{g_m}} \approx \frac{1}{2\pi} \frac{g_m}{C_{\pi}}$

Abbiamo quindi che  $f_T$  dipende dal bias più corrente abbiamo più  $f_T$  sele

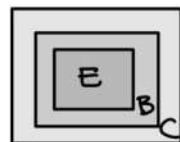


Dobbiamo ricordare che nella realtà  $f_T$  è solo un benchmark della tecnologia

**Bipolar standard technology**



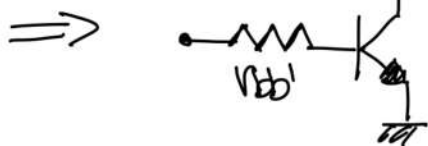
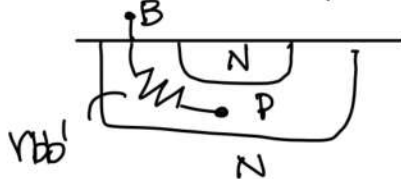
Movimento dei portatori



(vista dall'alto)

Larghezza della base, noi la vogliamo sottile perché vogliamo  $f_T$  alto e  $\beta$  grande

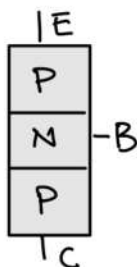
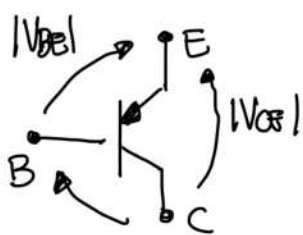
Una cosa che non abbiamo considerato è che dalla base al centro della zona P ho un resistore  $r_{pp}$  che è più grande più la base è stretta



$V_{bb'}$  non è grande ed è  $\ll V_{BE}$   
Quindi per il segnale non ho problemi. Tuttavia questo è un resistore reale e FA RUMORE !!!

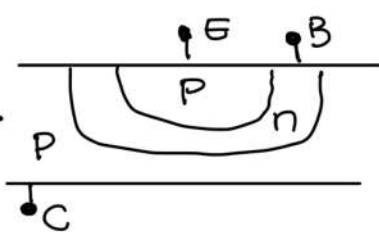
**PNP Transistor**

Davrebbe essere il transistor complementare ma non lo è:



I BJT PNP hanno performance molto peggiori rispetto ai NPN (nella standard technology + cu adesso)

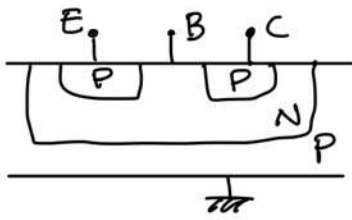
Nella standard technology i PNP erano fatti così:



il collettore deve essere connesso a terra e non ci piace. In più abbiamo anche beta molto bassi.

In pratica ci serve solo per zone un link esponenziale tra  $I_c$  e  $V_{BE}$  (dato il  $\beta$  piccolo non possiamo fare amplificatori)

Un'altra tecnica è fare il PNP orizzontale (lateral transistor)



In questo caso il collettore può non essere collegato a terra.

il fatto negativo è che la larghezza della base è + difficile da controllare quindi ho  $W_B >$  di quello degli NPN quindi ho meno  $f_T$  e  $\beta$  più piccolo.

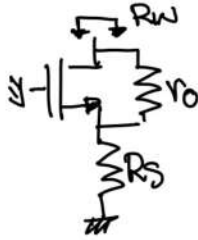
Quindi noi vogliamo evitare che il segnale passi per BJT PNP ma cercheremo di usarli solo per il bias.

14.09.2022

31

Esempio di Current Degeneration

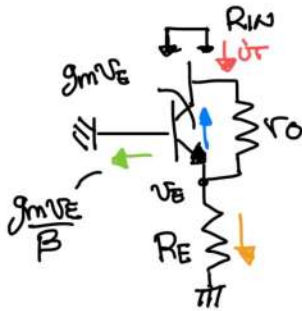
• Nel MOS



$$R_{in} = r_o + R_S + g_m r_o R_S$$

Se aumento  $R_S$  l'impedenza sale verso  $\infty$ .

• NEL BJT (situazione diversa)



$$\begin{cases} \dot{v}_T = \frac{v_E}{R_E} + \frac{g_m v_E}{\beta} \\ \dot{v}_T = \frac{v_T - v_E}{r_o} - g_m v_E \end{cases}$$

OBTENIAMO CHE  $R_{in} = r_o \left[ 1 + \frac{\beta R_S}{r_o} \left( \frac{1 + g_m r_o}{\beta g_m R_E} \right) \right]$

Noi consideriamo  $g_m r_o \gg 1$ , allora otteniamo che

$$R_{in} \approx 1 + \frac{g_m r_o}{1 + \frac{R_S}{r_T}}$$

$$r_T = \frac{\beta}{g_m}$$

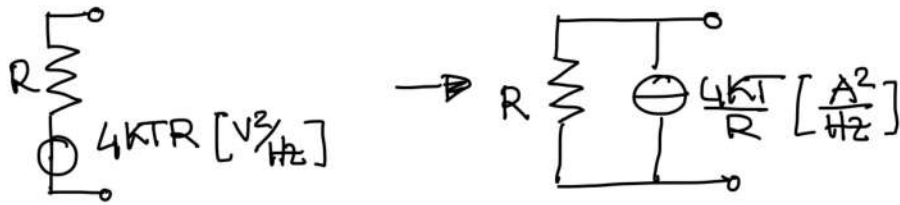
La cosa da sapere è quale è il limite! Se noi facciamo  $R_S \gg \beta/g_m$  allora

$$R_{in} \approx r_o \beta$$

è una situazione diversa rispetto al MOS in cui se facciamo  $R_S$  grande la nostra impedenza andava a  $\infty$  (qui andiamo a  $r_o \beta$ )

Questo significa che non è worthy degenerare troppo un bjt (quindi non vedremo grandi strutture cascode come possiamo vedere in tecnologie CMOS)

## Rumore



È un rumore bianco  
circa fino alla  $10^{14}$  Hz.

(Questo è lo spettro unilatero del rumore, se vogliamo il bilatero dividiamo per 2)

Ma è il rumore su resistenze da  $50\Omega$  o  $1k\Omega$ . Dipende da che tipo di rumore corrente/tensione è quello che ci dà più fastidio.

### • Rumore del Mosfet

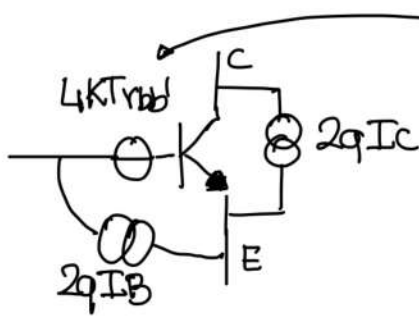


esiste anche il rumore  $1/f \rightarrow S_{1/f} = \frac{K_{1/f}}{C_{ox} W L} \cdot \frac{1}{f}$  (+ largo è il transistor meglio è)

che  $K_{1/f}$  è meglio per i CMOS (tipicamente)

Ma come mai a  $f \rightarrow \infty$  il rumore non va a  $\infty$  perché non abbiamo una frequenza  $\infty$  perché abbiamo sempre una frequenza minima data da  $1/T_{on}$  dove  $T_{on}$  = tempo di on del dispositivo.

### • Rumore nei BJT (è data dalla shot noise)

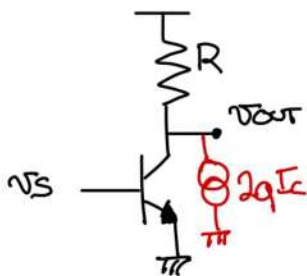


data dal resistore reale che abbiamo qui (visto ieri)

Noi consideriamo i generatori incorrelati.

## Equivalent noise generator

Esempio (consideriamo solo la shot noise del BJT)



$$S_{v_{out}} = 2qI_c \cdot R^2$$

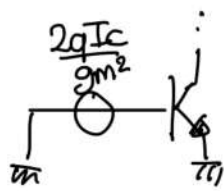
VALUTIAMO L'SNR

$$\left(\frac{S}{N}\right)^2 = \frac{\int_0^{BW} |S_s|^2 \cdot g_m^2 R^2 \cdot df}{2qI_c R^2 \cdot BW} = \frac{\int_0^{BW} |S_s|^2 df}{\frac{2qI_c}{g_m^2} (BW)}$$

noi sappiamo che  $g_m = \frac{I_c}{V_{th}}$  quindi SNR aumenta se aumentiamo la corrente.

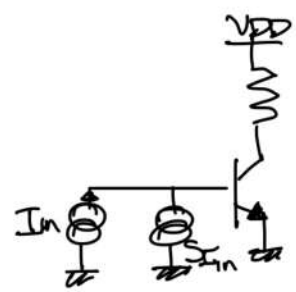


La formula dell'SNR ci dice che possiamo misurare l'SNR direttamente all'input



Questo ci permette direttamente di confrontare il segnale con il rumore.

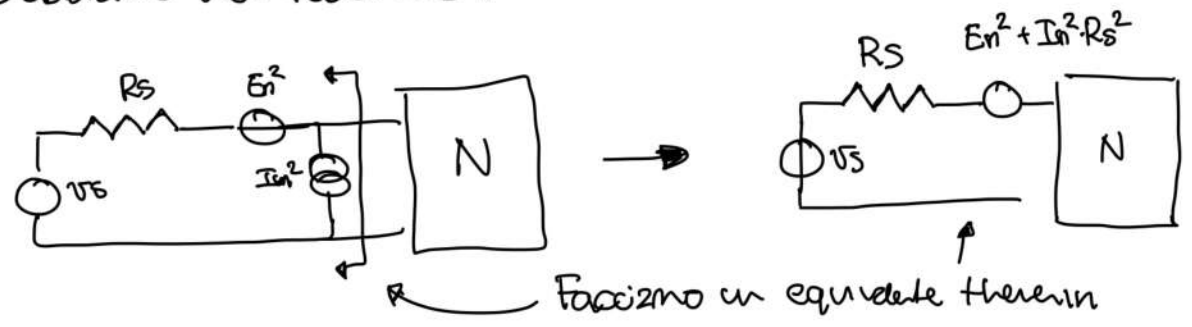
E se considerassimo l'ingresso con un gain di corrente ideale?



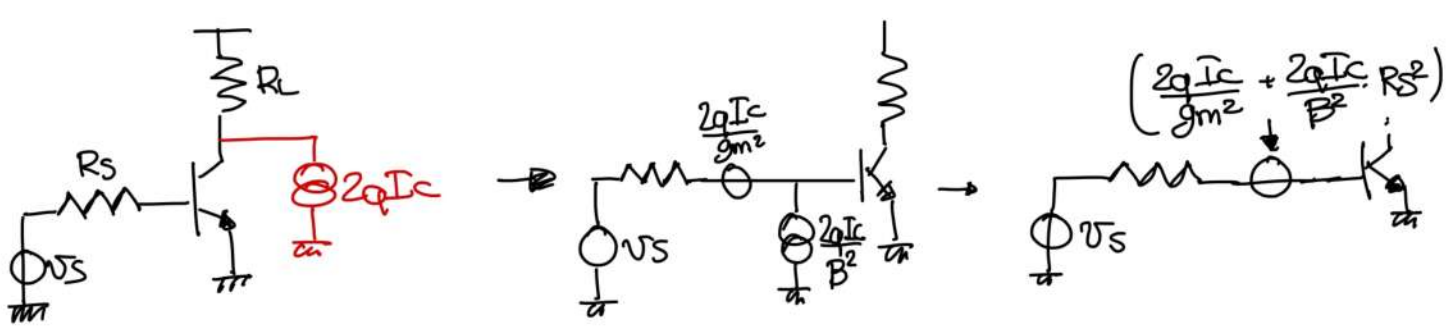
da cui  $S_{input} = \frac{2q I_c}{\beta^2}$

Se ho un doppio bipolo mi possiamo rappresentare il rumore del bipolo riferendo all'input con 2 generatori uno di tensione e uno di corrente. Noi usiamo i 2 generatori perché vogliamo modellizzare per qualsiasi impedenza d'ingresso. Se ne sappiamo esattamente l'impedenza d'ingresso possiamo usare solo un generatore.

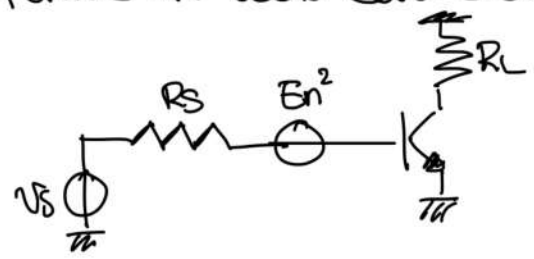
Se abbiamo una roba così:



Esempio



Adesso voglio ricavare il generatore in ingresso che mi dà lo stesso rumore in uscita della shot noise del transistor



allora  $En^2 \left( \frac{r_{\pi}}{R_S + r_{\pi}} \right)^2 \cdot gm^2 = 2qI_c$

quindi  $En^2 = \frac{2qI_c}{gm^2} \left( 1 + \frac{R_S}{r_{\pi}} \right)^2$

Ma ATTENZIONE!! Ci viene diverso da prima!! Perché mai?

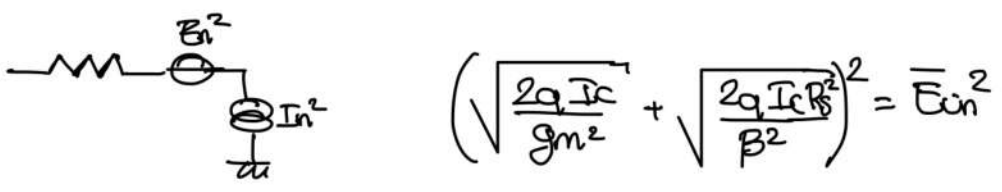
in particolare ci viene 
$$E_n^2 = \frac{2qI_c}{gm^2} + \frac{2qI_c}{\beta^2} R_s^2 + \frac{2qI_c}{gm^2} \cdot \frac{2R_s}{\pi}$$

Questo prima non lo avevo

Quel dei 2  $E_n^2$  è corretto??  
L'ultimo ricevuto è quello giusto!!  
Ma perché?

Questo è dovuto al fatto che i 2 generatori nel primo caso sono fully correlated ma noi nel primo metodo abbiamo sommato le potenze (come se fossero uncorrelated, ma non lo sono)

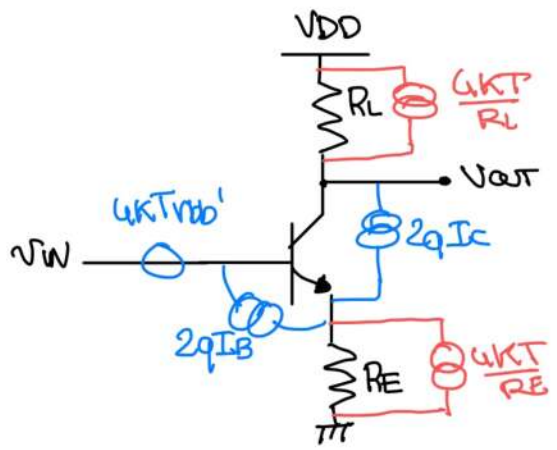
Avremo dato per



Nella realtà non sono sempre fully correlated ma partially correlated (perché aggiungiamo elementi di rumore che danno contributi diversi in rumore di corrente e tensione)

Anche se è sbagliato tuttavia noi usiamo il metodo 1 perché è + facile.

Esempio / ESERCIZIO sul rumore



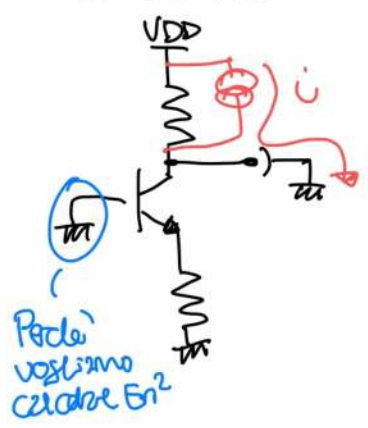
$$\bullet \frac{v_{out}}{v_{in}} = -\frac{R_L}{R_E} \quad (gmR_E \gg 1)$$

• Calcoliamo adesso gli effetti del rumore

- Rumore  $R_L$

$$\overline{E_n^2} = \frac{4kT}{R_L} \left( R_E + \frac{1}{gm} \right)^2$$

perché 
$$\overline{E_n^2} \cdot \frac{1}{\left( \frac{1}{gm} + R_E \right)^2} = \frac{4kT}{R_L}$$
  
è il trasferimento

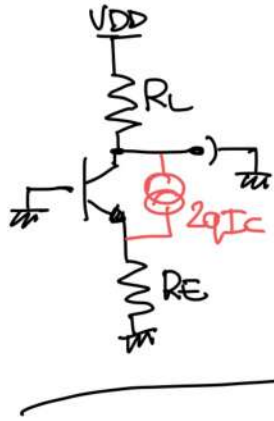


Perché vogliamo calcolare  $E_n^2$

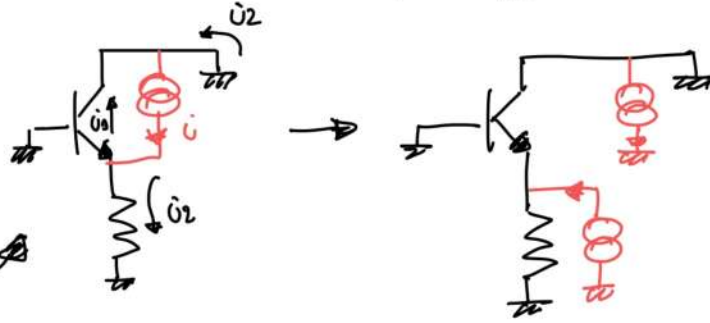
Per il current noise zero l'input, quindi ho che

$$\overline{I_n^2} \cdot \beta^2 = \frac{4kT}{R_L} \rightarrow \overline{I_n^2} = \frac{4kT}{R_L \beta^2}$$

- Rumore shot di canale del transistor



Possiamo usare lo splitting theorem



[nella realtà vediamo che dato che colt è a  $\phi$  abbiamo già il tutto riferito a terra]

Possò lavorare su questo allora

$$i_2 \approx i \cdot \frac{1/g_m}{\frac{1}{g_m} + R_E}$$

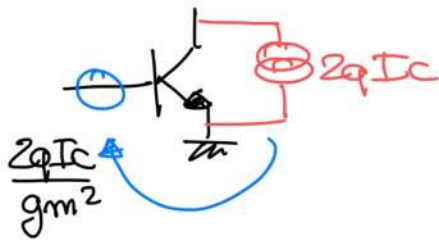
← Approssimazione perché noi abbiamo considerato la corrente di base.

Allora, qual'è la corrente di input che mi dà questa corrente  $i_2$  in output?

$$E_n^2 \cdot \frac{1}{\left(\frac{1}{g_m} + R_E\right)^2} = 2qI_c \cdot \frac{1/g_m}{\left(\frac{1}{g_m} + R_E\right)^2} \Rightarrow E_n^2 = \frac{2qI_c}{g_m^2}$$

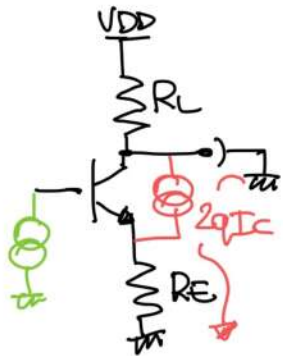
Vediamo che non tutta la corrente arriva all'output (quindi non rumore) tuttavia vediamo della stessa quantità anche il trasferimento del segnale quindi abbiamo che l'SNR rimane quella. (quindi il FEEDBACK NON RIDUCE IL RUMORE)

Inoltre:



Vediamo che con l'emettitore a terra il rumore di input è uguale.

Analizziamo adesso il current generator (apriamo l'ingresso)

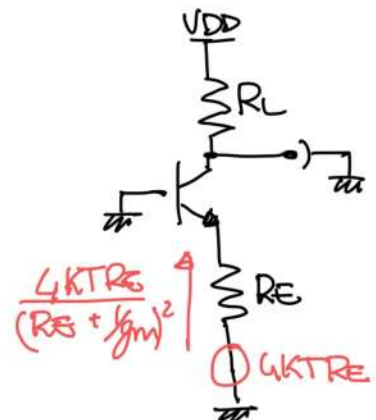


La corrente non può ricircolare perché la base del BJT è aperta. tutta la corrente va all'output

$$I_n^2 = \frac{2qI_c}{\beta^2}$$

- Rumore di RE  
il generatore induce una corrente per a

$$\frac{4kTR_E}{(R_E + 1/g_m)^2}$$

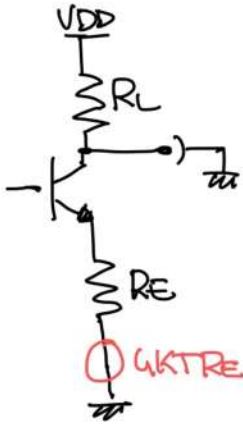


So poi da  $\frac{GKTR_E}{(R_S + 1/g_m)^2} = \frac{E_n^2}{(R_S + 1/g_m)^2} \rightarrow E_n^2 = GKTR_E$

Cose pericolosa da fare ma giusta e' che ci sposta il generatore perche' sono nella stessa maglia.



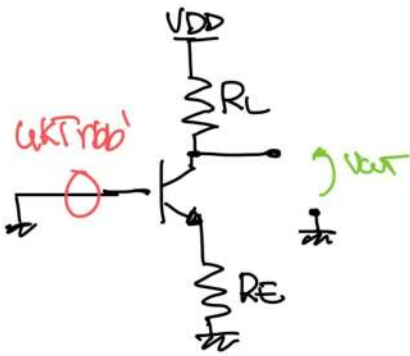
Ricorriamo il gen eq di corrente:



Non puo' scendere corrente in out perche' la base del BJT e' aperta

$I_n^2 = \emptyset$

- Rumore di  $r_{bb'}$

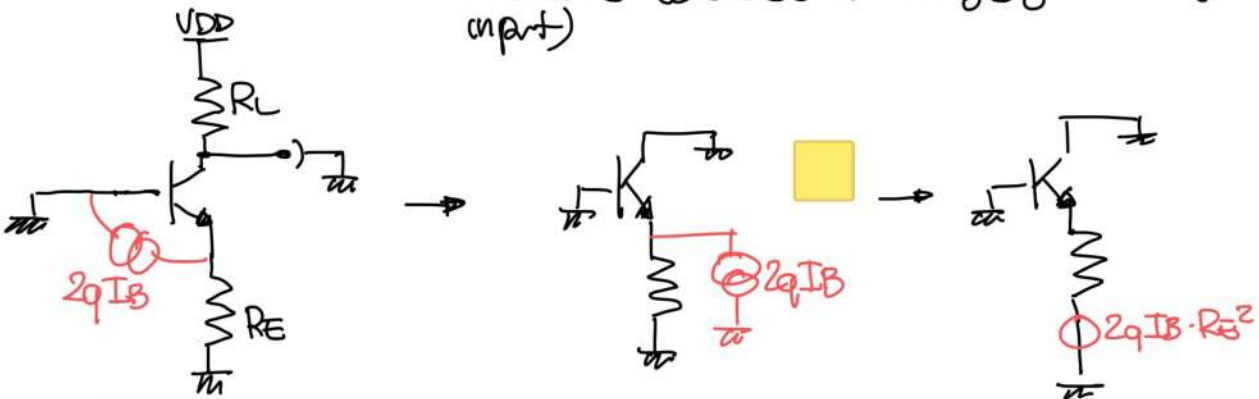


Allora

$E_n^2 = GKTr_{bb'}$   
 $I_n^2 = \emptyset$

- Rumore shot della base

Iniziamo volendo il voltage generator (short all' input)

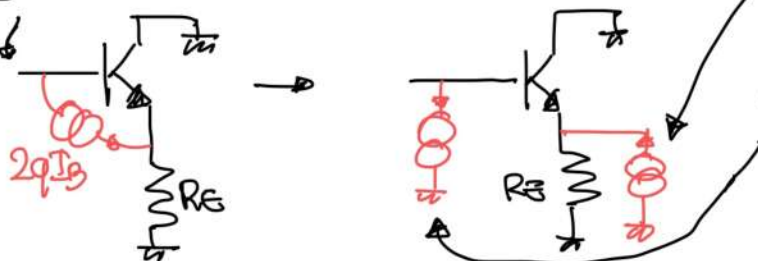


Quindi  $E_n^2 = 2q I_B \cdot R_E^2$

Calcoliamo ora la corrente aperta!

Questo generatore non ha effetto perche' non puo' raggiungere l'out dato che la base del BJT e' aperta

questa e' gia' diretta all' input

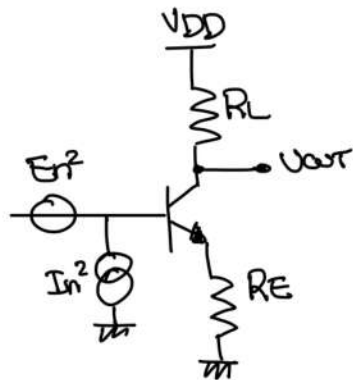


$I_n^2 = 2q I_B$

DA PARS: CALCOLO IL RUMORE PER  $R_E = \emptyset$  (No degeneration) E VEDERE IL TERMINE DOMINANTE (ASSUMERS GUADANO  $\gg 1$ ) VEDERE POI IL UNITA' ULTIMO PER I RUMORI DI CORRENTE E TENSIONE. FACCIAMO POI LA STESSA COFA PER  $R_E \neq \emptyset$  (CONGIUNTO CON FEEDBACK DEGENERATION) PARS POI LA STESSA COFA CON UN  $R_L$  CHE AL POSTO DI ESSERE UNA RESISTENZA E' UN ACTIVE LOAD.

19.09.2022

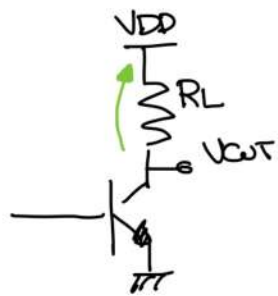
37



$$\overline{E_n^2} = \frac{4kT}{R_L} \left( \frac{1}{g_m} + R_E \right)^2 + \frac{2qI_C}{g_m^2} + 4kT r_{bb'} + 2qI_B R_E^2 + 4kT R_E$$

$$\overline{I_n^2} = \frac{4kT}{R_L} \cdot \frac{1}{\beta^2} + \frac{2qI_C}{\beta^2} + \emptyset + 2qI_B + \emptyset$$

Studiamo ora il circuito senza feedback ( $R_E = \emptyset$ ). Vogliamo evidenziare quali sono i contributi maggiori per il rumore



$$\overline{E_n^2} = \frac{4kT}{R_L g_m^2} + \frac{2qI_C}{g_m^2} + 4kT r_{bb'}$$

tipicamente  $\frac{2qI_C}{g_m^2} > \frac{4kT}{R_L g_m^2}$

Questo perché  $I_C \cdot R_L > \frac{2kT}{q}$  (che di norma è vero)

il rumore che arriva da un load passivo non è poi così importante (passive load meno rumoroso di un transistor)

Notiamo anche che  $\frac{2qI_C}{g_m^2} = \frac{2qI_C}{I_C} \cdot \frac{kT}{q} \cdot \frac{1}{g_m} = \frac{2kT}{g_m}$

Vediamo che quindi è facile fare una comparazione tra  $\frac{2kT}{g_m}$  e  $4kT r_{bb'}$ .

Come ovvio  $g_m$  dipende dal bias ( $I_C = 1mA \rightarrow 25k \Omega$   $I_C \rightarrow 100\mu A \rightarrow 25k \Omega$ )  
Inoltre  $r_{bb'}$  tipicamente vale (100-500  $\Omega$ )

Tipicamente nei BJT  $I_{bias} \approx \mu A$  quindi capiamo che  $\frac{2kT}{g_m}$  è il rumore dominante (per  $I_{bias} \approx \mu A$ ).

Come posso ridurre il rumore? Aumento il bias, così no che  $g_m$  cede e  $\frac{2kT}{g_m}$  diventa piccolo.

il limite ultimo del rumore è  $4kT r_{bb'}$ .

SE NOI VOGLIAMO RIDURRE IL FATTORE DOMINANTE DOBBIAMO AUMENTARE LA POTENZA (TRADEOFF RUMORE/POTENZA)

Quanto detto sopra vale per il rumore di tensione in ingresso.

Per quanto riguarda il rumore di corrente abbiamo che è uguale al caso con il feedback.

$$\overline{I_n^2} = \frac{4kT}{R_L} \cdot \frac{1}{\beta^2} + \frac{2qI_c}{\beta^2} + 2qIB$$

Vediamo che ovviamente  $2qIB$  è il fattore dominante. Possiamo verificare che

$$\frac{4kT}{R_L} \cdot \frac{1}{\beta^2} < 2qIB \rightarrow \frac{2kT}{q} \cdot \frac{1}{\beta} \ll \underbrace{IB \cdot \beta}_{I_c} \cdot R_L$$

Quindi il limite ultimo è  $2qIB$ .

ANALIZZIAMO ORA L'IMPATTO DEL FEEDBACK ( $R_E \neq 0$ ) SUL FATTORE DOMINANTE DEL GENERATORE DI TENSIONE DI RUMORE

$$\overline{E_n^2} = \frac{4kT}{R_L} \left( \frac{1}{g_m} + R_E \right)^2 + \frac{2qI_c}{g_m^2} + 4kT r_{bb} + 2qIBR_E^2 + 4kTRE$$

NUOVO RUMORE

NON ABBIAMO NESSUN MIGLIORAMENTO SUL FATTORE DOMINANTE NEL CASO SENZA FEEDBACK

NON ABBIAMO MIGLIORATO IL FATTORE ULTIMO

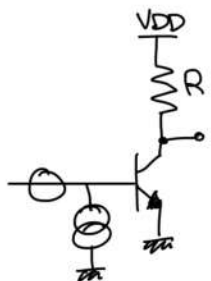
NUOVO RUMORE È IL NUOVO RUMORE DOMINANTE

Attenzione  $4kTRE \gg \frac{2qI_c}{g_m} \rightarrow 2kT \frac{1}{g_m}$

Deve essere così perché se degeneriamo per linearizzare  $g_m R_E \gg 1$

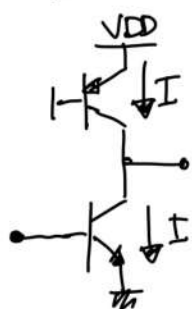
Quindi se ho un buon feedback ho più rumore che nel caso precedente (il feedback ci serve solo per migliorare la linearità)

### ACTIVE LOAD VS PASSIVE LOAD (impatto sul rumore)



$$\overline{E_n^2} = \frac{2qI_c}{g_m^2} + 4kT r_{bb}$$

Se noi vogliamo aumentare il gain dobbiamo usare un load attivo

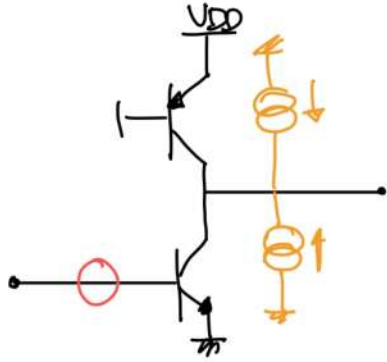


In questo caso ho che il guadagno è

$$|G| = g_m \frac{r_o}{2} = \frac{1}{2} \frac{V_A}{V_{th}}$$

Sta robusta non funziona così e basta perché abbiamo 2 generatori che devono essere uguali. Noi facciamo questo con gli specchi e con il feedback

Analizziamo ora il rumore d'ingresso

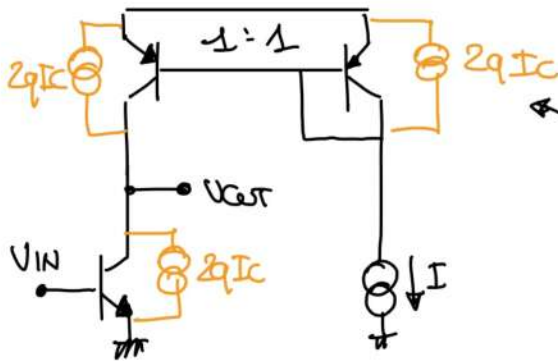


$$\bar{E}_n^2 = \frac{2qI_C}{g_m^2} \times 2 + 4kT r_{bb'} \Big|_{NPN} + 4kT r_{bb'} \cdot \left( \frac{g_{mPNP}}{g_{mNPN}} \right)^2$$

È IL FATTORE DOMINANTE! NOI VEDIAMO CHE RADDOPPIA PERCHÈ HO 2 GENERATORI SHOT IN PARALLELO. IL PRIMO È DEL TRANSISTOR NPN, IL SECONDO DEL PNP.

QUANDO USO CARICHI ATTIVI HO PIÙ RUMORE CHE NEL CASO DI CARICHI PASSIVI.

Vediamo adesso un circuito più reale:

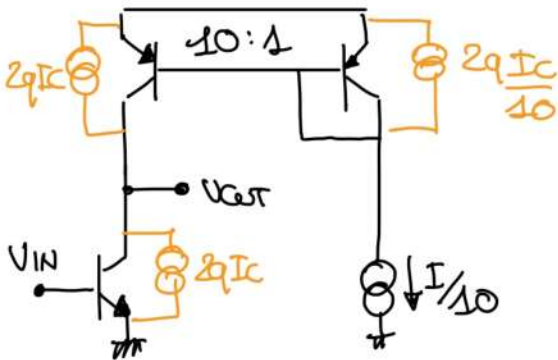


Considerando solo la collector shot noise abbiamo che

$$\bar{E}_n^2 = 3 \times \frac{2qI_C}{g_m^2}$$

Questo perché questa corrente viene spacciata in uscita.

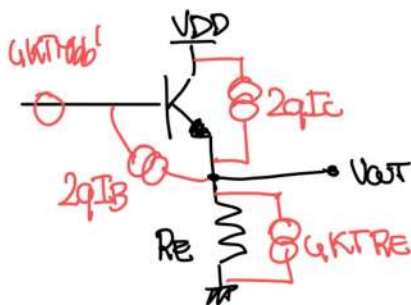
Ma così siamo consumando  $2I_C$ , quindi ho un buon consumo di potenza. Per ridurre il consumo di potenza potrei fare lo specchio 10:1 e ridurre  $I_C = I/10$ . Ma così il rumore mi aumenta.



Ma questa corrente viene spacciata, quindi bisogna moltiplicare per  $(10/1)^2$  quindi ho che in out ho

$$S_{i_0}^2 = \frac{2qI_C}{10} \cdot 100 = 2qI_C \cdot 10 \quad \text{che è peggio di prima}$$

FACIAMO ADESSO LO STESSO STUDIO SUL RUMORE DI UN GUITER FOLLOWER



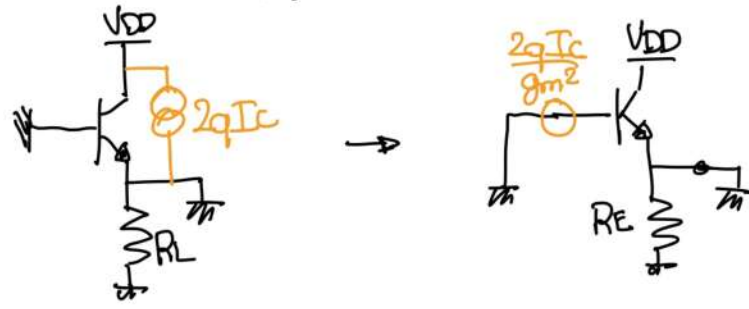
$$\bar{E}_n^2 = 4kT r_{bb'} + \frac{2qI_C}{g_m^2} + \frac{4kT}{R_E g_m^2} + \frac{2qI_B}{g_m^2}$$

Termine dominante (se  $I_C R_E \gg \frac{2kT}{q}$ )

$$\bar{I}_n^2 = \varnothing + \frac{2qI_C}{\beta^2} + \frac{4kT}{R_E \beta^2} + 2qI_B$$

Se aumentiamo  $R_E$  il follower risulta meno rumoroso!

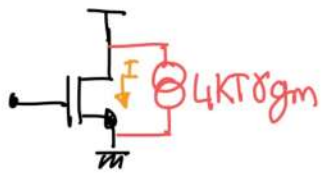
Vediamo il trasferimento di  $2qI_C/g_m^2$



Se usiamo un carico attivo al posto di  $R_L$  abbiamo che nel caso migliore il rumore è il doppio.

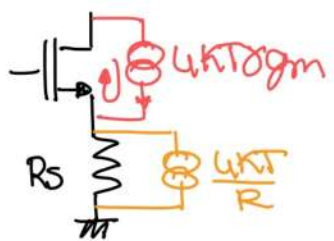
Rumore in uscita da un generatore di corrente

(NON VAUTIAMO EQUIVALENT INPUT NOISE MA SOLO IL RUMORE IN USCITA)



In quest caso la degenerazione può tornare utile. Questo perché stiamo miscelando solo il rumore in uscita e NON un rumore riprodotto all'ingresso.

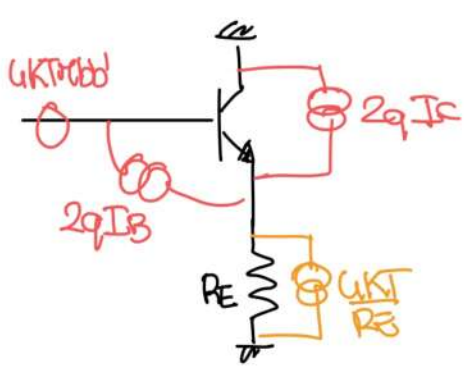
Allora con la degenerazione ho che



Conferma che per  $R_S$  alto ho che la corrente del nos circola completamente.

Ulteriormente ho zero la corrente di  $R_S$ , ma se  $R_S \rightarrow \infty$  ho che ho bassissima corrente.

Coni BJT ho un circuito di questo tipo.



$2qI_C$  marcia parzialmente su se stesso e una parte va su  $r_e$

- $S_{I_C} = 2qI_C \left( \frac{1/g_m}{R_S + 1/g_m} \right)^2$

Poi supponiamo  $R_S$  grande e quindi tutto il rumore va in out

- $S_{I_{C2}} = \frac{4kT}{R_S}$

Poi abbiamo che il rumore di tensione dato dai rbbi va

$$S_{I_{rbb}} = \frac{4kT r_{bb}}{\left( \frac{1}{g_m} + R_S \right)^2}$$

e poi abbiamo che dato che  $R_S$  è grande

$$S_{I_{IB}} = 2qI_B$$

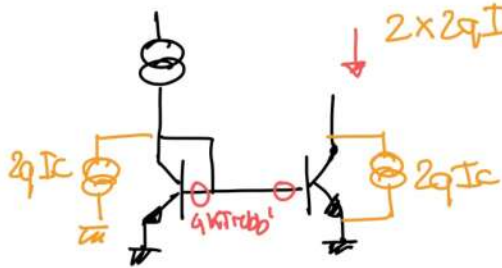


Vediamo che se aumentiamo  $R_E \rightarrow \infty$  ho da tutte le componenti termine  $2qI_B$  vanno a 0. Ho un limite sul minimo rumore.

È molto difficile raggiungere questo limite perché se vogliamo:

$$2qI_B > \frac{4kT}{R_E} \rightarrow I_C \cdot R_E > 2\beta \left( \frac{kT}{q} \right) \leftarrow \text{che è molto difficile.}$$

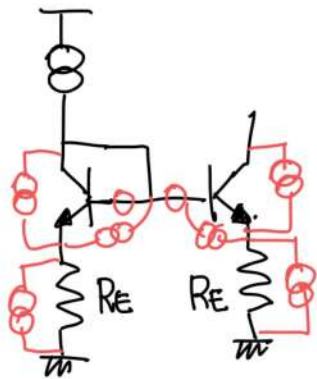
Altri esempi di generatore di corrente



$$2 \times 2qI_C + 2 \times 4kT \mu_{db} \cdot g_m^2 \cdot \left( \frac{\beta}{\beta+1} \right)^2$$

è un partitore di tensione tra la  $H$  della base e  $1/g_m$   
 $\bar{e} \approx 1$

E se degenerassimo lo specchio



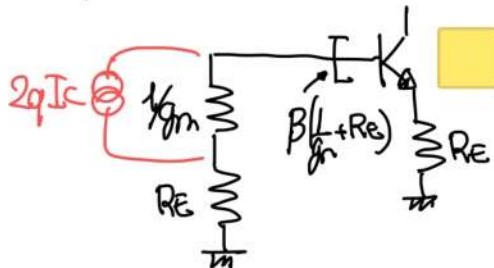
Vogliamo per conto nostro il rumore all'output

e qual'è il limite ultimo se  $R_E \rightarrow \infty$ ?

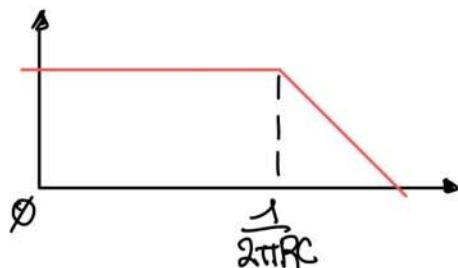
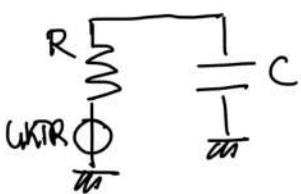
(La soluzione è  $I_C r^2 = 2qI_B$ )

il modo per valutare il rumore qui è usare i modelli equivalenti

il limite minimo arriva da  $2qI_B$ .



### DISCUSSIONE SUL RUMORE



che equivale a una banda equivalente pari a  $B_{\text{eq}} = \frac{1}{4RC}$

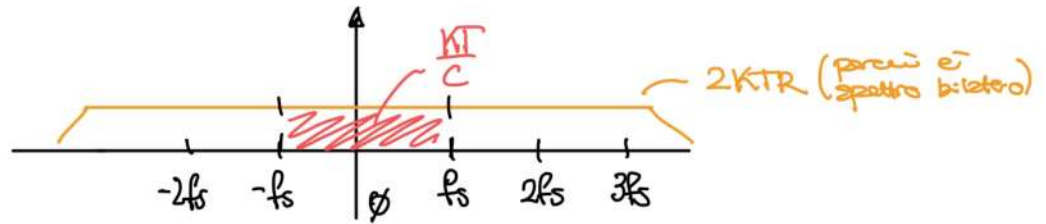
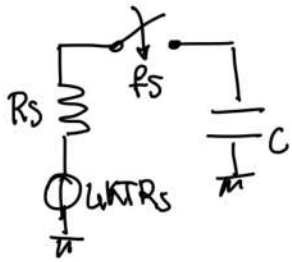
Quindi abbiamo che la varianza del rumore è  $\sigma_v^2 = \frac{4kTR}{4RC} = \frac{kT}{C} [V^2]$

con  $T=300K$   $C=1pF \rightarrow \sqrt{\frac{kT}{C}} \approx 6\mu V$

il rumore non dipende dalla resistenza perché se  $R$  è più grande  $B_{\text{eq}}$  è più piccola e le 2 cose si bilanciano.

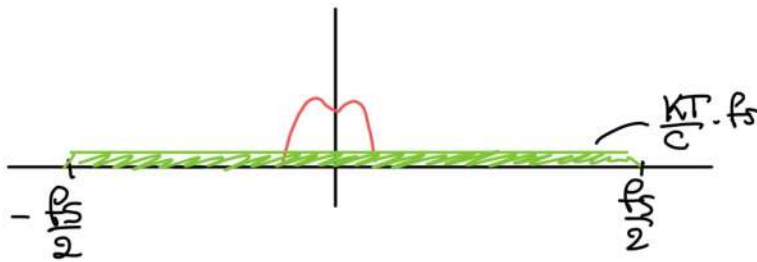
Inoltre + capacità = + potenza ma il condensatore non dissipa potenza.  
 Nella realtà quello che consuma è il circuito che deve comandare la capacità.

Questa funzione anche nel caso di circuiti tipo switched cap.  
 Cosa succede al rumore nel mondo discreto?  
 Iniziamo considerando lo spettro del segnale



Anche il rumore viene replicato con tutte le repliche. In conclusione abbiamo che tutto il rumore viene ripotato. Il rumore sarà l'area che è  $\frac{KT}{C}$  quindi la varianza del segnale su C è  $\frac{KT}{C}$ .

- Oversampling  
 è una tecnica per cui facciamo un sampling  $\gg 2BW$ .  
 Quanto è la noise power che cade sul nostro segnale sampleto?



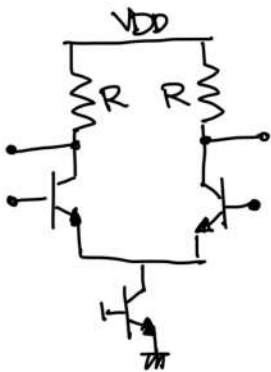
il livello del rumore è più basso perché l'area è più grande.

Nel mondo reale di norma noi per aumentare la frequenza di sampling noi diminuiamo la capacità e quindi  $\frac{KT}{C}$  aumenta. (riduciamo la capacità perché se no consumiamo troppa potenza)

20.09.2022

2h

### Differential pair



Questo non è un doppio bipolo ma è un 1 parte. Questo significa che non si potrebbero usare i generatori equivalenti

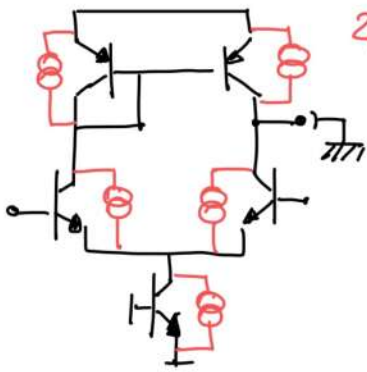
Nella realtà noi lo applichiamo comunque per il generatore di tensione equivalente.  
 In particolare se la Common Mode rejector ratio è molto alta, allora per il voltage equivalent signal posso vederlo come un doppio bipolo.

Per la current noise non c'è un argomento così forte su due mettere il generatore equivalente.  
 Noi quindi useremo solo la voltage noise.

Notiamo poi però che il rumore del BJT non si spartita perfettamente a metà se comandiamo i bjt in input con delle sorgenti con resistenze diverse (che è stupido) cominceremo in questo caso il teorema non funziona perché il rumore di cut non è

Indipendente dal carico della sorgente.

• **Valutiamo il rumore** (consideriamo solo la collector shot noise)



$2qI_c$  L'output voltage noise current è  $4 \times 2qI_c$

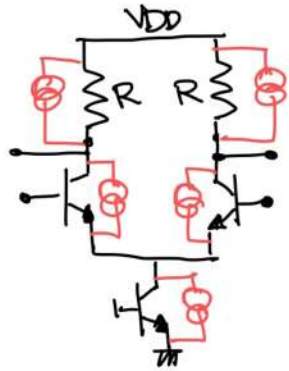
Quanti è l'input voltage noise generator?  
So che il guadagno è:

$$G = g_m \cdot R_{out}$$

$$\text{Allora } S_{out} = S_{in} \cdot g_m^2 \Rightarrow S_{in} = \frac{S_{out}}{g_m^2}$$

← In questo caso il circuito è fully symmetric

Per il rumore di tensione posso considerare questo circuito

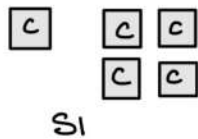
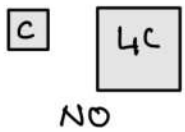


• **Matching**

Molte volte noi non lavoriamo sui valori assoluti dei componenti ma sui rapporti tra valori degli stessi. Quindi a noi interessa il matching.

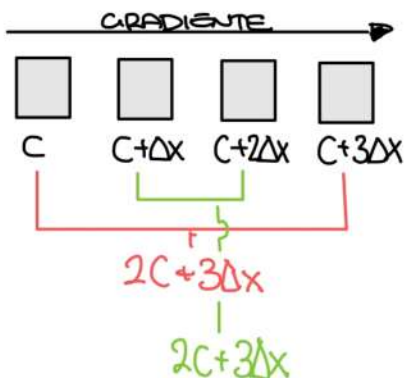
Per avere good matching dovremo fare tutto simmetrico il più possibile.

Ad esempio se ho 2 capacità una grande C e una grande LC io non ne faccio una grande C e una LC ma una grande C e 4 grandi C connesse in parallelo.



Facciamo questo per diversi motivi ma il principale è il rapporto area perimetro.

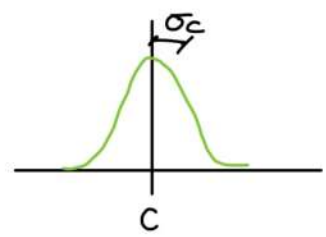
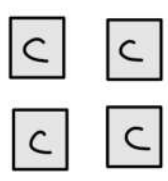
Quando lavoriamo su grandi chip possiamo avere aree di gradienti diversi (tipo dello spessore dell'ossido)



Supponiamo debba connettere assieme i 4 componenti per avere il rapporto uguale a 1.

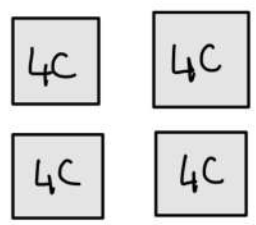
In pratica abbiamo fatto common centroide structure approach.

Oltre ai fattori deterministici dati dal gradiente abbiamo anche delle fluttuazioni statistiche. Queste sono state discusse da Pelgram.



Ho una funzione statistica del valore

Se lo ho



Ho che la deviazione standard è peggiore (non ho capito perché) Forse ho capito! La deviazione standard aumenta ma anche il valore del mio condensatore quindi lo zeta fine ho un vertice. Per Pelgram credo mi dia la formula della varianza del rapporto  $\Delta C/C$  ed è per questo che mi verrebbe che si diminuisce con WL.

In particolare  $\sigma_{\frac{\Delta C}{C}}^2 = \frac{K v_c^2}{WL}$  ← che infatti diminuisce con l'aumentare di WL.

21.09.2022

3h

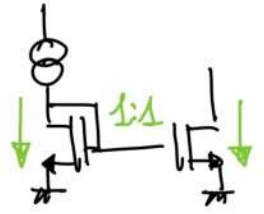
L'accuratezza dei componenti è uno dei problemi principali negli IC design.



$$I = \frac{1}{2} \mu n C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_T)^2$$

La variazione della corrente di uscita può essere data da variazioni di  $V_T$  e di  $K$ .

Supponiamo uno specchio 1:1, qual sarà l'errore  $\Delta I/I$ ? Quali sono gli impatti di un mismatch di  $K$  e di  $V_T$ ?



$$dI = (dK)(V_{GS} - V_T)^2 - K 2(V_{GS} - V_T) dV_T$$

QUINDI

$$\frac{dI}{I} = \frac{dK}{K} - \frac{2dV_T}{V_{OV}}$$

Possiamo quindi calcolare la varianza

$$\sigma_{\frac{\Delta I}{I}}^2 = \sigma_{\frac{\Delta K}{K}}^2 + \sigma_{V_T}^2 \cdot \frac{4}{V_{OV}^2}$$

Capiamo che se  $V_{OV}$  è molto piccolo abbiamo un errore dato da  $\sigma_{V_T}^2$  è molto alto.

In ogni caso  $\sigma_{V_T}^2$  è di norma il termine dominante

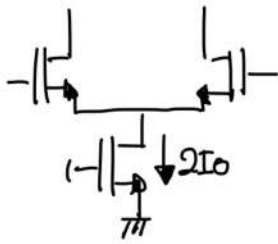
POSSIAMO SCRIVERE COSI

$$\sigma_{\frac{\Delta I}{I}}^2 = \frac{AK^2}{WL} + \frac{AV_T^2}{WL} \cdot \frac{4}{V_{OV}^2}$$

← Abbiamo espresso la varianza tramite le formule di Pelgram.

Studiamo un altro caso dove il mismatch è fondamentale.

Qui vogliamo calcolare l'offset del paio differenziale. Dato che noi vogliamo la stessa corrente su 2 MOS abbiamo che  $V_{OS} = \Delta V_T$

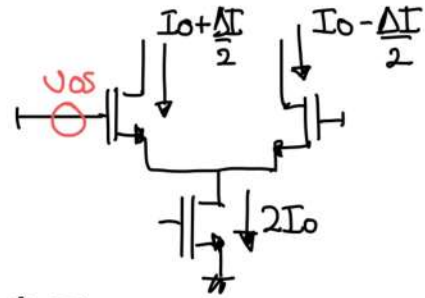


E se avessimo una differenza dei valori di  $k$ ? Questo significa che

Noi dobbiamo quantificare questa differenza di correnti.

Assumiamo che  $V_{OS}$  da una corrente di

$$i = g_m \frac{V_{OS}}{2}$$



Allora so che  $\frac{\Delta I}{2} = g_m \frac{V_{OS}}{2} \rightarrow V_{OS} = \frac{\Delta I}{g_m}$

$$= \frac{\Delta I}{I_0} \cdot \frac{V_{OV}}{2} = \frac{\Delta k}{k} \frac{V_{OV}}{2}$$

L'offset totale è una distribuzione statistica la cui varianza è pari a

$$\begin{aligned} \sigma_{V_{OS}}^2 &= \sigma_{\Delta V_T}^2 + \sigma_{\frac{\Delta k}{k}}^2 \cdot \frac{V_{OV}^2}{4} \\ &= \frac{A_{VT}^2}{WL} + \frac{A_k^2}{WL} \cdot \frac{V_{OV}^2}{4} \end{aligned}$$

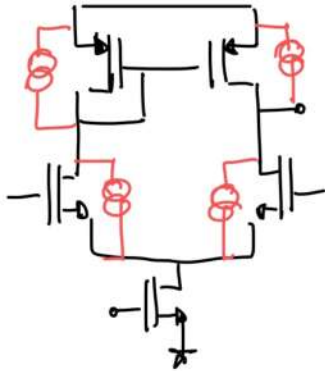
(tipicamente la threshold è il termine dominante)

← Grande area, grande  $\sigma_{V_{OS}}^2$ !!

Vediamo anche che se vogliamo poco offset dobbiamo aumentare l'area del componente.

### Esempio offset di un single ended differential stage

Consideriamo solo errori di  $\Delta V_T$ .



Calcoliamo l'equivalent input noise

$$\overline{E_n^2} = \frac{8kT\gamma}{g_{mn}} \left( 1 + \frac{g_{mp}}{g_{mn}} \right)$$

Supponiamo ora di avere un offset nella threshold del paio di input, allora

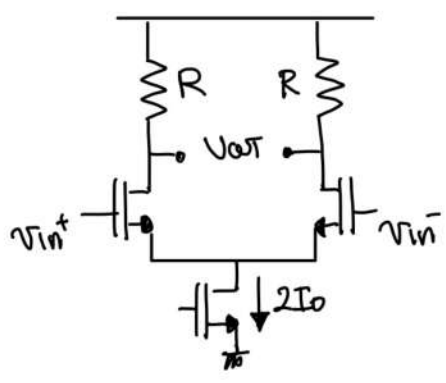
$$V_{OFF}' = \Delta V_{Tn}$$

Supponiamo ora che sia il paio superiore quello con l'errore di threshold

$$V_{OFF}' = \frac{g_{mp}}{g_{mn}} \Delta V_{Tp}$$

Quindi:  $\sigma_{V_{off}}^2 \rightarrow \sigma_{V_{in}}^2 + \sigma_{V_{TP}}^2 \cdot \left(\frac{g_{mP}}{g_{mN}}\right)^2 \leftarrow$  Di suo somiglia al rumore

Passive load



L'offset di input transistors è  $V_{os}' = \Delta V_T$

Supponiamo ora una variazione delle resistenze  $(R + \Delta R/2)$  e  $(R - \Delta R/2)$ . In questo caso non c'è

$$\frac{g_m}{2} V_{os} 2R = (\Delta R) I_0$$

allora

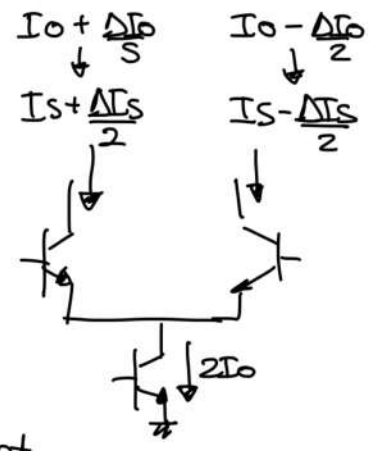
$$V_{os}'' = \frac{I_0}{g_m} \cdot \left(\frac{\Delta R}{R}\right) = \frac{V_{ov}}{2} \left(\frac{\Delta R}{R}\right)$$

Offset BJT (hanno meno offset dei MOS)

Questo perché non hanno una threshold!

$$I_c = I_s \exp\left(\frac{V_{BE}}{V_{th}}\right)$$

Quindi:  $\frac{\Delta I_c}{I_c} = \frac{\Delta I_s}{I_s}$



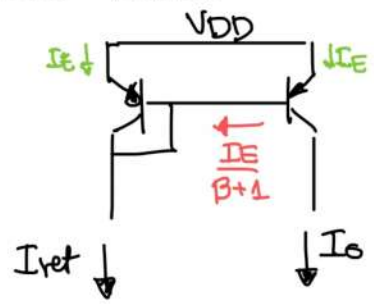
Se noi vogliamo calcolare l'input voltage offset

$$g_m \frac{V_{os}}{2} = \frac{\Delta I}{2} \rightarrow V_{os} = \frac{\Delta I}{g_m} = \left(\frac{\Delta I}{I}\right) V_{th} = \left(\frac{\Delta I_s}{I_s}\right) \cdot V_{th}$$

dove possiamo vedere  $\sigma_{\frac{\Delta I_s}{I_s}}^2 = \frac{A_{A_{IS}}}{A_E}$  (non è una formula della varianza molto utilizzata) ← Area dell'emettitore

OFFSET SISTEMATICO

è un offset che può essere bilanciato tramite il design dei circuiti (esempio la differenza delle resistenze in un differenziale pair single output). Nei BJT oltre all'effetto che abbiamo nei mos abbiamo anche  $\beta$  che ci varia tutto.



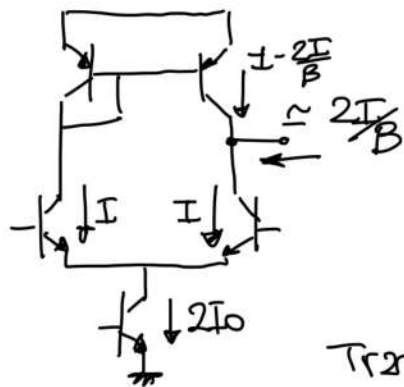
Se mettiamo in sappiamo già cosa succede. Vediamo solo cosa succede quando abbiamo i beta

$$\begin{cases} I_E + \frac{I_E}{\beta + 1} = I_{REF} \\ 2I_E = I_0 + I_{REF} \end{cases} \rightarrow \begin{cases} I_0 = I_{REF} \left[ 1 - \frac{2}{\beta + 2} \right] \\ \approx I_{REF} \left( 1 - \frac{2}{\beta} \right) \end{cases}$$

La corrente in uscita non è uguale a quella di riferimento.

Se ora noi colleghiamo questo specchio a un paio differenziale zero per

Perza un offset all' input.



è lo specchio

$$Alora = V_{OFF} \frac{g_m}{2} \cdot 2 = I \cdot \frac{2}{\beta}$$

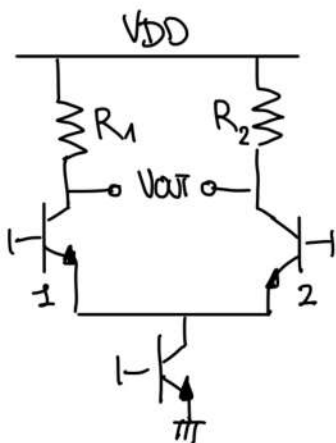
$$\rightarrow V_{OFF} = \frac{I}{g_m} \cdot \frac{2}{\beta} = \frac{2V_{th}}{\beta} \quad (< 1mV)$$

(è piccolo!)

Tramite il design nei bilanciamento questo offset sistematico.

### ESEMPIO DI CALCOLO COMPLETO DELL' OFFSET (NON APPROSSIMATO)

partiamo dalle caratteristiche di grande segnale



Supponiamo  $R_1 = R + \frac{\Delta R}{2}$ ,  $R_2 = R - \frac{\Delta R}{2}$

e abbiamo un mismatch nelle caratteristiche dei transistor

1)  $I_S + \frac{\Delta I_S}{2}$

2)  $I_S - \frac{\Delta I_S}{2}$

Sappiamo che il mismatch di  $I_S$  da  $V_{OS}' = V_{th} \cdot \frac{\Delta I_S}{I_S}$

Quello dei resistori da  $V_{OS}'' = V_{th} \cdot \frac{\Delta R}{R}$

Quel'è l'offset che devo mettere tra i 2 BJT di input per avere tutto equilibrato

$$V_{BE1} - V_{BE2} = V_{th} \cdot \ln \left[ \frac{I_{C1}}{I_{S1}} \cdot \frac{I_{S2}}{I_{C2}} \right] \leftarrow \text{Questo è l'ubalance in generale}$$

Noi vogliamo misurare questo ubalance quando  $V_{OFF} = 0 \rightarrow I_{C1} R_1 = I_{C2} R_2$  allora in questo caso vale

$$V_{BE1} - V_{BE2} = V_{OFF} = V_{th} \ln \left[ \frac{R_2}{R_1} \cdot \frac{I_{S2}}{I_{S1}} \right]$$

$$= V_{th} \ln \left[ \frac{R - \Delta R/2}{R + \Delta R/2} \cdot \frac{I_S - \Delta I_S/2}{I_S + \Delta I_S/2} \right]$$

$$= V_{th} \ln \left[ \frac{1 - \Delta R/2R}{1 + \Delta R/2R} \cdot \frac{1 - \Delta I_S/2I_S}{1 + \Delta I_S/2I_S} \right]$$

Da qui facciamo una small signal approx sull' errore (e allora tutto questo è inutile)

$$\approx V_{th} \ln \left[ \left( 1 - \frac{\Delta R}{2R} \right)^2 \right] + V_{th} \ln \left[ \left( 1 - \frac{\Delta I_S}{2I_S} \right)^2 \right]$$

$$e^{(1+x)} \approx x \quad (x \ll 1) \rightarrow \begin{cases} = 2V_{th} e^{\dots} \left[ 1 - \frac{\Delta R}{2R} \right] + 2V_{th} e^{\dots} \left[ 1 - \frac{\Delta I_S}{2I_S} \right] \\ \approx V_{th} \cdot \frac{\Delta R}{R} + V_{th} \cdot \frac{\Delta I_S}{I_S} \end{cases}$$

che è il risultato che ci aspettavamo.

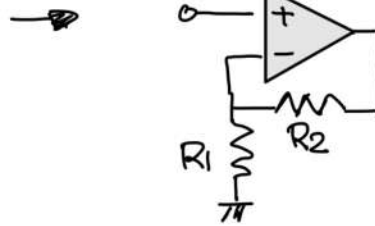
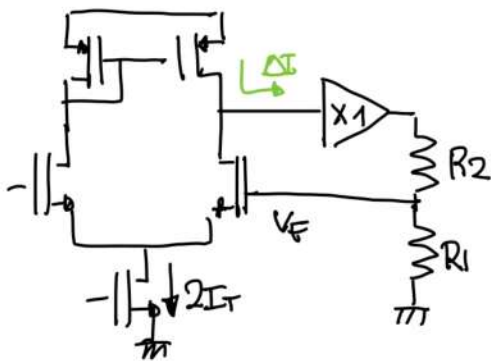
Quindi:  $\sigma_{V_{off}}^2 = (V_{th})^2 \sigma_{\frac{\Delta R}{R}}^2 + (V_{th})^2 \cdot \sigma_{\frac{\Delta I_S}{I_S}}^2$

Una roba da sapere è che se un elemento fa rumore allora molto probabilmente fa anche offset.

26.09.2022

3h

Se valutiamo l'offset di input quando siamo in feedback non abbiamo miglioramenti (al massimo solo peggioramenti)



Supponiamo ci sia un mismatch tra le tensioni di threshold dei 2 mosfet dello specchio  
Allora abbiamo un  $\Delta I$   
e  
 $\Delta I = g_{mp} \Delta V_t$

Allora abbiamo una tensione  $\Delta V = g_{mp} \Delta V_t \cdot R_{out}'$   
Questa tensione viene portata (guad) del buffer e il segnale diviso viene riportato sul mos di input.

$$V_F = g_{mp} \Delta V_t \cdot R_{out}' \cdot \frac{R_1}{R_2 + R_1} \quad \text{e questo riporta circa l'output a un valore ok.}$$

Questa tensione genera una corrente

$$I_x = \frac{g_m \cdot V_F}{2}$$

Dato questo noi vogliamo calcolare l'output voltage in closed loop

$$V_{out} = \Delta V_t \cdot g_{mp} \cdot R_{out}' - V_{out} \cdot \left( \frac{R_1}{R_2 + R_1} \right) \frac{g_{mn} \cdot 2 \cdot R_{out}'}{2} \quad \text{Current mirror}$$

$$V_{out} = \frac{\Delta V_t g_{mp} R_{out}'}{1 + \left( \frac{R_1}{R_2 + R_1} \right) g_{mn} R_{out}'} = \Delta V_t \cdot \left( \frac{g_{mp}}{g_{mn}} \right) \cdot \frac{1 + \frac{R_2}{R_1}}{1 + \frac{1}{g_{mn} R_{out}' \left( \frac{R_1}{R_2 + R_1} \right)}} \quad \text{Ideal gain}$$

Gloop



Dove  $\Delta V_T \cdot \left(\frac{g_{mp}}{g_{mn}}\right)$  non è altro che il threshold error riferito all'ingresso

il feedback stabilizza solo l'ingresso in modo che l'amp. possa funzionare anche con l'offset.

## ESERCIZIO

(Abbiamo degenerato tutti i transistor)

$$r_o = \infty$$

$$\beta = \infty$$

$$\text{Poi } R_1 = R_1 + \frac{\Delta R}{2} \quad R_2 = R_1 - \frac{\Delta R}{2}$$

$$R_3 = R_3 + \frac{\Delta R}{2} \quad R_4 = R_3 - \frac{\Delta R}{2}$$

Perché usiamo la degenerazione?

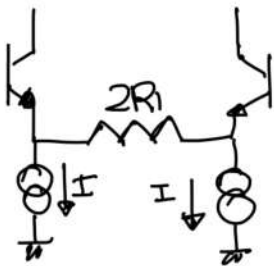
- ✗ Usandola noi mangiamo voltage headroom.
- ✗ Poi abbiamo anche il rumore delle resistenze.

Ma quali sono i vantaggi?

- ✓ Aumento un po' la linearità
- ✓ Se  $r_o \neq \infty$  con la degenerazione aumento l'impedenza d'uscita (devo degenerare da entrambe le parti perché sono due mismatch)

- ✓ Aumentiamo anche l'impedenza di input
- ✓ Miglioriamo lo Slew Rate perché portiamo la stessa corrente con meno  $g_m$  e quindi possiamo fare Miller più piccola.

Per migliorare headroom e rumore (due resistori) possiamo fare



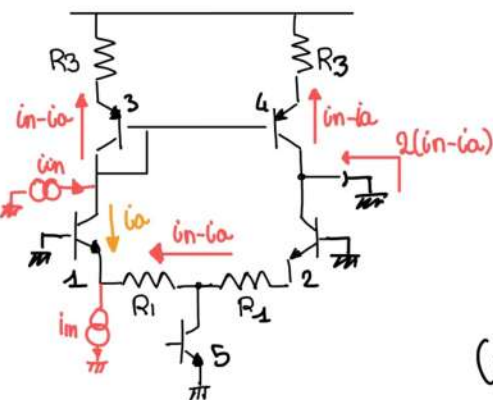
il problema di questo è mettere le 2 correnti. Ulteriormente i 2  $g_m$  di corrente non sono dipenditi quindi dobbiamo considerare il rumore.

Analizziamo il circuito principale. (Rumore)

Calcoliamo il rumore di 1 e 2

$$2(in-ia) = in \cdot \frac{\frac{1}{g_m}}{2R_1 + \frac{2}{g_m}} \cdot 2$$

$$\text{(corrente d'output)} = in \cdot \frac{\frac{1}{g_m}}{R_1 + \frac{1}{g_m}}$$



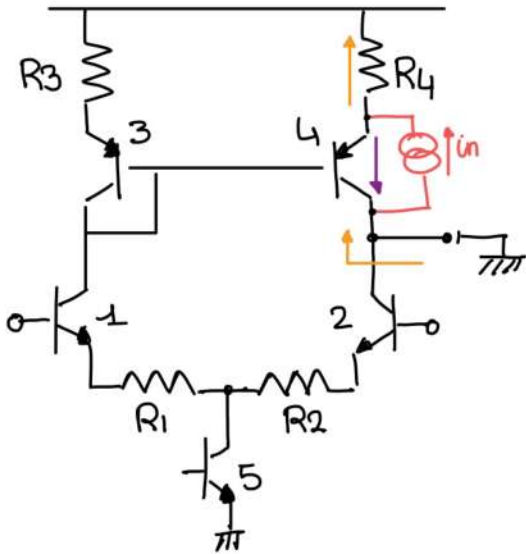
Allora calcoliamo la tensione di output

$$\frac{v_{in}}{\frac{2}{g_m} + 2R_1} \cdot 2 = i_{in} \frac{1/g_m}{1/g_m + R_1} \rightarrow v_{in} = i_{in} \cdot \frac{1}{g_m}$$

Quindi:  $\overline{E_n^2} = 2qI_0 \cdot \left(\frac{1}{g_m}\right)^2 \times 2$  ← Rumore transistor input.

L'input degeneration non cambia il contributo del rumore dei bjt di input.

• Contributi transistor dello specchio.



Non serve splittare perché è già riferito all'ingresso.

In questo caso il local feedback riduce il rumore di questo transistor.

La corrente che passa sull'output è la stessa che passa su R4

$$i_o = i_{in} \cdot \frac{1/g_m}{R_4 + 1/g_m}$$

Calcoliamo il gen di tensione

$$\frac{v_{in}}{\frac{2}{g_m} + 2R_u} \cdot 2 = i_{in} \cdot \frac{1/g_m}{R_4 + 1/g_m}$$

↓  
MIRRORE

Quindi:

$$v_{in} = \frac{i_{in}}{g_m} \frac{(1 + g_m R_1)}{(1 + g_m R_3)}$$

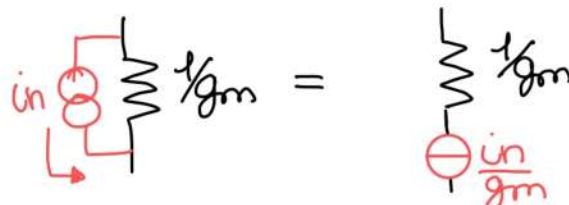
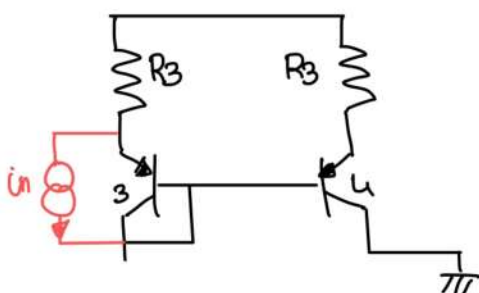
e otteniamo una power spectral density del tipo

$$\overline{E_n^2} = \frac{2qI_0}{g_m^2} \cdot \left(\frac{1 + g_m R_1}{1 + g_m R_3}\right)^2$$

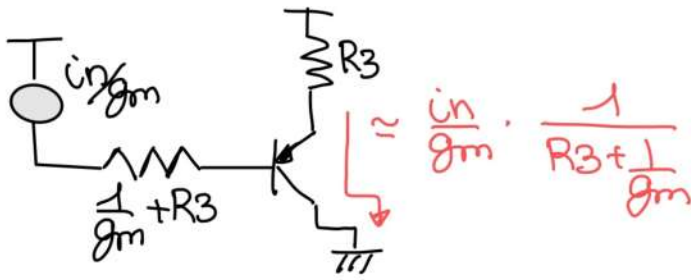
La degenerazione del mirror riduce il rumore ma la degenerazione dell'input riduce il gain.

Ma Q3 dà lo stesso rumore di Q4?

Possiamo vedere Q3 come

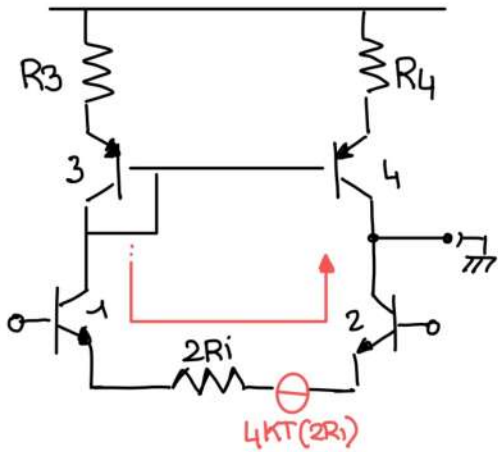


Allora posso vedere il circuito come



Quindi abbiamo un  $Q_3$  contribuisce allo stesso modo di  $Q_1$  e  $Q_2$  rimane

• Rumore dei Resistori



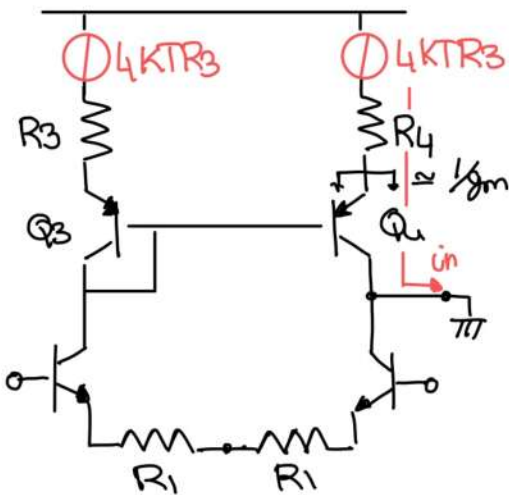
La corrente che scorre nei resistori è

$$\frac{4kT(2R_1)}{(2R_1 + 2/g_m)^2}$$

Quindi:

$$\frac{\overline{E_n^2}}{(2R_1 + 2/g_m)^2} = \frac{4kT(2R_1)}{(2R_1 + 2/g_m)^2}$$

$$\overline{E_n^2} = 4kT(2R_1)$$



La corrente di output è

$$i_n = \frac{4kTR_3}{R + 1/g_m}$$

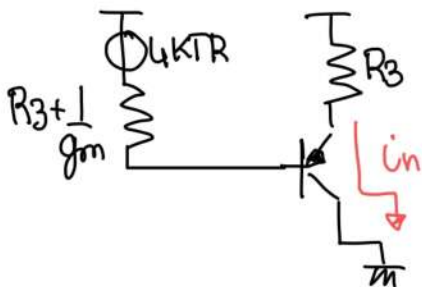
Per il generatore equivalente di input abbiamo

$$\overline{E_n^2} \left( \frac{2}{2/g_m + 2R_1} \right)^2 = \frac{4kTR_3}{(1/g_m + R_3)^2}$$

E dunque

$$\overline{E_n^2} = 4kTR_3 \frac{(1 + g_m R_1)^2}{(1 + g_m R_3)^2}$$

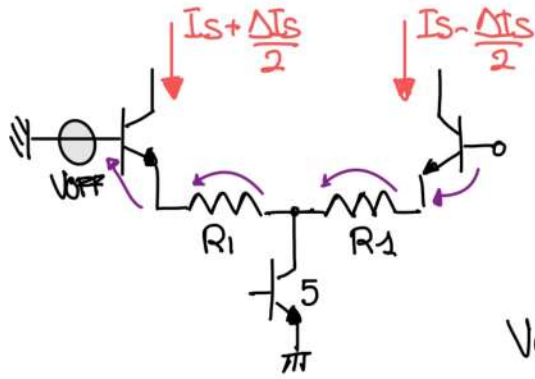
Per l'altra resistenza possiamo vedere



$$i_n = \frac{4kTR_3}{(1/g_m + R_3)^2}$$

che è lo stesso dell'altra resistenza.

Calcoliamo ora l'offset.

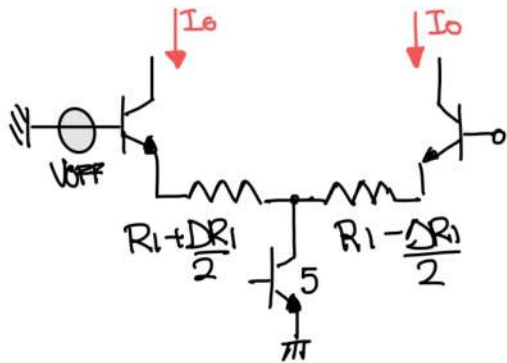


Noi mettiamo un  $V_{OFF}$  tale che le 2 correnti siano uguali. Dopo abbiamo che  $V_{OS}$  dipende dalla differenza delle  $V_{BE}$  dei 2 transistor. Vediamo che i resistori non hanno effetto nell'offset.

$$V_{OFF} = V_{BE1} + I_O R_1 - I_O R_1 - V_{BE2}$$

$$\begin{aligned} V_{OFF} &= V_{th} \ln \left[ \frac{I_O}{I_s + \frac{\Delta I_s}{2}} \right] - V_{th} \ln \left[ \frac{I_O}{I_s - \frac{\Delta I_s}{2}} \right] \\ &= V_{th} \ln \left[ \frac{I_s - \frac{\Delta I_s}{2}}{I_s + \frac{\Delta I_s}{2}} \right] = V_{th} \ln \left[ \frac{1 - \frac{\Delta I_s}{2 I_s}}{1 + \frac{\Delta I_s}{2 I_s}} \right] \quad \frac{1-x}{1+x} \approx (1-x)(1-x) \\ &\approx V_{th} \ln \left[ 1 - \frac{\Delta I_s}{I_s} \right]^2 \\ &\approx 2 V_{th} \ln \left[ 1 - \frac{\Delta I_s}{I_s} \right] \approx -2 V_{th} \cdot \frac{\Delta I_s}{I_s} \end{aligned}$$

Mismatch dei resistori di input



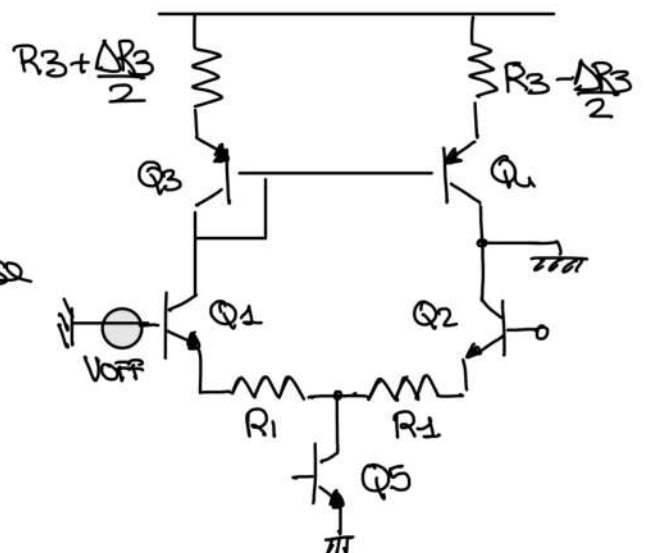
Calcoliamo  $V_{OFF}$ . Questo è dato dalla differenza di caduta su 2 resistori

$$\begin{aligned} V_{OFF} &= I_O (R_1 + \frac{\Delta R_1}{2}) - I_O (R_1 - \frac{\Delta R_1}{2}) \\ &= I_O \Delta R \end{aligned}$$

Per cui  $V_{OFF} = (I_O R_1) \cdot \frac{\Delta R_1}{R_1}$

• Mismatch resistori specchio.

Dato che  $R_3$  sono diverse ho che non può scorrere la stessa corrente nei 2 rami perché se scorresse la stessa  $I$  avrei  $V_{BE}$  diverse (che non è possibile).



$$(R_3 + \frac{\Delta R_3}{2}) \left( I + \frac{\Delta I}{2} \right) + \underbrace{V_{th} \ln \left( \frac{I + \frac{\Delta I}{2}}{I_S} \right)}_{V_{BE3}} = (R_3 - \frac{\Delta R_3}{2}) \left( I - \frac{\Delta I}{2} \right) + \underbrace{V_{th} \ln \left( \frac{I - \frac{\Delta I}{2}}{I_S} \right)}_{V_{BE3}}$$

Quindi:

$$= R_3(\Delta I) + (\Delta R_3)I + V_{th} \ln \left[ \frac{1 + \frac{\Delta I}{2I}}{1 - \frac{\Delta I}{2I}} \right] = 0$$

$$\approx R_3(\Delta I) + (\Delta R_3)I + \frac{V_{th} \Delta I}{I} = 0$$

$$= R_3(\Delta I) + (\Delta R_3)I + \frac{1}{g_m} \Delta I = 0$$

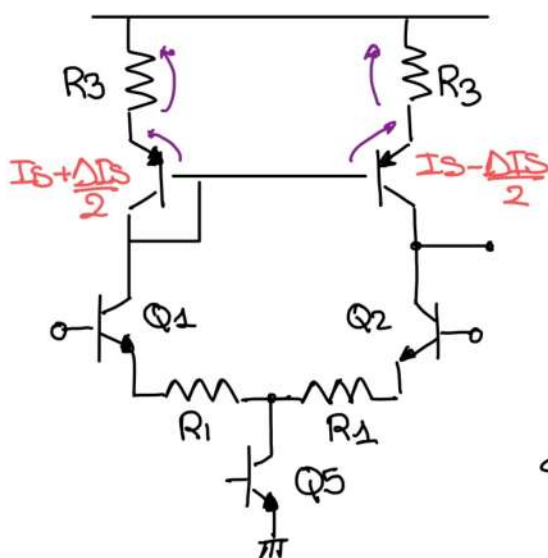
$$\approx V_{th} \ln \left[ \left( 1 + \frac{\Delta I}{2I} \right)^2 \right]$$

$$\approx 2 V_{th} \frac{\Delta I}{2I}$$

Quindi:  $\Delta I = - \frac{I}{R_3 + \frac{1}{g_m}} \cdot \Delta R_3$

Per cui zero output con offset di input pari a:  $\frac{V_{OFF}}{2R_1 + \frac{2}{g_m}} \times 2 = - \frac{I}{R_3 + \frac{1}{g_m}} \cdot \Delta R_3$

• Contributo offset transistor dello specchio



La corrente non può essere uguale perché se fosse uguale la  $V_{BE}$  tra i 2 BJT sarebbe diversa dato che  $I_S$  diverse.  
(ricordiamo che facciamo le approssimazioni a piccoli segnali)

Per zero output una corrente deve essere maggiore dell'altra.

Scriviamo la corrente del loop per trovare il mismatch:

o ciò che cambiano sia la corrente che la corrente di saturazione

$$R_3 \left( I + \frac{\Delta I}{2} \right) + \underbrace{V_{th} \ln \left( \frac{I + \frac{\Delta I}{2}}{I_S + \frac{\Delta I_S}{2}} \right)}_{V_{BE3}} = R_3 \left( I - \frac{\Delta I}{2} \right) + V_{th} \ln \left( \frac{I - \frac{\Delta I}{2}}{I_S - \frac{\Delta I_S}{2}} \right)$$

$$R_3 \Delta I + V_{th} \ln \left[ \frac{1 + \frac{\Delta I}{2I}}{1 - \frac{\Delta I}{2I}} \right] + V_{th} \ln \left[ \frac{1 - \frac{\Delta I_S}{2I_S}}{1 + \frac{\Delta I_S}{2I_S}} \right] = 0$$

Officizmo

$$R_3 \Delta I \approx V_{th} \frac{\Delta I}{I} + V_{th} \frac{\Delta I_S}{I_S}$$

$$\Delta I = \frac{V_{th} \Delta I_S / I_S}{R_3 + 1/g_m}$$

Come nel caso del rumore zcde in questo caso la degenerazione riduce l'effetto del mismatch.

Perco

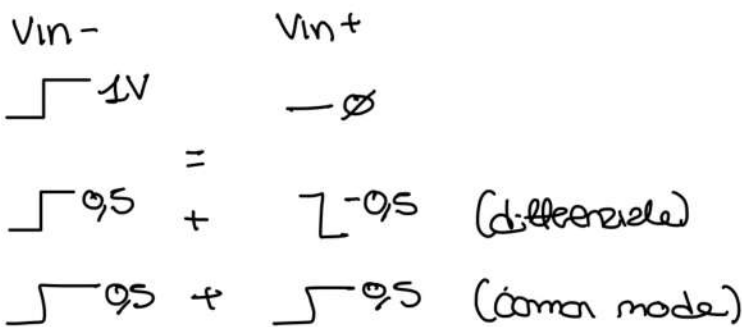
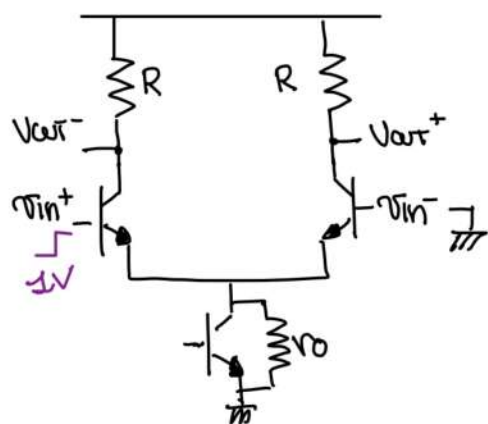
$$V_{OFF} \cdot \frac{1}{\frac{2}{g_m} + 2R_1} = \frac{\Delta I}{2} = \frac{1}{2} \cdot \frac{V_{th} \left( \frac{\Delta I_S}{I_S} \right)}{R_3 + 1/g_m}$$

27.09.2022

2h

Common mode rejection ratio and lmk with mismatch.

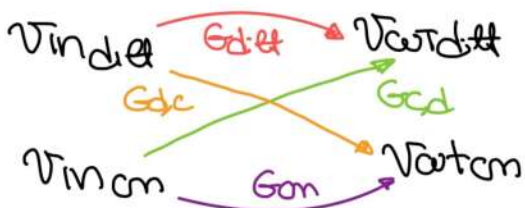
Tengo  $V_{in}$  a terra e metto  $V^+$  wo scilino di 1V (e' un segnale sia di differenziale che di common mode).



Quindi  $V_{diff} = V_{in+} - V_{in-}$      $V_{om} = \frac{V_{in+} + V_{in-}}{2}$

(Stesso lavoro si puo fare per il segnale di output)

Il modo di differenziale non dovrebbe interagire con il modo di common mode



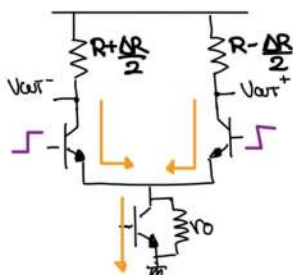
$$G_{diff} = g_m R$$

$$G_{cm} \approx \frac{-R}{2R_0}$$

La CMRR in un fully differential e il rapporto tra  $G_{diff}$  e  $G_{cd}$  !! Perco a noi interessa il segnale di differenziale

Nella realtà abbiamo che il segnale non e ideale e quindi ho zcde di cross guadagni.

Un circuito con un perfetto gm di corrente o simmetrico dovrebbe avere  $G_{cd} = 0$ . Tuttavia se abbiamo dei mismatch allora abbiamo che  $G_{cd} \neq 0$

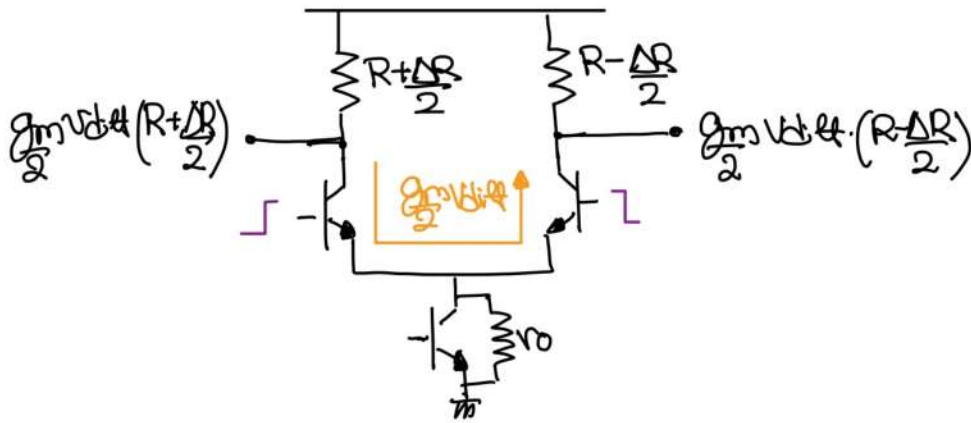


Abbiamo che la corrente si divide perfettamente (circa) tra i 2 rzi ma abbiamo il mismatch di resistenza allora

$$G_{cd} \approx \frac{-\Delta R}{2R_0} \quad (\text{NON CI PIACE PERCHE CI MODIFICA IL SEGNALE CHE CI INTERESSA})$$

(possiamo avere zcde un mismatch dell'emitter area)

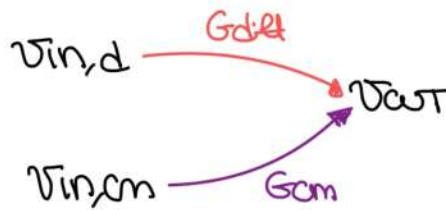
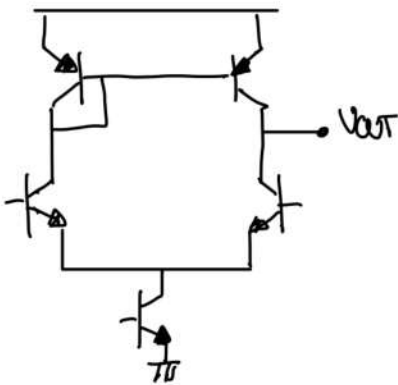
Abbiamo visto un problema simile anche nel caso inverso



Abbiamo quindi un guadagno pari a

$$G_{d,c} = -\frac{g_m \Delta R}{4}$$

Ma cosa succede se al posto di un fully differential usassimo un single ended circuit.

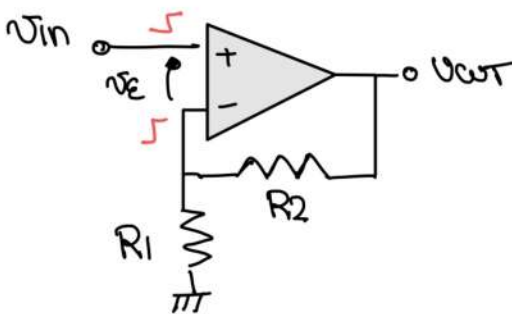


Usiamo il mirror per il bias (perché senza i mos vanno in triodo) NON per recuperare il fattore 2 del gain!!

Gcm dovrebbe essere 0 ma non lo è perché il tail generator non è ideale, inoltre non c'è la simmetria perfetta e in + abbiamo anche i mismatch.

La CMRR è  $CMRR = G_{d,det} / G_{cm}$ .

Ma perché noi usiamo il guadagno differenziale e quello di common mode? Non usiamo lo stage in open loop? Perché quando chiudiamo in loop l'opamp abbiamo una terra virtuale e quindi il segnale ai 2 ingressi è uguale e quindi esercitiamo molta common mode.



$$V_{out} \approx G_{d,det} \cdot V_E + G_{cm} \cdot V_{in}$$

Noi stiamo dicendo che la common mode input è  $\approx V_{in}$ .

$$V_E = V_{in} - V_{out} \frac{R_1}{R_1 + R_2}$$

Unendo le 2 equazioni si ricava che

$$\frac{V_{out}}{V_{in}} = \frac{G_{d,det}}{1 + G_{d,det} \left( \frac{R_1}{R_1 + R_2} \right)} + \frac{G_{cm}}{1 + G_{cm} \left( \frac{R_1}{R_1 + R_2} \right)}$$

Lo definirei MOLTO IMPORTANTE

$$\approx 1 + \frac{R_2}{R_1}$$

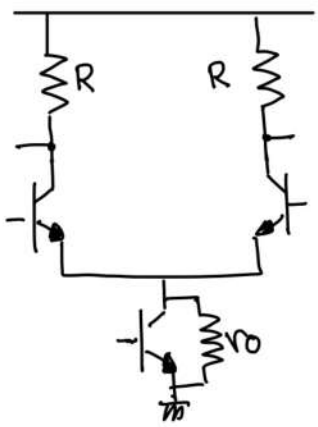
(che è il G standard)

Abbiamo 2 gain, quello voluto e quello spurio. il feedback fa la stessa cosa sui 2 guadagni quindi se facciamo il rapporto tra i 2 otteniamo la CMRR ed è per questo che la usiamo anche se siamo in closed loop.

Nella realtà per essere più precisi  $V_{cm}$  non è  $V_{in}$  ma sarebbe la media tra  $V_{in}$  e  $V_{out}$  ( $R_1/(R_2+R_1)$ ) quindi la formula totale sarebbe un po' modificata

$$\frac{V_{out}}{V_{in}} = \frac{G_{diff}}{1 + G_{diff} \left( \frac{R_1}{R_1+R_2} \right) - \frac{1}{2} G_{cm} \left( \frac{R_1}{R_1+R_2} \right)} + \frac{1}{2} \frac{G_{cm}}{1 + G_{diff} \left( \frac{R_1}{R_1+R_2} \right) - \frac{1}{2} G_{cm} \left( \frac{R_1}{R_1+R_2} \right)}$$

Thumb rule per calcolare la common mode rejection ratio



$$CMRR = \frac{G_{diff}}{G_{cm}}$$

È possibile vedere che con buona appross la CMRR è calcolabile come

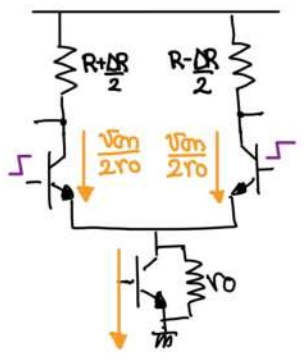
$$CMRR \approx \frac{V_A}{V_{off}}$$

Questa formula vale anche per i single ended.

(dove  $V_A$  è la tensione di early del tail generator)

In se non due esse essendo questo perché i motivi per i quali abbiamo la CMRR sono la non perfezione del tail generator e l'offset dei componenti.

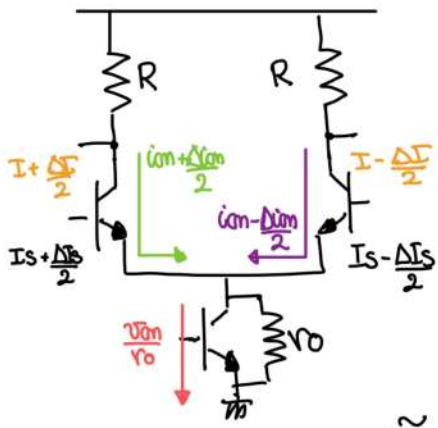
E se ho il cascode del tail generator? Davo solo cambiare la tensione di early (che sarà tipo aumentata di  $\beta$ , credo) questo perché devo fare  $r_o \cdot I = V_A$



$$CMRR = \frac{g_m R}{\frac{\Delta R}{2r_o}} = \frac{I(2r_o)}{V_{th} \left( \frac{\Delta R}{R} \right)} = \frac{V_A}{V_{OS}}$$

In altri casi può venire un po' ma va bene come thumb rule.

Analizziamo adesso la common mode dovuta al mismatch dei 2 transistor di input



Se la tensione di saturazione del transistor varia ci aspettiamo che vari anche la corrente di bias e quindi la corrente di common mode non si divide perfettamente

$$\frac{\Delta I_{cm}}{I_{cm}} = \frac{I_{cm}}{I_{cm}} \frac{g_{m1} - g_{m2}}{g_{m1} + g_{m2}} \approx \frac{I_{cm}}{I_{cm}} \cdot \frac{g_{m1} - g_{m2}}{2g_m}$$

$$\approx \frac{\left( I + \frac{\Delta I}{2} \right) - \left( I - \frac{\Delta I}{2} \right)}{2I} = \frac{\Delta I}{2I} = \frac{\Delta I_S}{2I_S}$$



Questa differenza di corrente tra i 2 rami è indipendente dal carico.

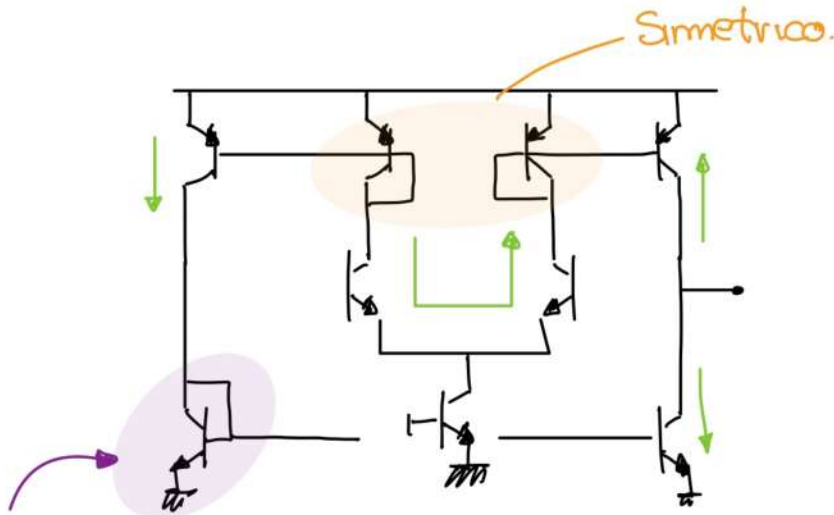
La common mode rejection ratio è quindi:  $CRR = \frac{1/2 g_m}{\frac{1}{2 r_o} \left( \frac{\Delta I_B}{2 I_B} \right)} = \frac{V_A}{V_{OFF}}$

Stesso discorso si può fare anche per un mismatch del  $\beta$  dei transistor. In questo caso otteniamo

$$CRR = \frac{g_m}{\frac{1}{2 r_o} \cdot \frac{2}{\beta}} = \frac{2 r_o I}{V_{th} \cdot \frac{2}{\beta}} = \frac{V_A}{V_{OFF}}$$

03.10.2022

3h

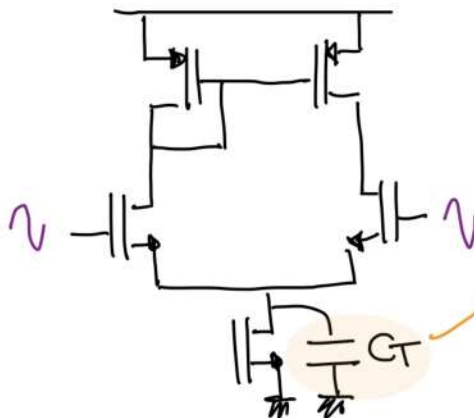


$$G = \frac{g_{min} \cdot 2 \cdot R_{AT}}{2}$$

$$R_{AT} = r_{on} // r_{op}$$

In questo circuito l'errore dello specchio dato dal  $\beta$  (per la non simmetria) è dato da dei bjt NPN questo è meglio rispetto a un PNP.

Single ended ad alta frequenza (per la common mode)



Cosa succede se la common mode non è in DC ma è ad una frequenza alta?

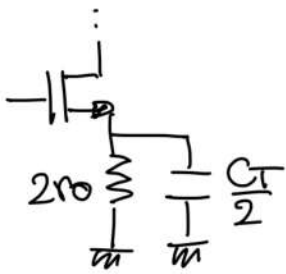
Nella realtà qui abbiamo una grande capacità parassita.

Questa capacità è particolarmente presente nelle tecnologie a bassa  $V_{DD}$ . Noi per avere un gain di tensione ottimale dobbiamo avere un  $V_{GS}$  sul mos di coda. Abbiamo poi che la corrente del mos di coda è unitaria

dell'area e del rumore. Quindi la corrente è alta. Capiamo dunque che le dimensioni dei transistor sono grandi (anche perché vogliamo un gain per avere un  $r_o$  grande). Quindi visto che abbiamo grande area abbiamo una grande capacità.

Perciò se abbiamo una Common mode ad alta  $f_{eq}$  noi non vediamo più il mos degenerato base ma vediamo l'impedenza data dalla capacità.

Possiamo vedere il circuito come:

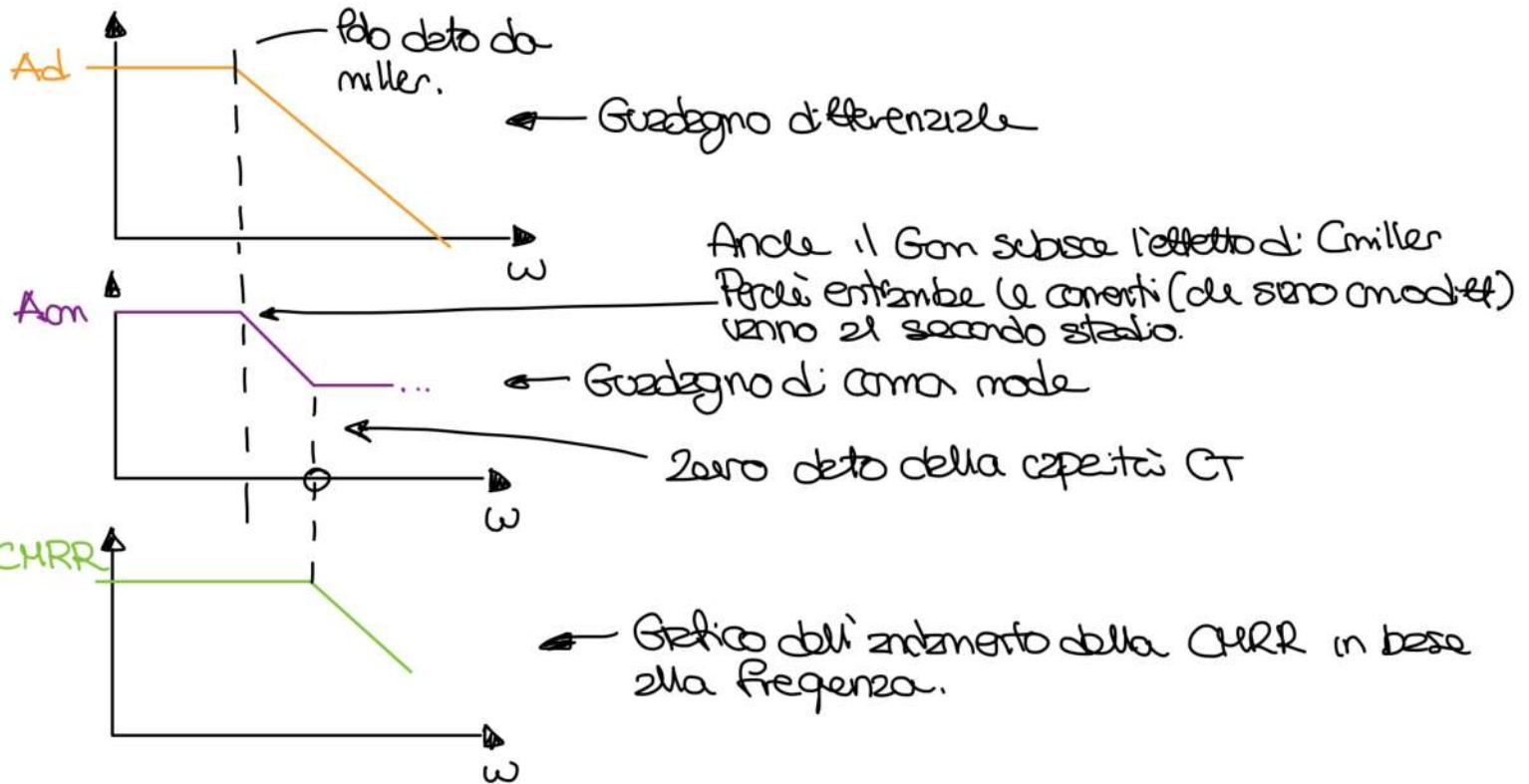


Quindi noi diminuiamo la degenerazione fino ad annullarla. Quando questa si annulla non una grande corrente e dato che il circuito non è perfettamente simmetrico non che la CMRR diminuisce

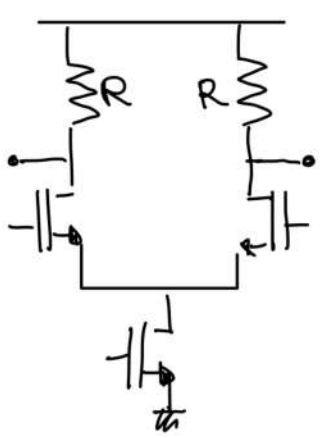
$$\omega_{CT} = \frac{v_{in}}{\frac{1}{g_m} + \frac{2r_o}{1+sC_T r_o}} = \frac{v_{in}}{\left(\frac{1}{g_m} + 2r_o\right) \frac{1+sC_T r_o}{1+sC_T \left(2r_o \parallel \frac{1}{g_m}\right)}}$$

Vediamo che è presente uno zero a "bassa" frequenza. Il polo è praticamente inutile perché è ad altissima frequenza.

Quindi se abbiamo un differential stage come sopra possiamo graficare i guadagni:



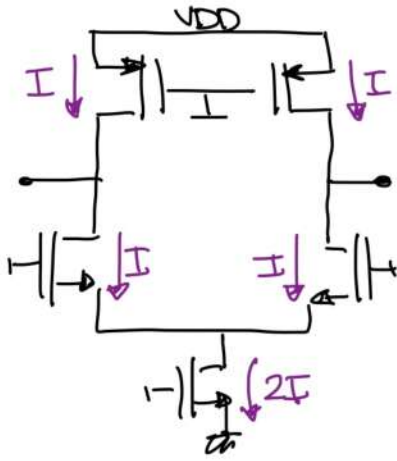
• Fully Differential



Questo è il modo più facile di creare un Fully differential

Tuttavia noi sappiamo che un carico passivo ci dà problemi sul bias. Quindi abbiamo usare un carico attivo.

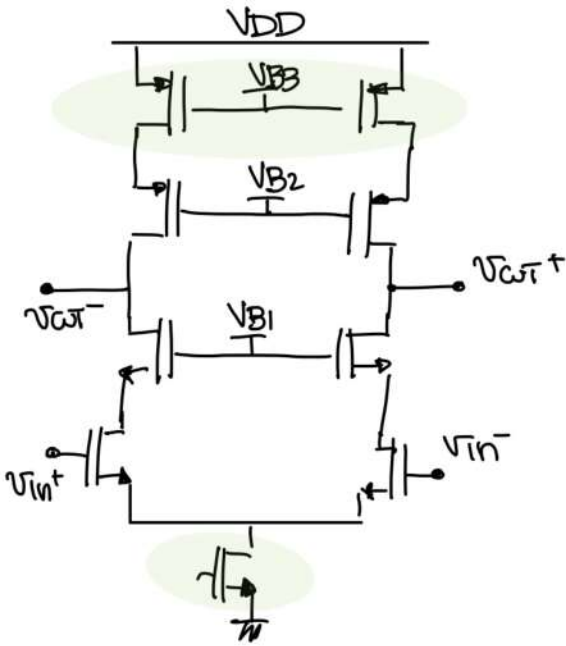
• Carico Attivo



Non usiamo i fully differential per avere rifezione dei disturbi della power supply. (cosa che non avviene nei single ended).  
Inoltre possiamo avere due disturbi di common mode (es. switched capacitor)

Per i fully differential ci piacciono perché possiamo intervenire solo girando gli ingressi.

Fully differential telescopic cascode:



Le correnti tra i mos evidenziati in verde DEVONO essere uguali. Altrimenti non funziona una pera.

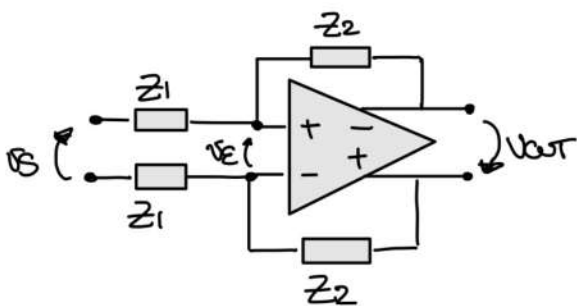
Ovviamente niente cambia del punto di vista del guadagno rispetto a un single ended.

$$G = g_m \frac{V_{dd}}{2} [2r_{op} \cdot g_{mrop}] // [2r_{on} \cdot g_{mon}]$$

Come collegiamo un fully differential in feedback?

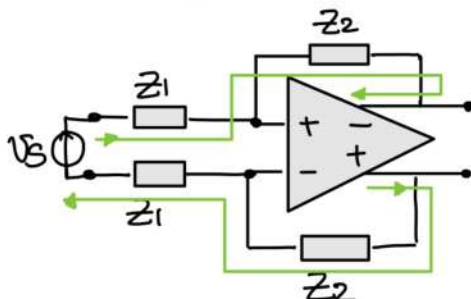
il feedback deve essere simetrico.

La "virtel grand" è tra i pin di ingresso. In questo caso la tensione differenziale è  $\approx 0$ .



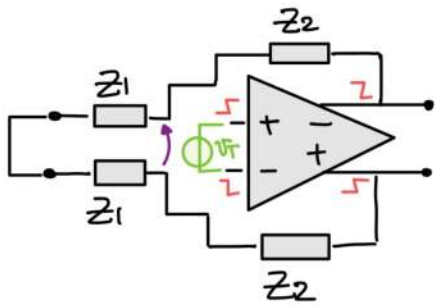
Dato che la tensione differenziale è zero ho che su Z1 passa una corrente  $i = \frac{V_{dd}}{2Z_1}$  questa corrente può andare solo su Z2.

$$\text{Allora } V_{out} = \frac{2Z_2}{2Z_1} \cdot V_S \Rightarrow V_{out} = \frac{Z_2}{Z_1} V_S$$



Perché il guadagno ideale è uguale a quello di un single ended invertente.

Vogliamo ora valutare il loop gain.



Togliamo l'input e mettiamo un generatore differenziale all'input.

$$G_{loop}(s) = -A_{dd} \cdot \frac{2Z_1}{2Z_1 + 2Z_2}$$

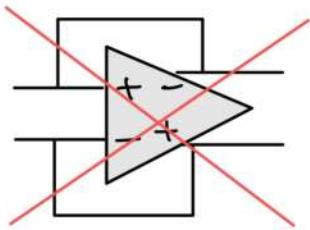
$$= -A_{dd} \cdot \frac{Z_1}{Z_1 + Z_2}$$

(\*  $A_{dd}$  guadagno differenziale to differenziale)

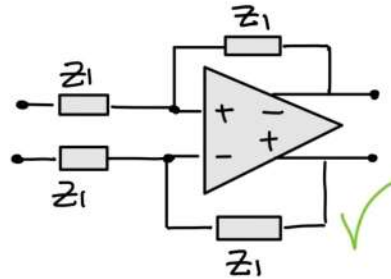
Guardando il circuito noi non abbiamo nessun modo di valutare la common mode. La common mode dell'output non è settata dal circuito ma del Common mode feedback che è interno all'opamp.

La common mode all'input dell'opamp è data dalla somma tra la common mode di output e quella dei generatori di input.

Con un fully differential non possiamo fare un classico buffer ma cerchiamo usare 2 resistenze uguali

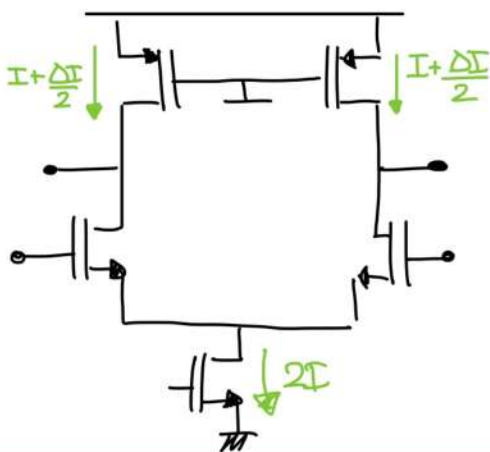


Vediamo che abbiamo l'input connesso diretto all'output



Facciamo il buffer in questo modo.

### • Problemi del Fully differential



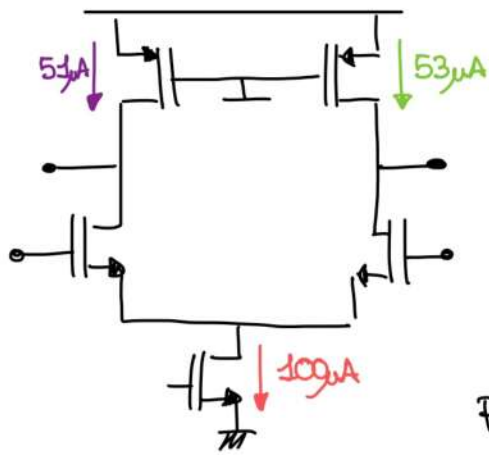
Vediamo che non sappiamo l'output common mode voltage.

MA IL PROBLEMA PRINCIPALE! è che le 2 correnti date dai mos non sono uguali

Se ho che le 2 correnti sopra sono  $I + \frac{\Delta I}{2}$  e  $I - \frac{\Delta I}{2}$  "non ho problemi" perché il feedback differenziale mi risolve l'unbalance

TUTTAVIA! Se le 2 correnti sono entrambe  $I + \frac{\Delta I}{2}$  il feedback differenziale (che è quello che abbiamo noi) non fa niente. Ci serve un feedback di common mode.

Facciamo ora un esempio numerico per dimostrare che comunque noi cadiamo sempre in una di queste 2 condizioni sopra descritte.

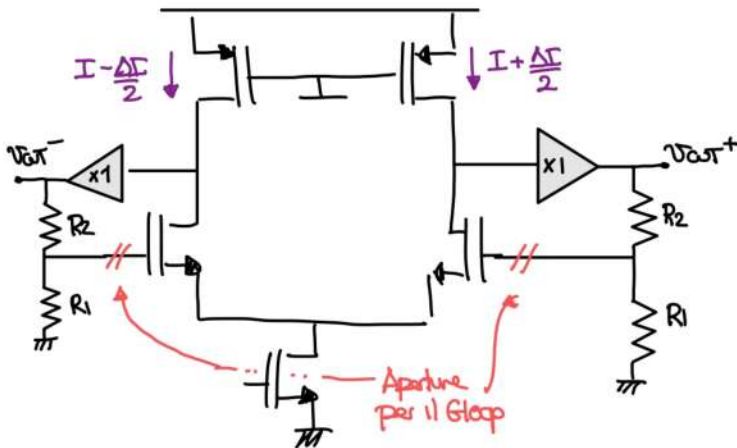


Vediamo che non siamo in nessuna delle 2 condizioni sopra, ma possiamo sempre ricavare un segnale differenziale e uno di common mode

50µA ↓	↓ 50µA	CORRENTE BASE
2µA ↓	↓ 2µA	CORRENTE DI CM
-4µA ↑	↓ 1µA	CORRENTE DIFFERENZIALE.

Potremo considerare un errore alla volta.

Studiamo il feedback differenziale



[Abbiamo aggiunto il buffer per semplificare la vita]

L'output differenziale è (open loop)

$$V_{out,d} = \frac{\Delta I}{g_m} \cdot 2(r_{op} || r_{on})$$

Perché l'output differenziale a loop chiuso è

$$V_{out,d} = \frac{V_{out,d,open}}{1 - G_{loop}} = \frac{\Delta I \cdot (r_{op} || r_{on})}{1 + \frac{g_m}{2} \cdot 2(r_{op} || r_{on}) \cdot \frac{R_1}{R_1 + R_2}}$$

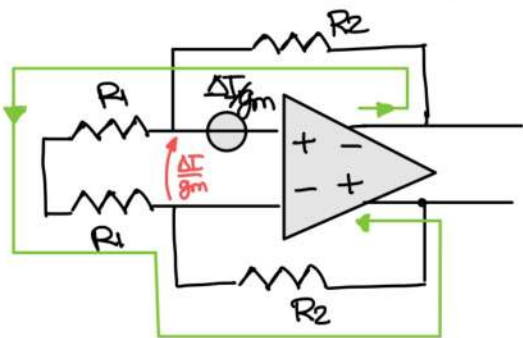
è l'input offset che ci dà l'offset della corrente dei transistori sopra

$$= \frac{\Delta I}{g_m} \left( 1 + \frac{R_2}{R_1} \right) \cdot \frac{1}{1 + \frac{1}{|G_{loop}|}}$$

Formula importantissima da ricordare per il guadagno reale

Vediamo che l'output dato dall'offset differenziale delle correnti viene in parte compensato dal feedback.

Possiamo vedere il tutto come



Allora abbiamo una corrente data da

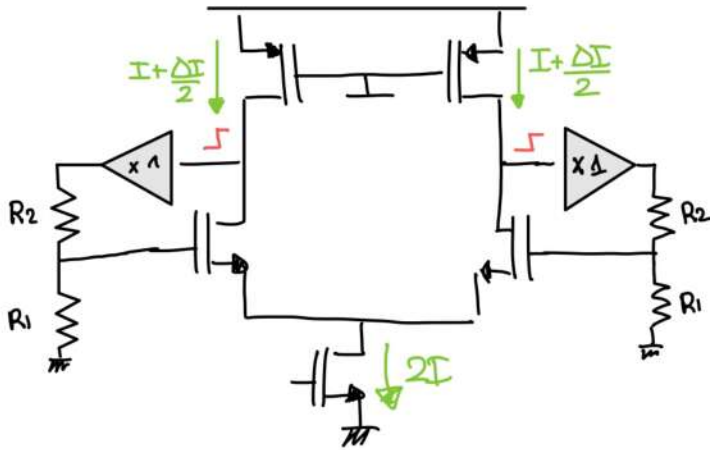
$$I = \frac{\Delta I}{g_m} \cdot \frac{1}{2R_1}$$

$$\text{quindi } V_{out} = \frac{\Delta I}{g_m} \left( 1 + \frac{R_2}{R_1} \right)$$

Che è circa quello che abbiamo ricavato prima.

**ATTENZIONE!!!!!! SE IO DEVO CALCOLARE L'OFFSET E HO DELLE CAPACITÀ QUESTE SI CONSIDERANO APERTE PERCHÉ L'OFFSET È IN DC**

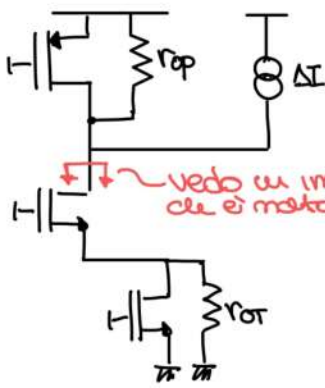
Se abbiamo la common mode questo non vale, perché la common mode usa il guadagno da common mode a common mode.



Ritorniamo lo stesso discorso di prima solo usiamo un guadagno diverso.

Vediamo che il feedback è negativo perché cerca di compensare la corrente.

Vediamo metà circuito



La common mode output impedance è diversa da quella di differential mode

vedo un'impedenza dipendente che è molto grande.

Allora ho uno step di tensione dato dall'extra current pari a

$$\Delta V_{cm} = \Delta I \cdot r_{op} // g_m r_{ot} r_{on} \approx \Delta I \cdot r_{op}$$

Questa tensione partizionata va sui gate dei mos di input:  $V_i = \Delta V_{cm} \cdot \frac{R_1}{R_1 + R_2}$

Più questi mos generano una corrente di modo comune  $I_{cm} = \frac{V_i}{2r_{ot}}$

e questa genera una tensione che cerca di opporsi allo step iniziale  $\Delta V = I_{cm} \cdot r_{op}$

Allora

$$\Delta V_{out} = \Delta I \cdot r_{op} - \Delta V_{cm} \cdot \frac{R_1}{R_1 + R_2} \cdot \frac{r_{op}}{2r_{ot}}$$

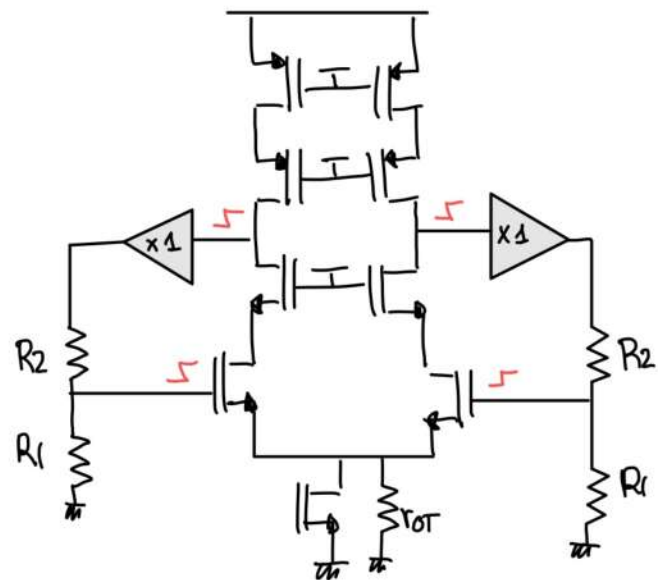
$$= \frac{\Delta I \cdot r_{op}}{1 + \left(\frac{R_1}{R_1 + R_2}\right) \cdot \frac{r_{op}}{2r_{ot}}}$$

è equivalente a un Gloop solo che è molto piccolo  $[< 1]$

Vediamo che abbiamo un feedback che cerca di opporsi al segnale di common mode tuttavia vediamo che il "Gloop" è molto piccolo perché noi in common mode non riusciamo a muovere abbastanza corrente.

$\Delta I \cdot r_{op}$  è grande quindi rischiamo di far saturare l'opamp.

# Common Mode error su telescopic cascode



Guadagno di common mode (open loop)

$$A_{cc} \approx -\frac{1}{2r_{OT}} \cdot r_{op}^2 \cdot g_m$$

Vediamo che il guadagno non è più piccolo come prima. Tuttavia abbiamo comunque il problema perché  $\Delta I$  non vede più  $r_{op}$  ma vede  $r_{op}^2 g_m$  e allora non cambia una para e ho sempre il problema.

$$\Delta V_{cm_{out}} = \Delta I \cdot \frac{r_{op}^2 \cdot g_m}{1 + \frac{g_m r_{op}^2}{r_{OT}} \cdot \left(\frac{R_1}{R_1 + R_2}\right)} \approx \Delta I r_{OT} \left(1 + \frac{R_2}{R_1}\right)$$

← Rimane tuttavia un numero grande, possiamo saturare (NO BUONO)

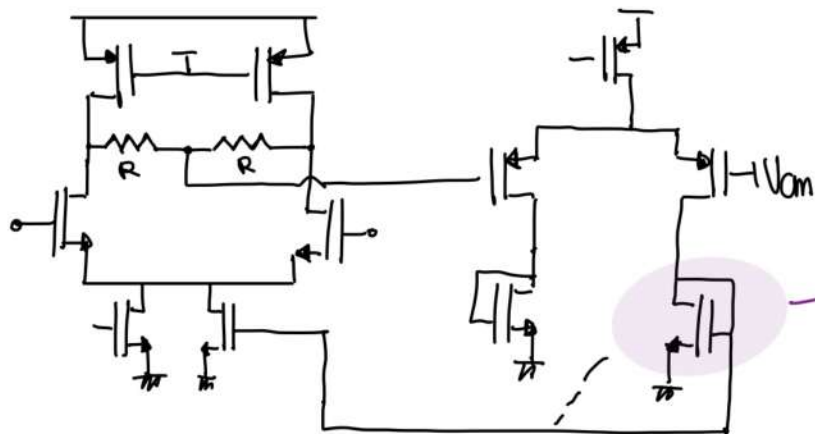
**QUINDI IL FEEDBACK DIFFERENZIALE NON RIESCE A COMPENSARE L'ERRORE DI COMMON MODE.**

Se abbiamo un OPA a 2 stadi abbiamo che il loop gain non è più negativo ma è positivo!! perciò facciamo una coppia inversore. (questo ci porterà problemi in più).

04.10.2021

2h

La soluzione è introdurre un common mode feedback. Questo non deve interagire con la differential mode.



Se abbiamo un output differenziale il punto tra le 2 resistenze non si muove. Se abbiamo un output di common mode il punto si alza di  $V_{cm}$ .

Non vogliamo un altro problema con la common mode quindi usiamo un carico passivo.

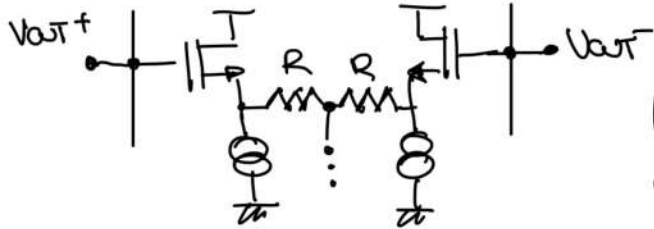
L'output common mode bias del main OPA è settato da  $V_{cm}$ .

Credo che debba mettersi la  $V_{cm}$  in modo che il transistor di coda del main amplifier fini esattamente 2I.

Vediamo che tuttavia uniamo delle resistenze sull'output.  
 Quindi noi riduciamo il gain. Tuttavia non è un grande problema perché  
 posso fare un grande resistore tanto lì non passa corrente di bias.  
 (Tuttavia fare resistenze grandi è un po' una merda)

Tuttavia un vantaggio di questa architettura è che è molto lineare perché  
 noi usiamo delle resistenze per fare il sensing.

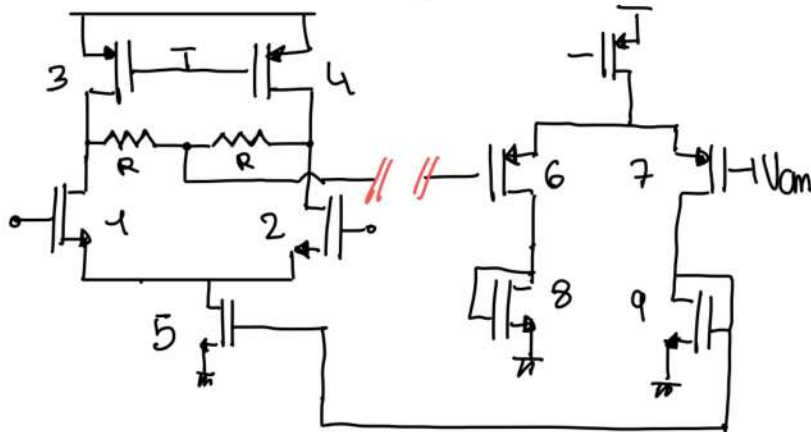
Se non volessi collegare direttamente le resistenze posso usare un  
 buffer



Tuttavia perdiamo in linearità  
 e consumiamo più potenza.

[Perdiamo di linearità perché il segnale differenziale è  
 grande e interagisce.]

Studiamo il loop(s) del common mode feedback.

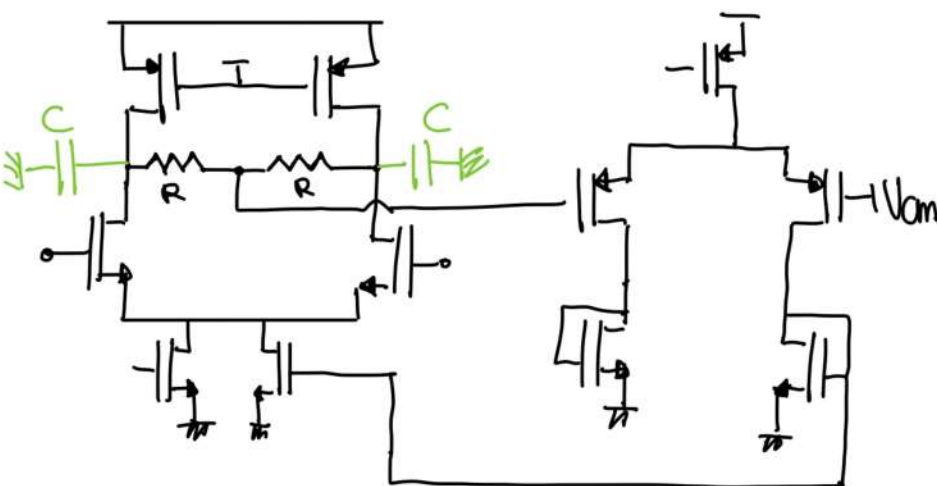


$$G_{loop}(s) = -\frac{g_{m6}}{2} \cdot \frac{1}{g_{m9}} - \frac{g_{m5} \cdot R_{o3,4}}{2}$$

(non vedo R perché il segnale  
 è di common mode)

Vediamo che è un loop molto  
 maggiore di quello che ricorriamo  
 con il feedback differenziale.

Dobbiamo ora però studiare la stabilità del loop.  
 il polo dominante è circa alla stessa frequenza del polo dominante  
 nel loop differenziale (ma non è sempre così perché il modo diff e il  
 modo comune sono 2 cose diverse e non è detto che veda le stesse  
 impedenze)



la capacità dominante è  
 quella di output.

• in modo differenziale  
 la pulsazione dominante è

$$\omega_{dom}^{diff} = \frac{1}{C_o(R // r_{op} // r_{on})}$$

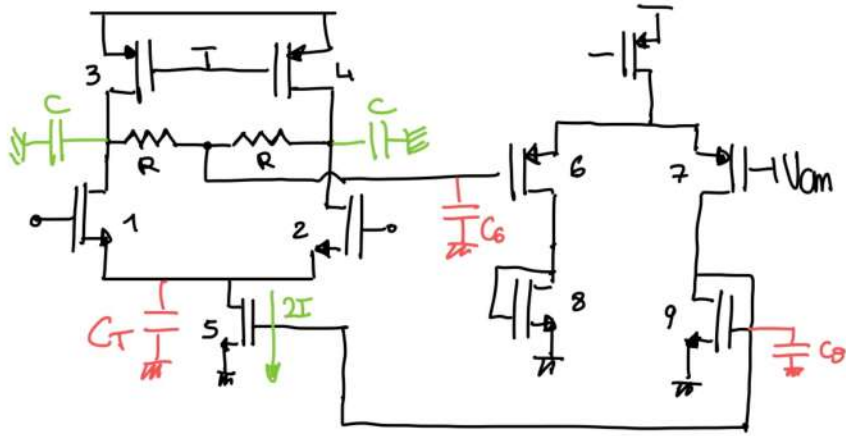
• in modo comune la  
 pulsazione è

$$\omega_{dom}^{cm} = \frac{1}{C_o(r_{op} // g_{mcm} r_{on}^2)}$$

Questo perché in CM non vedo R e vedo  
 un degenerated perché non ho + la terra virtuale →



Vediamo che i 2 poli dominanti nei 2 modi sono simili (ma non uguali)

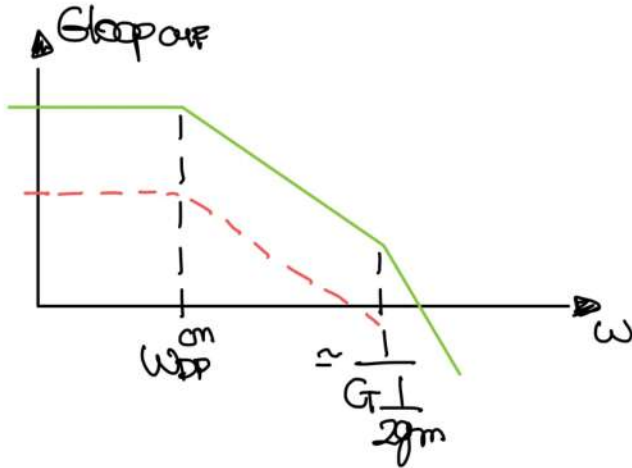


Vediamo che abbiamo 3 capacità extra.

Tipicamente il polo dato da  $C_T$  entra dentro la banda del loop gain.

Questo polo è a circa

$$\omega = \frac{2g_{m1}}{C_T}$$

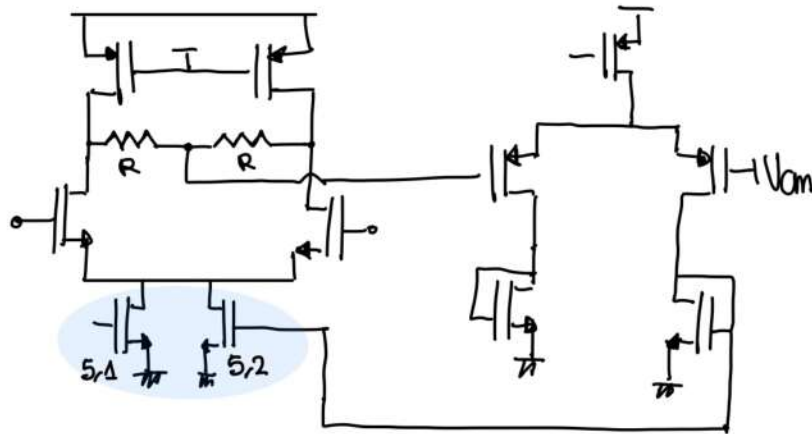


Non siamo molto stabili. Non c'è pace sta roba.

Vogliamo essere stabili. Come facciamo?

Non possiamo abbassare il guadagno in modo da mettere il 2° polo fuori banda

Come riduciamo il guadagno? Tipicamente variando  $g_{m5}$ .



Non sappiamo che  $g_{m5}$  dipende da  $I$  e  $V_{GS}$ , ma queste non posso variare perché sono legate al design dell'amplificatore iniziale.

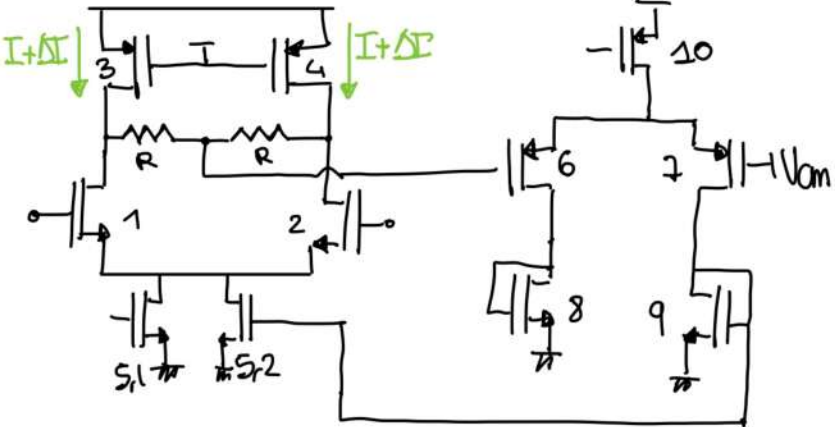
Allora noi possiamo splitare il transistor M5 in 2 così che io possa scegliere la corrente e quindi la  $g_m$  che mi va bene

il lato negativo di questo è che il loop è + piccolo quindi perdiamo un po' di accuratezza (ma non ci interessa troppo)

Un'altra capacità che può rompere il cazzo è  $C_g$  che vede  $1/g_{m5}$ .

Se noi vogliamo consumare meno potenza dobbiamo aumentare a meno corrente il current feedback, tuttavia  $V_{GS}$  è imposto (deve essere uguale al  $V_{GS}$  e quindi è settato dal design del main amplifier) quindi  $g_{m5}$  va a diminuire e quindi  $1/g_{m5}$  aumenta e il polo  $C_g$  arriva a rompere il cazzo.

Se io ho una variazione di common mode della corrente quanto è la variazione della common mode dell'output? (con il current feedback)



$\Delta V_{om} = ?$

Noi valutiamo la variazione di open loop e dividiamo per  $1 - G_{loop,CF}$ .

Noi non consideriamo l'effetto del loop perussita dato del feedback di frequenza.

> Variazione di open loop  $\Delta V_{om0} = \Delta I \cdot r_{op34}$

Però la variazione a circuito chiuso è

$$\Delta V_{om} = \frac{\Delta I \cdot r_{op34}}{1 + \frac{g_{m6}}{2} \cdot \frac{1}{g_{m9}} \cdot \frac{g_{m52}}{2} \cdot r_{op34}} \approx \frac{\Delta I}{\frac{g_{m6}}{g_{m9}} \cdot \frac{1}{4} \cdot g_{m52}}$$

Vediamo che alla fine è  $g_{m5}$  che controlla la corrente.

**SIDE EFFECT DEL CM FEEDBACK:** (NON È IL MOTIVO PER CUI FACCIAMO IL CM FEEDBACK!!!!)

Grazie al CM feedback noi riduciamo il guadagno da CM a CM. Vediamo quanto è il guadagno da CM to CM

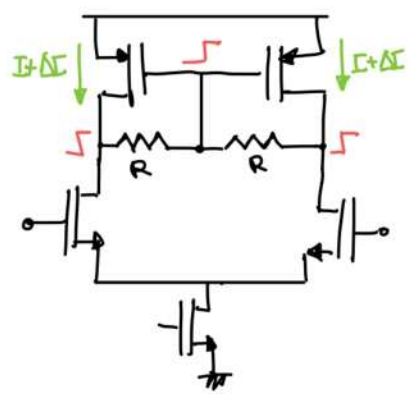
$$V_{out,cm} = \frac{-\frac{V_{in,cm}}{2 r_{og}} \cdot r_{op34}}{1 + \frac{g_{m6}}{g_{m9}} \cdot \frac{1}{4} \cdot g_{m52} \cdot r_{op34}} \rightarrow \frac{V_{out,cm}}{V_{in,cm}} \approx -\frac{1}{g_{m52} \cdot r_{og} \cdot \frac{g_{m6}}{g_{m9}} \cdot \frac{1}{2}}$$

**RICORDA!!** Noi facciamo il CM Feedback per i bias!!! **IMPORTANTE!!!!**

Tramite il CM Feedback riusciamo a migliorare anche la CMRR (attenzione però che la CMRR si valuta tra  $G_{d,d}$  e  $G_{om,to,d}$ !!!)

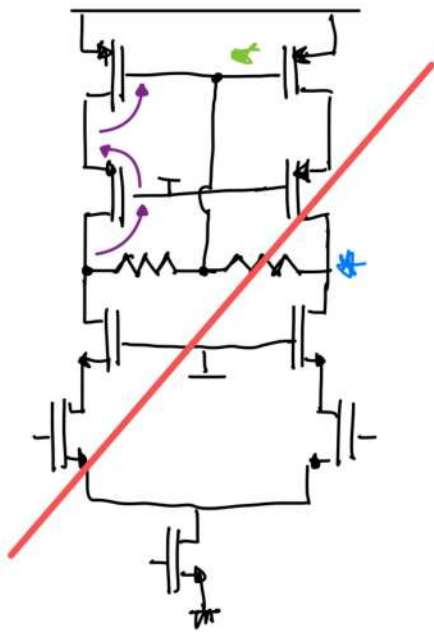
Tuttavia per un circuito così facile per creare un CM feedback. In Bti oltre a controllare il tail transistor posso controllare anche i 2 top transistor, non cambia niente.

Allora vediamo che se abbiamo un  $I+\Delta I$  l'out aumenta e quindi noi riodueghiamo il segnale tra le 2 R direttamente al gate dei 2 transistor.



il guadagno differenziale è  $A_{dd} = \frac{g_{m1}}{2} \cdot [2r_{op3,4} \parallel 2r_{os,2} \parallel 2R]$

Ovviamente non posso usare questo circuito in un telescopic cascode



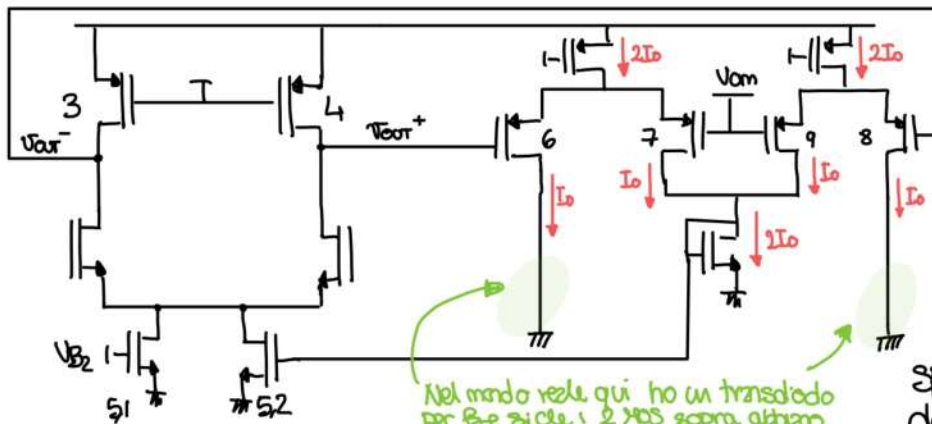
Vediamo che non possiamo usarlo!! abbiamo problemi di bias perché questo livello è diverso da questo livello e quindi non va una para.

Inoltre poi non possiamo collegare le 2R direttamente dovremo usare un buffer altrimenti diminuiamo il gain.

05-10-2022

3h

### Topologie CM Feedback

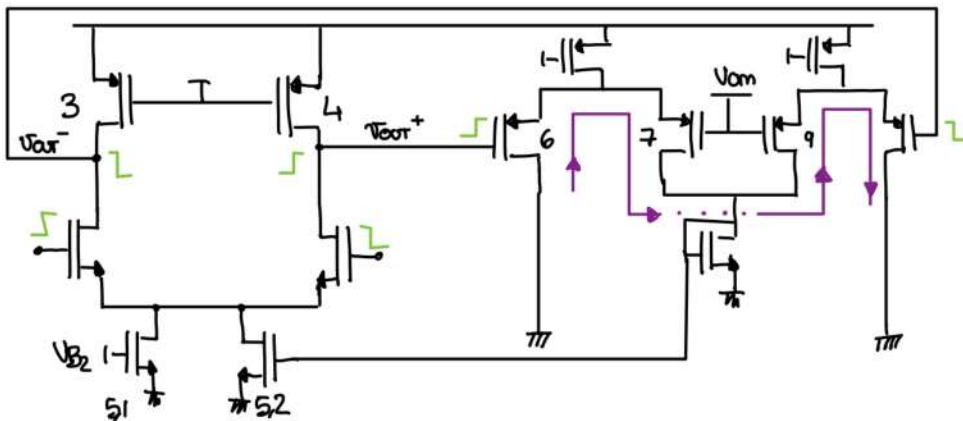


Non ho + un load resistivo, ma ho un load capacitivo (dato dalla Cas dei mos) Quindi non ho effetti sul Guadagno in continua ma ho effetti sul GBWP.

Non è detto che per forza debba splittare il tail transistor. Dipende da dove sono i poli

Nel mondo reale qui ho un transistor per E e si che i 2 MOS sopra abbiano la stessa  $V_{DS}$ .

Vediamo se un segnale differenziale interagisce o no con il CM Feedback

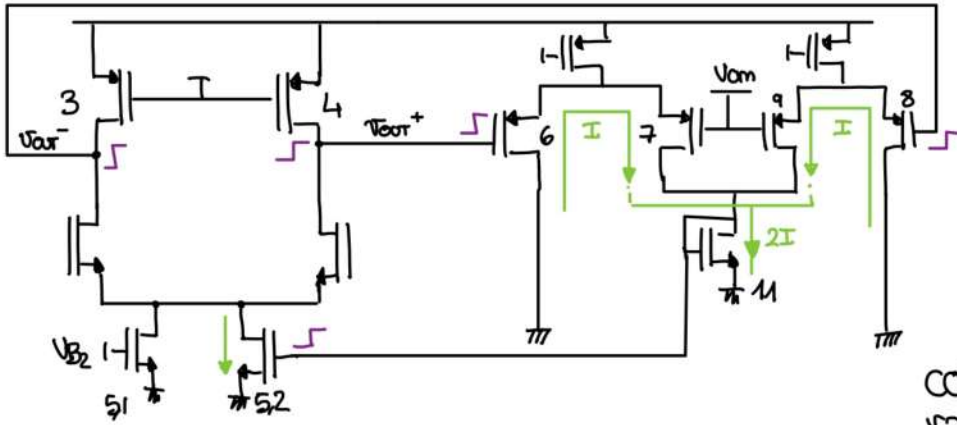


Qui usiamo l'approx di piccolo segnale (anche se con il CM Feedback è un po' una forzatura)

Vediamo che il segnale differenziale non ha effetto sul transistor e quindi sulla common mode.

Vediamo che le 2 para differenziali sono comandate con un unico segnale che si muove e l'altro fisso. Quindi comandiamo il paio differenziale con una common mode

Analizziamo cosa succede con una common mode



Se  $G_{loop} \rightarrow \infty$  mi aspetto che l'out vada esattamente a  $V_{cm}$ .

Abbiamo visto che il loop è negativo. Se usiamo un 2° stadio abbiamo che dobbiamo collegare assieme gli altri 2 rami con un transistor e usare quelli.

Calcoliamo il  $G_{loop}$

$$G_{loop}(0) = - \frac{g_{m6,8}}{2} \cdot 2 \cdot \frac{1}{g_{m11}} \cdot g_{m5,2} \cdot \frac{1}{2} \cdot r_{op3,4}$$

Resistenza di out della common mode

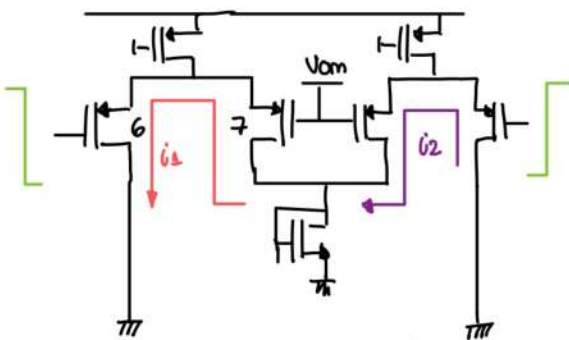
Perché la corrente di M5,2 si divide in 2.

Dato un errore di corrente di common mode, quanto vale il valore di Common mode?

$$\Delta V_{cm} = \frac{\Delta I \cdot R_{out,cm}}{1 + \frac{g_{m6,8}}{g_{m11}} \cdot \frac{1}{2} \cdot g_{m5,2} R_{out,cm}} \approx \frac{\Delta I}{\frac{g_{m6,8}}{g_{m11}} \cdot \frac{1}{2} \cdot g_{m5,2}}$$

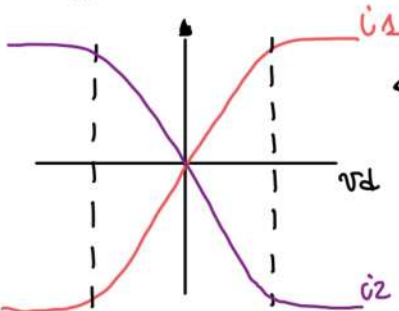
### PROBLEMA DI QUESTA TECNOLOGIA

Prima abbiamo detto che comandiamo i 2 paio differenziali con un segnale che è molto grande (non è tanto piccolo segnale) poi abbiamo anche che li comandiamo con una common mode.



Comandandoli con così grandi segnali noi spingiamo verso la non linearità della corrente.

TUTTAVIA questo non è un grande problema perché il secondo paio differenziale si comporta uguale e quindi le 2 correnti si compensano

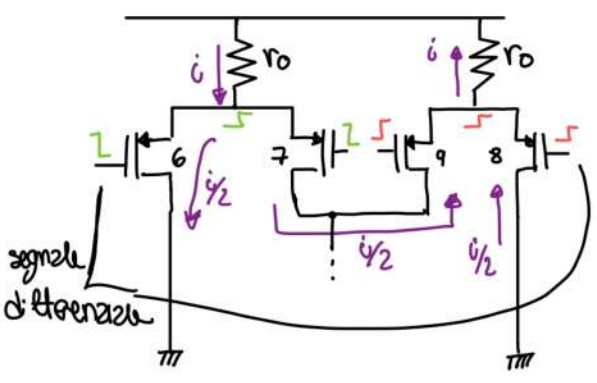


Andamento delle correnti nei 2 paio differenziali. Vediamo che anche nei punti non lineari le correnti sono uguali e opposte quindi top.

Non vogliamo saturare lo stadio differenziale perciò vogliamo  $V_{ov}$  grande (perché la saturazione la ho quando un lato è  $\sqrt{2} V_{ov}$  volte + grande dell'altro)

Noi vogliamo  $V_{ov}$  grande e  $I$  piccolo (per consumare meno potenza) quindi  $g_m$  non sarà grande. Credo che noi non vogliamo saturare perché siamo perdiamo sensibilità dell'input e quindi non riusciamo a compensare + la common mode.

Poi se abbiamo che la  $V_{om}$  sottodata è leggermente diversa da quella di output abbiamo che le curve degli stadi di differenziali non passano + per 0. Questo può creare problemi del 2° ordine.



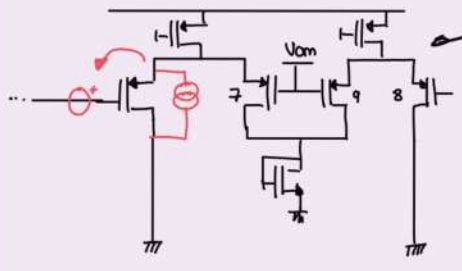
Supponiamo sempre di comandare lo stadio con un segnale differenziale. Tuttavia dato che un lato degli stadi di diff è connesso a  $V_{om}$  fissa vedo che ho una common mode con cui comando i singoli stadi di diff (data dalla media di  $V_{om}$  e il segnale) vediamo che questa cm (data dal segnale di diff) genera una corrente.

Le 2 correnti generate sono uguali e opposte e quindi nessuna corrente scorre sul transistoro.

Ma vediamo che non è un problema perché

**PARLARE DI RUMORE!**

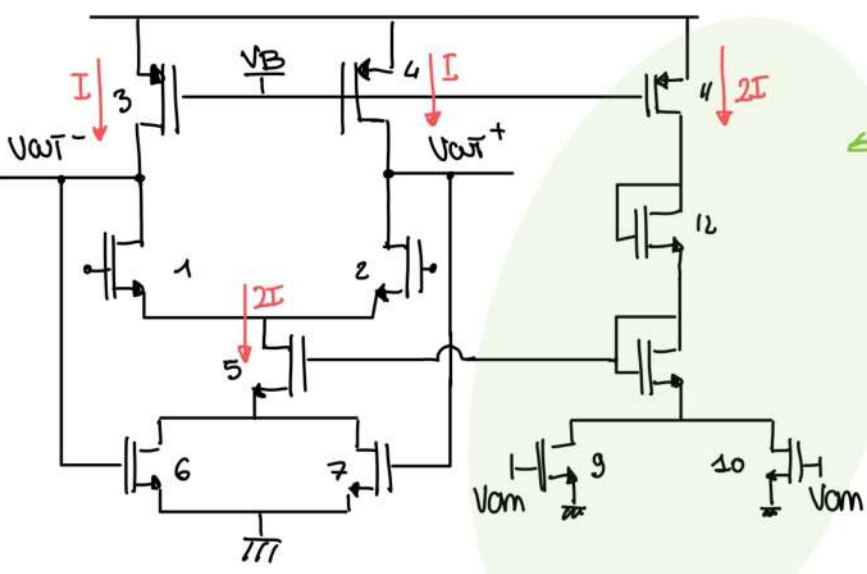
Tipicamente il rumore dei CM feedback non è un problema perché di solito il rumore è di CM. (e a noi non ci frega della common mode)



**ATTENZIONE!** Fare gesto e dire che ho rumore in + sull' input è SBAGLIATO! Questo perché il gen eq. si calcola all' input del circuito intero e non in mezzo.

**Altra topologia**

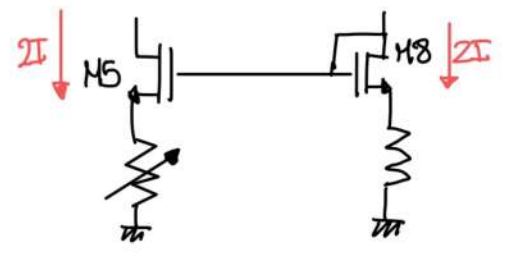
Questa è una topologia che consuma poca corrente ma non è molto efficace.



Struttura dove  $M_6, M_7, M_9, M_{10}$  sono in triodo.

Replica bias

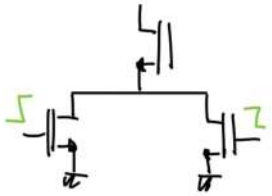
Sono in questa situazione



In pratica abbiamo uno specchio obgenerato.

L'idea è che se abbiamo una  $\Delta I$  di cm allora le tensioni di output seguono e quindi  $R$  dei mos diminuisce facendo un'imbalance dello specchio e questo fa sì che  $M_5$  tirerà un po' più corrente.

Non usiamo 2 MOS per creare un unico resistore perché dobbiamo fare sì che dato un segnale differenziale  $R$  non cambi



In prima approssimazione la resistenza non varia (non è proprio corretto)

Studiamo l'andamento dei transistori in triodo

$$I = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

← Vediamo che non è propriamente un resistore. Vale solo se  $V_{DS} \ll V_{ov}$ .



Allora in questa zona abbiamo una conduttanza

$$G = \frac{I}{V_{DS}} = \mu_n C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_T)$$

Però la resistenza totale sotto MS è data da

$$R = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_G (V_{GS} - V_T)_G + \mu_n C_{ox} \left(\frac{W}{L}\right)_T (V_{GS} - V_T)_T}$$

Se abbiamo un segnale differenziale abbiamo che

$$R = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_G (V_{GS} + \Delta V - V_T)_G + \mu_n C_{ox} \left(\frac{W}{L}\right)_T (V_{GS} - \Delta V - V_T)_T}$$

Non ci piace troppo perché usiamo una formula approssimata

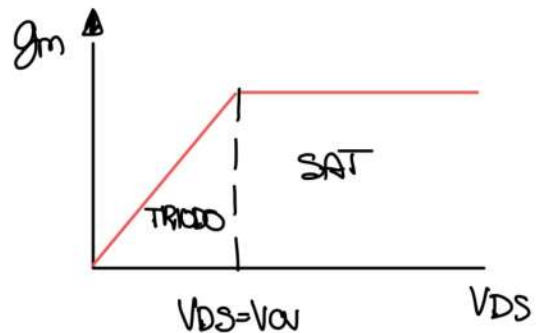
Dobbiamo anche stare attenti a non spegnere completamente uno dei 2 MOS.

Vediamo come calcolare il Gloop di questa topologia (che non è easy) infatti ora abbiamo i transistori in triodo non più in SAT.

$$I = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Definiamo una  $g_m$  in triodo

$$g_{mG,T} = \frac{\Delta I}{\Delta V_{GS}} = \frac{\partial I}{\partial V_{GS}} = \mu_n C_{ox} \left(\frac{W}{L}\right)_G \cdot V_{DS}$$



Vediamo che  $g_m$  è più piccolo di quella in sat. Inoltre abbiamo anche che la corrente è anche fortemente controllata dalla  $V_{DS}$ .

Non in prima approssimazione possiamo dire che

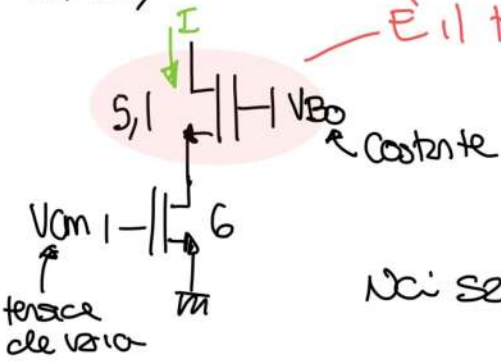
$$\frac{\Delta V_{GS}}{\Delta I} \approx \frac{1}{g_{mG,T}}$$

Formula tratta Ricci come se la gm fosse quella di un mos in sat  $i = gm v_{gs}$

Ricordiamo vediamo che  $\Delta V_{om} = \Delta I / gm_1$  allora noi vorremo gm alto, ma non possiamo avere gm alto perché siamo in triodo!!

QUESTA MATEMATICA NON È CORRETTA PERCHÉ SE VARIA  $i$  VARIA ANCHE  $V_{DS}$  E QUINDI CAMBIA ANCHE LA gm A SUA VOLTA FACCIAMO ANALISI COMPLETA, UTILIZZIAMO L'HAUF CIRCUIT. (DATO CHE STUDIAMO LA CM)

È il transistor 5 chiuso in 2



Se vario  $V_{om}$  quanto varia  $I$ ?

Ricordiamo che  $M_6$  è un resistore!!

Noi sappiamo che  $V_{DS}(\text{costante}) = R \cdot I + V_{GS51}$

$$= R \cdot I + V_T + \sqrt{\frac{I}{K \left(\frac{W}{L}\right)_{51}}}$$

Dare  $K = \frac{1}{2} \mu_n C_{ox}$

Adesso noi vogliamo ricavarci  $dI$  in funzione di  $dR$ , allora

$$(dI) \cdot R + I(dR) + \frac{1}{2 \sqrt{K \left(\frac{W}{L}\right)_{51}} \cdot \sqrt{I}} dI = 0$$

$\leftarrow = \frac{1}{gm_{S1}}$

Allora

$$dI = \frac{-dR}{R + \frac{1}{gm_{S1}}} \cdot I$$

Ricordando che

$$dR = \frac{1}{\mu_{Cox} \left(\frac{W}{L}\right)_6 (V_{GS} - V_T)_6}$$

$$\Delta V_{om_{att}} = \Delta V_{GS}$$

$$= -R \frac{\Delta V_{om_{att}}}{(V_{GS} - V_T)_6}$$

Variazione relativa della resistenza di variaz di  $\Delta V_{om}$ .

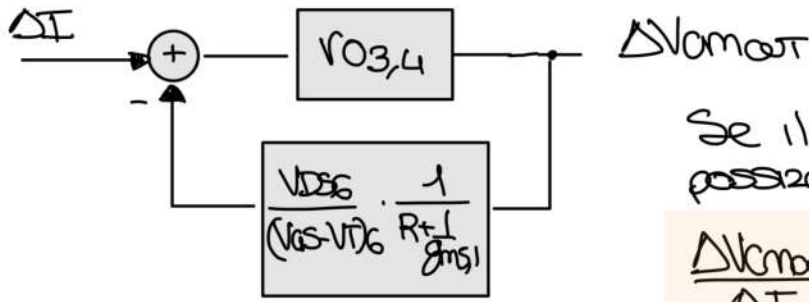
Rimettiamo questa eq in quella precedente e otteniamo il collegamento tra  $\Delta I$  e  $\Delta V_{om}$ .

Quindi

$$dI = \frac{I \cdot R}{R + \frac{1}{gm_{S1}}} \cdot \frac{dV_{om_{att}}}{(V_{GS} - V_T)_6} = \frac{V_{DS6}}{(V_{GS} - V_T)_6} \cdot \frac{dV_{om_{att}}}{R + \frac{1}{gm_{S1}}}$$

Vediamo che il sistema non è molto sensibile se  $V_{DS6}$  è piccolo

Quando abbiamo una corrente extra posso vedere il tutto così.



Se il Gloop è grande abbastanza possiamo dire che

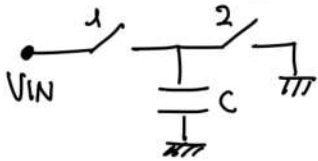
$$\frac{\Delta V_{omout}}{\Delta I} \approx \left( R + \frac{1}{g_{m51}} \right) \frac{(V_{GS} - V_T)_6}{V_{DS6}}$$

10.10.2022

3h

### Switched capacitors common mode feedback.

è un sistema di feedback che funziona estremamente bene (ma è complesso)



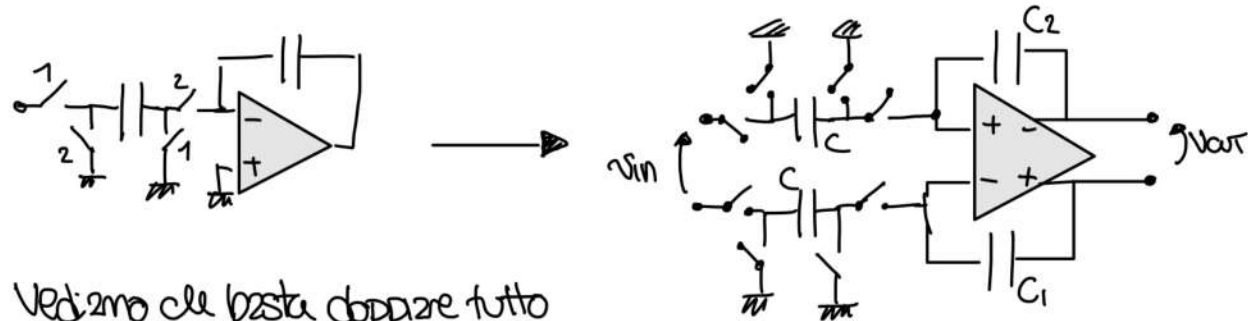
Ma la corrente e la tensione di un condensatore non sono in quadratura? Quindi come facciamo a fare un resistore?

Se noi supponiamo frequenza di campionamento  $\gg$  di

quella del segnale, allora noi possiamo dire che abbiamo fatto un sampling della tensione e quindi abbiamo preso della carica ed è quindi presente una corrente media.

Creiamo quindi un resistore equivalente (Anche in termini di dissipazione, perché andiamo a buttare via carica nel secondo step).

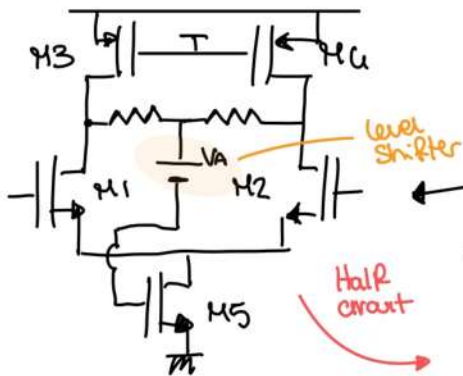
Creiamo un switched cap filter in fully differential



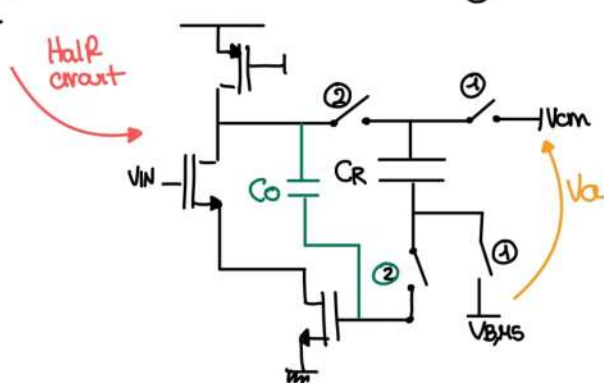
Vediamo che basta doppiare tutto

Noi ora realizziamo l'interno del circuito (nello specifico il CM feedback)

Noi abbiamo visto che possiamo fare il CM feedback facendo un sensing con i resistori. Posso realizzare questi con dei switched cap.

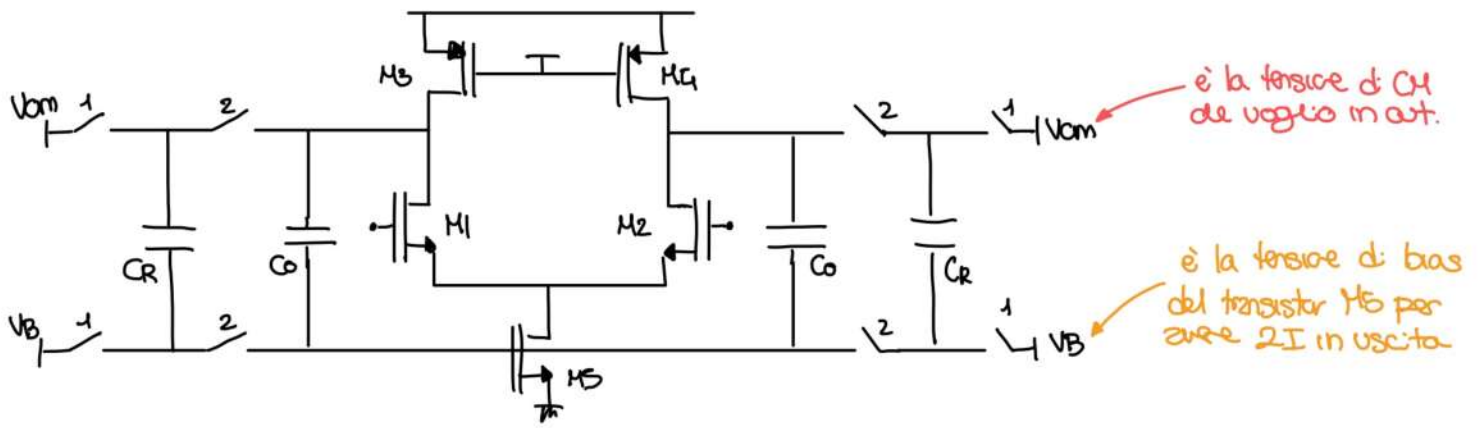


Noi vogliamo realizzare un resistore con un voltage switch



Con la switched cap creo un resistore con un level shifter pari a  $V_A$  (così carico la capacità a  $V_{out}$ )  
C'è una cosa che non ci piace. Quando ① chiuso e ② aperto l'output è flottante. Allora noi tipicamente collegiamo una  $C_0$  per non averla flottante.





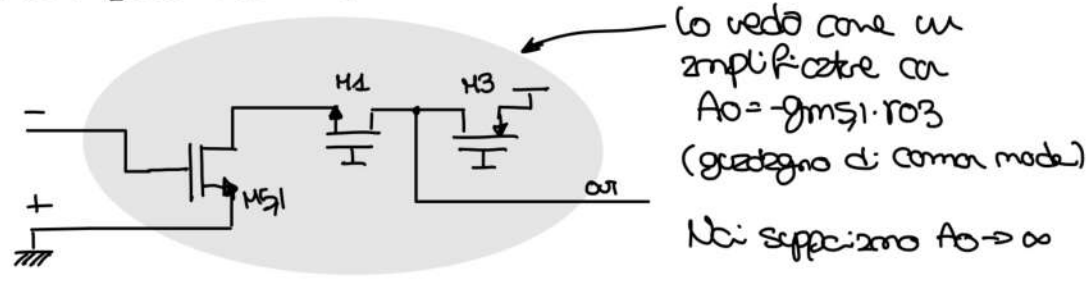
Questo circuito viene molto usato (se rogoi un swit cap circuit) perché il sensing è estremamente lineare (anzi più di avere solo resistenze)  
 Un vantaggio di questo circuito è che non c'è DC load (WHAT!?! ma non fanno delle resistenze con i swit cap???)  
 Nella realtà quando abbiamo un sistema di questo tipo abbiamo in media un integratore



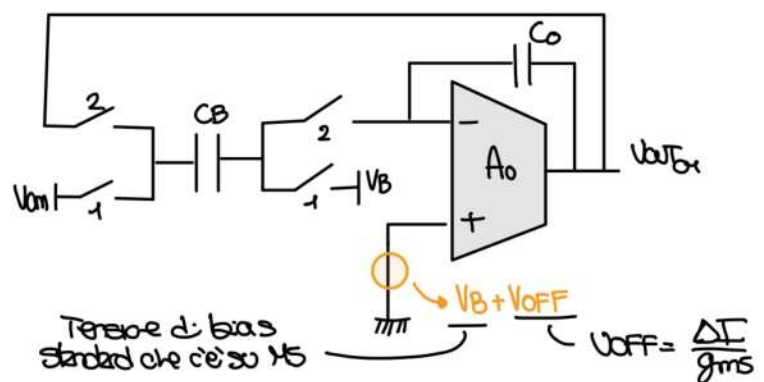
Ma quando studiamo la stabilità ecc del circuito noi usiamo il circuito vero non quello medio (questo perché il circuito è tempo variante)

Però di fatto noi non facciamo un DC loading dell'output e quindi non roviniamo il guadagno in DC dell'OPAMP.

Ma dato un errore di common mode della corrente quanto è la variazione della CM voltage di uscita?  
 È molto complesso dobbiamo fare delle assunzioni (es gain alto)  
 Per l'analisi noi usiamo sempre il half circuit model (leggermente modificato [e' solo ribaltato])



Dato che io ho un errore di corrente pari a  $\Delta I$  posso vedere un "equivalente offset in ingresso" pari a  $V_{off} = \Delta I / g_{m5}$   
 Perciò posso vedere il tutto come



Realizziamo adesso il modello del circuito considerando anche l'offset.

Qui sappiamo che la carica totale della fase 1 deve essere uguale alla carica totale in fase 2.

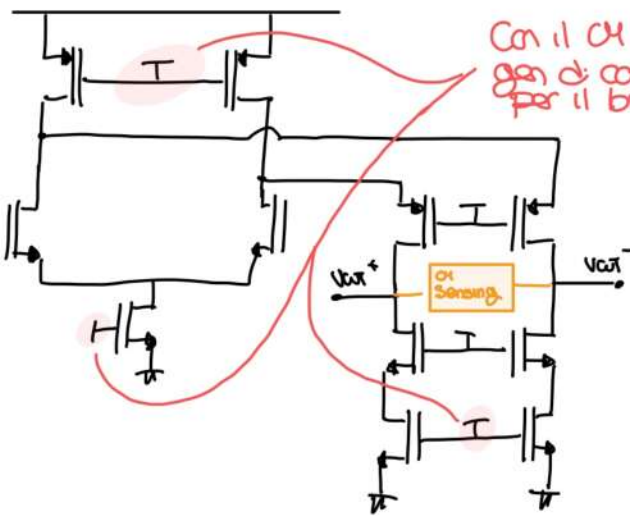
Carica fase 1:  $(V_{OH} - V_B)C_R + (V_{OH}, C_M - (V_B + V_{OFF})) \cdot C_O$

Carica fase 2:  $(C_R + C_O)(V_{OH}, C_M - V_B - V_{OFF})$

Uguagliando le 2 otteniamo che

$V_{OH}, C_M = V_{OH} + V_{OFF} \leftarrow \frac{\Delta I}{g_m}$

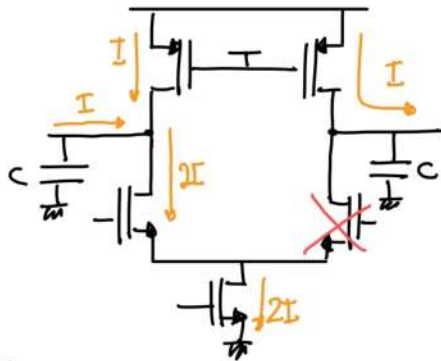
Esempio di CM Feedback con folded cascode



Con il CM sensing posso controllare una quantità di questi 3 generatori di corrente. Non altri punti perché gli altri punti sono solo per il bias.

Facciamo adesso una discussione sullo slew rate. Innanzitutto lo slew rate è simmetrico. In prima approssimazione per lo slew rate non è modificato dal CM feedback.

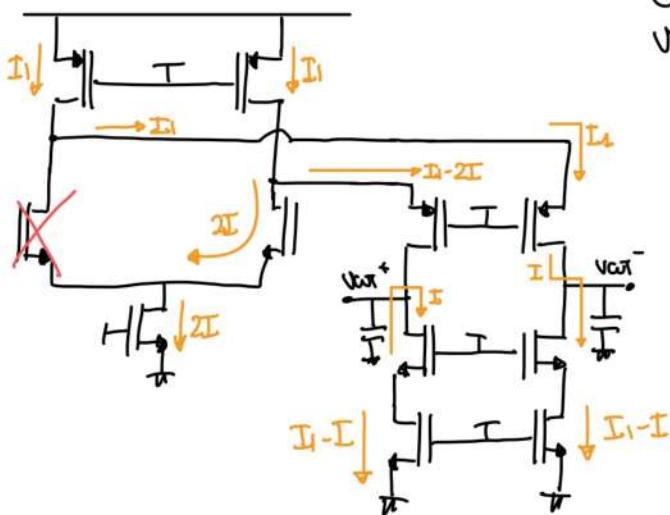
Esempio di slew rate in un semplice Rolly di differential



Perché entrambi i condensatori vengono caricati da una corrente I (solo in verso contrario)

Per quanto riguarda lo SR di un folded cascode abbiamo che:

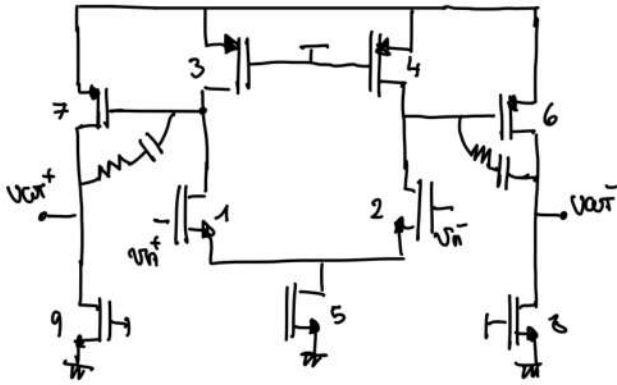
Ovviamente dobbiamo avere che  $I_1 > I$ , ma noi vogliamo anche che  $I_1 > 2I$ .



Ovviamente anche qui lo SR è simmetrico e abbiamo che  $V_{out} = \frac{2I}{C}$  (differenziale tra le 2 uscite)

Ma cosa succede se  $I_1 < 2I$ , la soluzione è ancora simmetrica. Non cambia niente ma siamo più lenti perché dobbiamo invertire la polarizzazione del MOS. Non ci piace, bisogna evitare questo.

## 2 stage fully differential

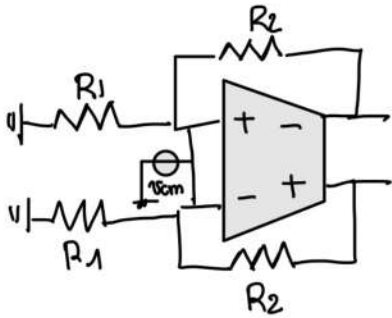


Vediamo subito che abbiamo 2 stadi di uscita, quindi rispetto a un single ended usiamo il 2° della potenza per il 2° stadio.

$$\begin{cases} 2I = I_3 + I_4 \\ I_6 + I_7 = I_8 + I_9 \end{cases} \quad \leftarrow \text{Ci serve per la common mode}$$

Notiamo che abbiamo due problemi. Abbiamo una doppia inversione e quindi il guadagno da Common mode a Common mode è  $> 1$ .

Supponiamo di commettere così:



Allora abbiamo un loop passivato per a

$$G_{loop}(s) = \underbrace{\left( \frac{R_1}{R_2 + R_1} \right) \left( \frac{V_{o3,4}}{2V_{o5}} \right)}_{Ac-c} \cdot g_{m6,7} (V_{o6}/V_{o7})$$

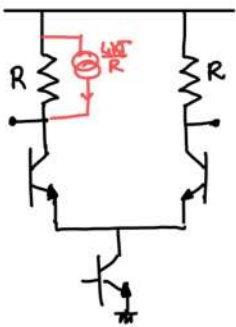
è il loop di CM passiva che abbiamo senza CM feedback. Il problema qui è che il loop passivato è positivo. Almeno nell'altro caso era negativo e quindi almeno ci dava un meno. Qui NO!

Non ci sono particolari soluzioni. C'è l'altro loop (quello del CM feedback) che gli deve dare contro e deve unire.

11-10-2022

2h

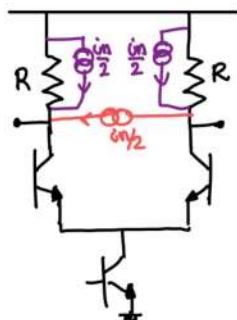
### ESEMPIO



Per calcolare il rumore dell'input possiamo usare l'half circuit (differenziale)

Se noi consideriamo il rumore di un unica resistenza questo rumore si legge solo in output?

Nella realtà io posso splitare il generatore di rumore in questo modo.



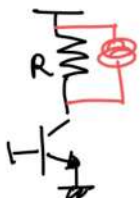
Dato che noi siamo interessati solo all'uscita differenziale (e non quella di CM dato che abbiamo una grande CM)

Allora

$$V_{out,eff} = \frac{in}{2} \cdot 2R$$

Ma consideriamo questi generatori perché sono di CM

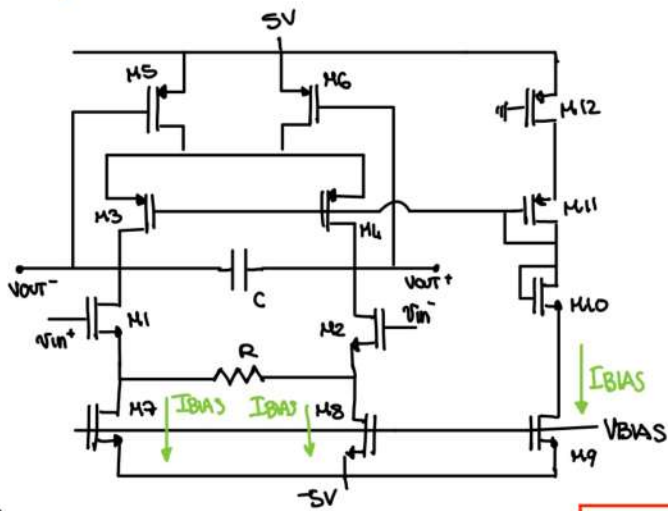
Questo che fatto ci giustifica l'uso dell'half circuit



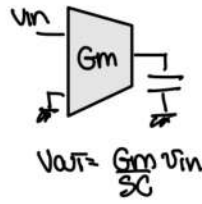
$$V_{out} = i_n \cdot R$$

Debbiamo ricordare che questo è il rumore di un singolo resistore. Ne abbiamo 2 (abbiamo ricordarci)

# Esempio di Esame scritto

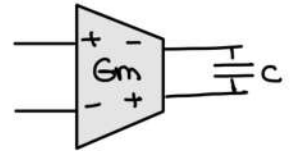


il circuito è un Gm-C filter, possiamo creere un integratore



- ✓ valore perché non è chiuso in loop
- ✗ output dipende dal rapporto tra 2 grandezze diverse, devo fare il tuning
- ✗ Non è lineare perché è open loop.

Nella realtà quello del circuito è fatto così



Dati

$$\left(\frac{W}{L}\right)_{7,8} = \left(\frac{W}{L}\right)_9 \quad \left(\frac{W}{L}\right)_{3,5} = \left(\frac{W}{L}\right)_{11}$$

**STARE SUPER ATTENTI CHE IL CONDENSATORE QUANDO SI USA L'HALF CIRCUIT DIVENTA 2C E NON C/2**

1) A cosa servono M5, M6? e quanto vale  $(W/L)_{5,6} / (W/L)_{12}$ ? Quanto vale la CM di output?

Vediamo subito che abbiamo il CM feedback con i transistor in triodo. Quindi M5, M6 sono in triodo.

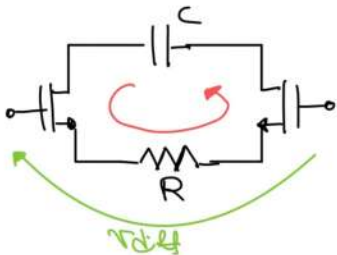
Dato che  $(W/L)_{7,8} = (W/L)_9$  allora ho IBIAS anche su i 2 rami d'ingresso.

Dato che M12 ha il gate a terra capiamo che Vout+ e Vout- è a 0V (perché il circuito a destra è un replica bias).

Quindi per  $(W/L)_{5,6} = (W/L)_{12}$  due esse uguali (credo lo debba essere perché gli altri transistor del replica bias sono uguali a quelli del mio circuito principale)

2) Differential gain (con  $r_o \rightarrow \infty$ )

Se noi ci focalizziamo solo sull'input

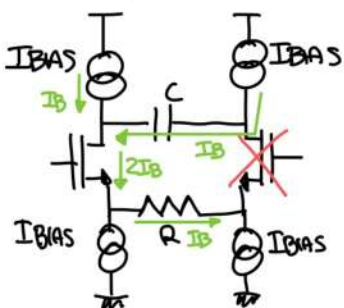


$$\frac{V_{outD}}{V_{inD}} = \frac{1}{\frac{2}{g_{m3,2}} + R} \cdot \frac{1}{sC}$$

3) Slew Rate

(Ricordiamo che per fully differential amp noi sappiamo che la CM non abbia effetto)

$$\text{Quindi: } SR = \frac{I_{BIAS}}{C}$$

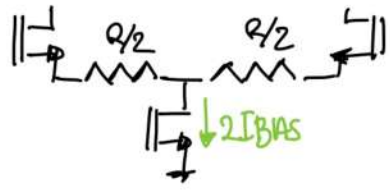


#### 4) Minima input Common Mode

$$V_{cm\_input\_min} = V_{AS1,2} + V_{V7,8}$$

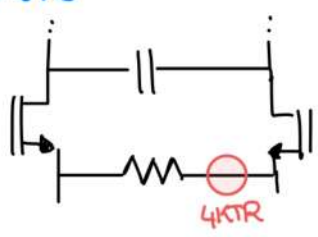
(credo ci vada anche con -5V per tenere conto della alimentazione negativa)

Notiamo che non c'è il drop sulla resistenza (ci pare) questo perché abbiamo fatto una cold resistance.  
 Dal punto di vista del piccolo segnale era uguale a fare



Solo che qui ziamo auto anche la caduta sulle resistenze e quindi la common mode input sarebbe stata più bassa

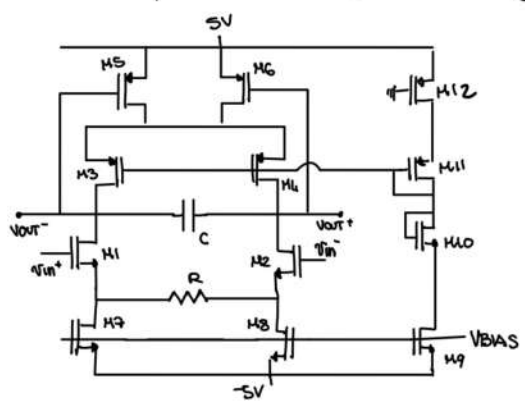
#### 5) Rumore



Iniziamo analizzando il rumore della resistenza. Se ho un gain di tensione  $V_n$  quello mi crea una corrente

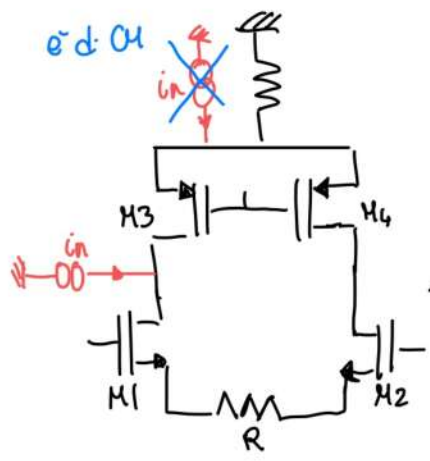
$$\frac{V_n}{\frac{2}{g_m} + R} = i_n$$

Ripetendo il tutto all'ingresso vediamo che il rumore della resistenza è riprodotto completamente all'ingresso.

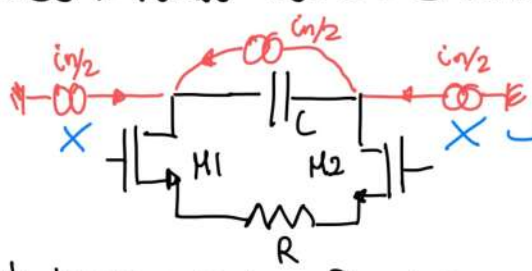


La rete di replica bias non ci interessa per il rumore. A noi interessano i rami di M3,4 / M1,2 e M7,8

Analizziamo il rumore di M3 (dividiamo il gain di rumore in 2)



Divido il rumore tra  $O_e$  e rumore differenziale



Ma ci interessano perché sono di  $O_e$

(sto lavoro si poteva fare + easy usando il half circuit)

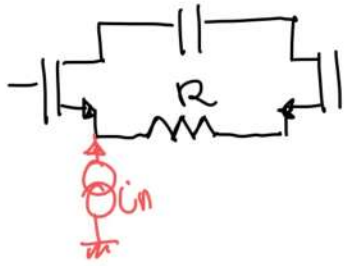
So poi che  $\frac{V_n}{\frac{2}{g_m} + R} = \frac{i_n}{2}$

$$\sigma_{n3}^2 = \frac{1}{4} \cdot 4kT \sigma_{g_m} \left( \frac{2}{g_m} + R \right)^2$$

Contributo solo del transistor M3, se volessi anche M4 darei raddoppiare questo valore.

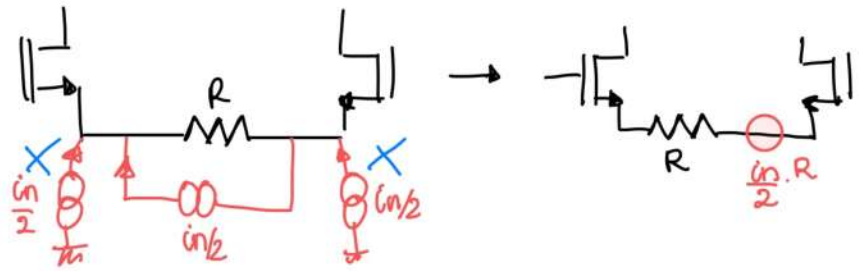
Rumore di  $M_7$

$M_7$  sono i mos della base



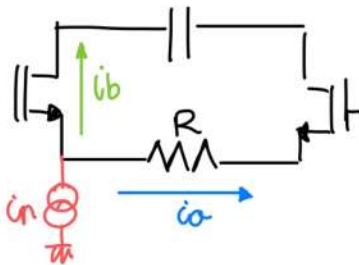
Facciamo lo stesso (ciclo di sopra e dividiamo in rumore di: CM e rumore diff.

Però il rumore dato da  $M_7$  risulta essere



$$en_1^2 = \frac{1}{4} \cdot 4kT \gamma gm_7 R^2$$

Un altro modo per trovare la soluzione è: [SECONDO ME PIÙ DIFFICILE DA CAPIRE]



$$i_a = i_n \cdot \frac{1/gm_2}{R + 2/gm_2}$$

$$i_b = i_n \cdot \frac{R + 1/gm_2}{R + 2/gm_2}$$

Queste correnti vanno a sommare sul condensatore

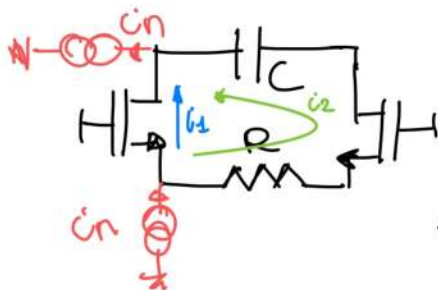


Allora ho una corrente di Common mode e una corrente differenziale

$$i_{cm} = \frac{i_a + i_b}{2} = \frac{i_n}{2}$$

$$i_d = i_a - i_b$$

• Calcoliamo ora il rumore di  $M_1$



$$i_d = i_n \cdot \frac{1/gm_2}{R + \frac{2}{gm_2}}$$

(de è la corrente che scorre sulla capacità)

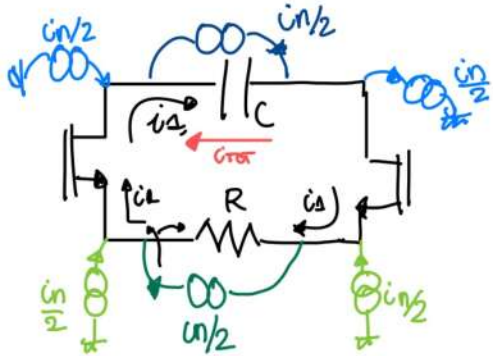
Allora ci seppiamo ce

$$\frac{v_n}{R + \frac{2}{gm_2}} = i_n \cdot \frac{1/gm_2}{\frac{2}{gm_2} + R} \rightarrow en^2 = 4kT \gamma gm_2 \left( \frac{1}{gm_2} \right)^2$$

Vediamo che il feedback non fa niente.

[IN QUESTO CASO NON ABBIAMO DIVISO IL RUMORE IN CM E DIFF. MODE XE' SEMBR' ERA + DIFFICILE]

Proviamo a dividre in Ol e diff mode e vediamo che uose uguale



A me interessano solo le correnti ~~///~~ e ~~///~~

Inoltre a me interessa traze la  $i_{TOT}$  nel verso segnato. Allora la posso traze fondo

$$i_{TOT} = \frac{i_n}{2} - i_1$$

$$i_{TOT} = \frac{i_n}{2} \left[ 1 - \frac{R}{2g_{m1,2} + R} \right] \rightarrow i_{TOT} = \frac{i_n}{2} \cdot \frac{2g_{m1,2}}{2g_{m1,2} + R}$$

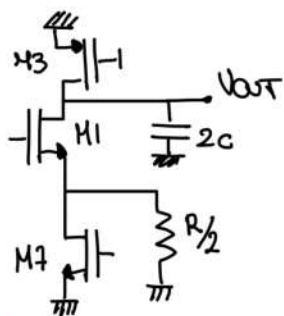
[PRESUMO NOI VOGUAMO  $i_{TOT}$  IN QUEL VERSO PERCHÉ ABBIAMO SCELTO  $v_{OT}$  A SINISTRA E  $v_{IN}$  A DESTRA]

12.10.2022

3h

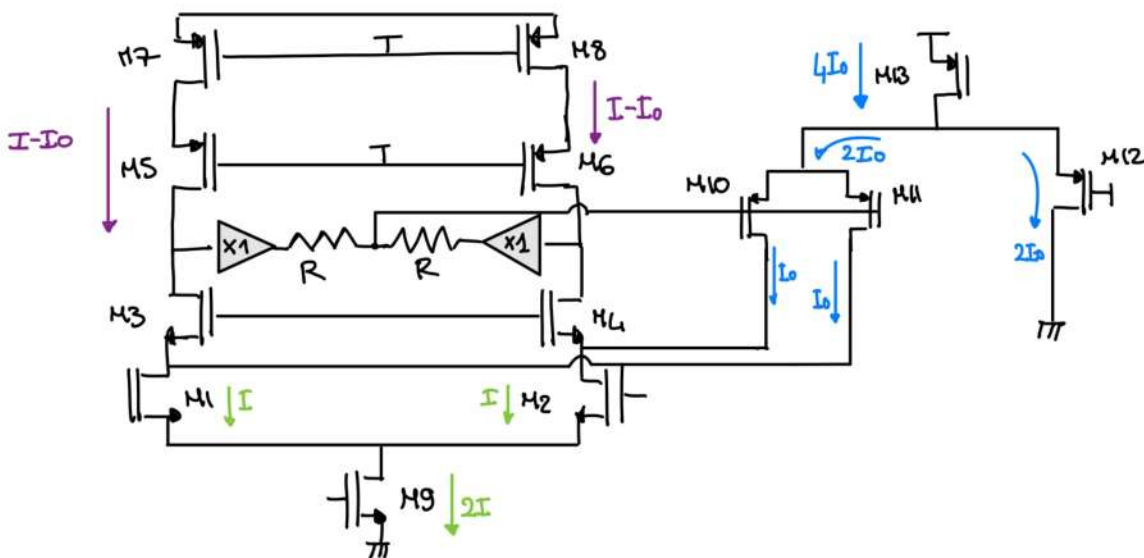
Concludiamo l'esercizio di ieri.

Ricordiamo che noi possiamo considerare solo l'half circuit



E da questo circuito noi possiamo prendere un elemento e calcolare il rumore, che è più facile di quello che abbiamo fatto ieri.

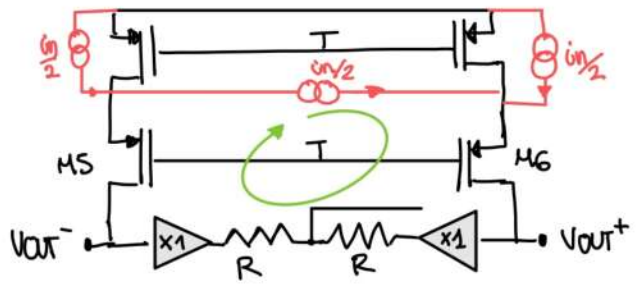
### Telescopic cascode con differential Ol Feedback



$$\left(\frac{w}{L}\right)_8 = 2\left(\frac{w}{L}\right)_1 = 2\left(\frac{w}{L}\right)_{10}$$

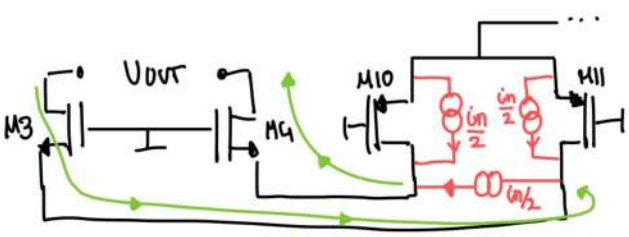
Se abbiamo un segnale di modo comune abbiamo che  $M_{10,11}/M_{12}$  si sbilancia e il tutto porta a 0 - corrente.

Qual'è il vantaggio di questa topologia? È che il Common mode loop presenta poli a + zeta Frequenza rispetto alle altre topologie. Un lato negativo potrebbe essere il rumore dato che in questo caso noi non agiamo su un punto di modo comune. Nella realtà aggiungiamo sì rumore ma vedremo che è minimo.



← Rumore dei transistor 7/8

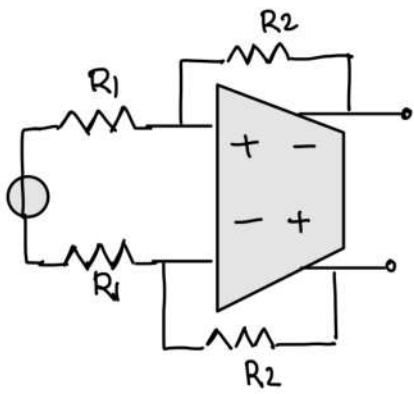
Studiamo ora il contributo del rumore di  $M_{10}/M_{11}$



Perciò 
$$\frac{4KT\gamma g_{m10}}{4} = e_n^2 \left(\frac{g_{m10}}{2}\right)^2$$

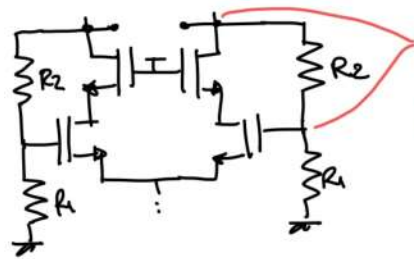
È vero che portano rumore ma nel caso con CM feedback normale M7/M8 portano I e non (I-I0) quindi alla fine il rumore è circa comparabile.

• Altro esempio



Non è sicuro un telescopic cascode questo per ragioni di bias. Questo perché non posso commettere una resistenza tra l'out e l'in di un telescopic cascode perché  $V_{out} \neq V_{in}$  ma se  $V_{out} \neq V_{in}$  scorie corrente di bias nelle resistenze e distruggo il bias. (Se  $V_{out} = V_{in}$  credo i mos siano in triodo)

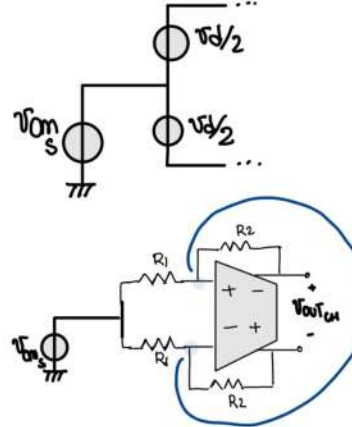
Qual'è l'output common mode?  
 È settato internamente all'OTA tramite il CM feedback.



Queste 2 tensioni devono essere diverse sono in triodo (?) e se non sono diverse R2 ruba corrente di bias e distruggo tutto.

Qual'è la input common mode? (all'input dell'OTA!!!)

Nella realtà l'input generator va rappresentato così:



Nel mondo ideale con  $G_{loop}$  del CM feedback  $\rightarrow \infty$  abbiamo che la tensione di input o di input dell'OTA è

$$V_{in_{OTA}} = V_{om_s} \cdot \frac{R_1}{R_1+R_2} + V_{out_{OTA}} \cdot \frac{R_1}{R_1+R_2}$$
 (vale solo per  $G_{loop} \rightarrow \infty$ )

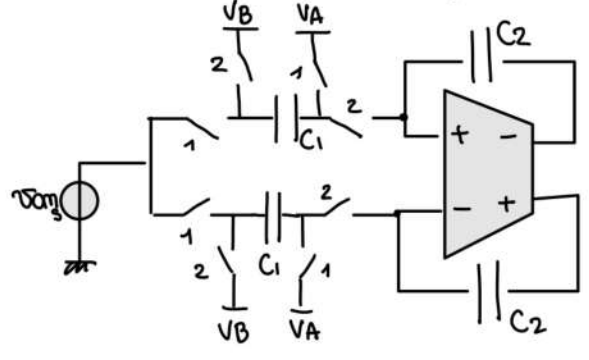
A noi interessa la OTA qui

Qui devo aver fatto casino, dovrei fare la somma dei partitori dall'input all'output



Ma cosa succede se al posto di avere un feedback resistivo lo abbiamo capacitivo? (es switched cap?)

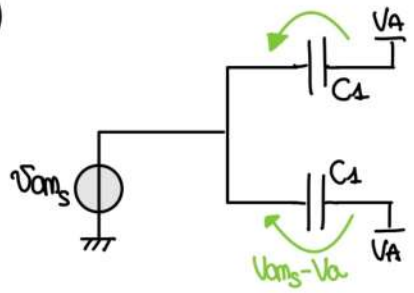
1) Possiamo usare il telescopic cascode



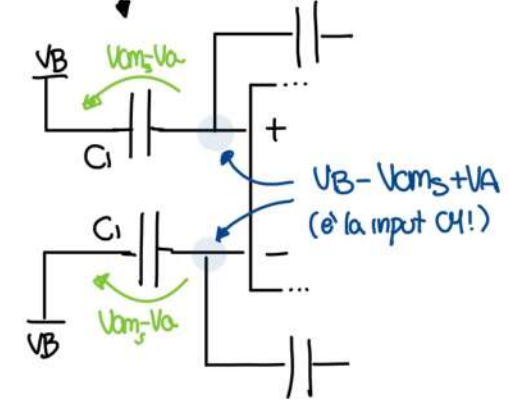
La common mode output è sempre settata dal OT feedback. Ma quanto vale la cel all' input dell'OTA? È più complesso di prima!

Dobbiamo studiare le vere fasi

1



2

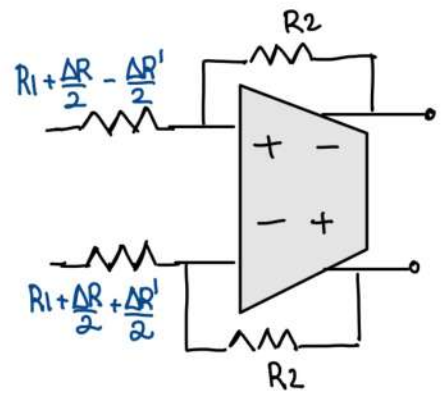


Non rimprovero cerca dai condensatori perché è carica di common mode

In base alla C1 che voglio scelgo V\_A e V\_B.

Idealmente lo vorrei V\_A e V\_B = 0V o VDD così avere un solo tipo di switch. Ma non possiamo (credo per i limiti di OT input).

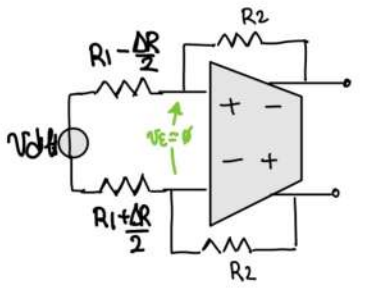
Mismatch in fully differential. Supponiamo mismatch di R1.



Vediamo il mismatch come un errore di cel e uno di differenziale

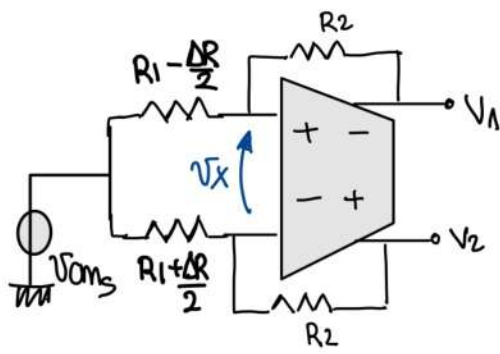
il mismatch di common mode non ci dà troppa fastidio. Quello più caparzio è quello di differenziale

Supponiamo di mettere un segnale differenziale all' input e avere V\_E → 0, allora



Allora vediamo che in prima approx il guadagno non cambia perché i 2 mismatch delle resistenze vanno compensandosi. (questo perché la resistenza vista all' input è circa uguale)

L'effetto più problematico lo abbiamo quando componiamo una tensore di Common mode in input.



(Noi non sappiamo quanto vale  $V_x$ )

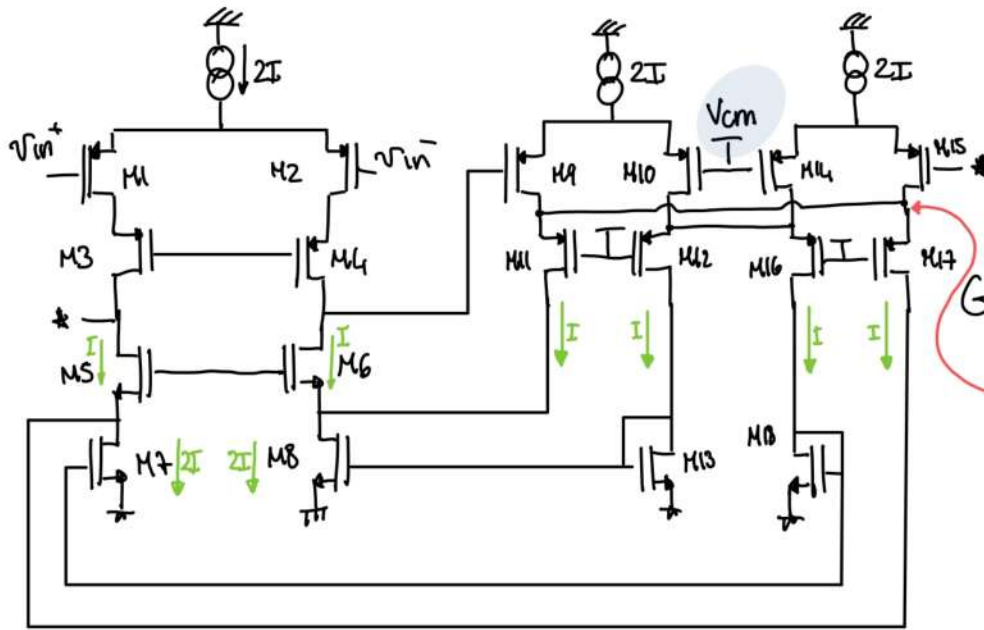
$$\begin{cases} \frac{V_x - V_{cm5}}{R_1 - \Delta R/2} = \frac{V_1 - V_x}{R_2} \\ \frac{V_x - V_{cm5}}{R_1 + \Delta R/2} = \frac{V_2 - V_x}{R_2} \end{cases}$$

$$\rightarrow (V_1 - V_2) \approx V_{cm5} \left( \frac{\Delta R}{R_1} \right) \frac{R_2}{R_1 + R_2}$$

è l'output di errore!

Notiamo che dato un mismatch abbiamo una variazione del segnale differenziale.

### Altra topologia common mode feedback

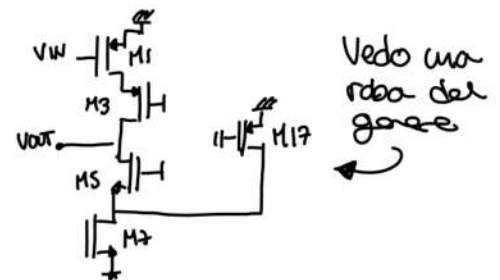


Come si può vedere si ha che  $\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_3$

Cosa succede se applico un segnale differenziale?

$$G_{dd} = \frac{g_{m1,2}}{2} \cdot 2 \cdot \left[ (r_{o3} g_{m3} r_{o4}) \parallel (r_{o7} \parallel r_{o8} \parallel g_{m5} r_{o5}) \right]$$

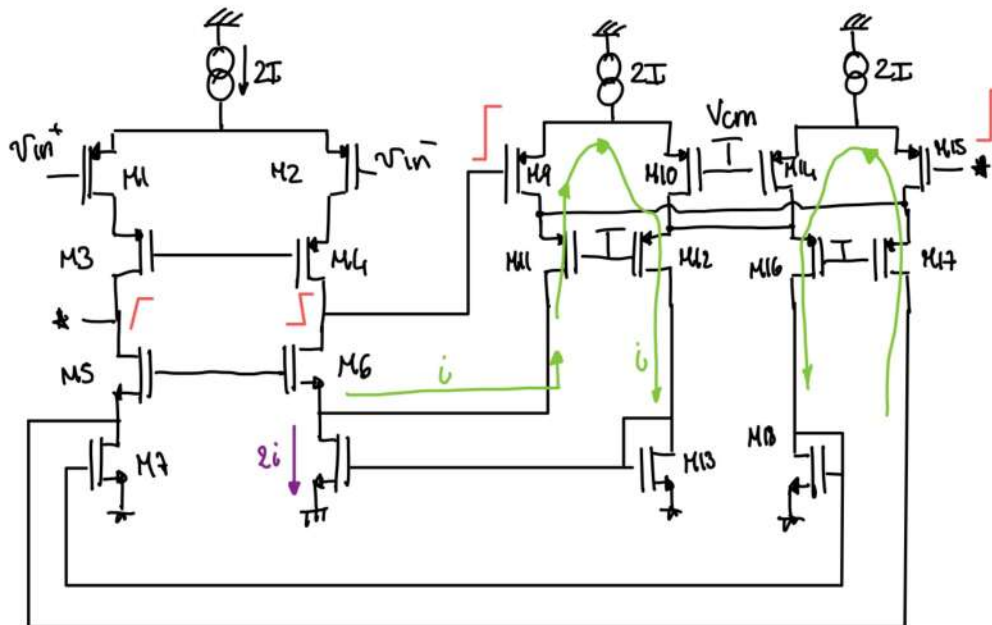
Questo polo qui per un segnale differenziale è come massa perché non si muove.



Vedo una roba del gate

Non posso togliere i transistor M11 perché sono sotto M6 vedo una terra e quindi però il polo di avere un cancello.

Cosa succede invece se abbiamo una variazione di common mode?



Pensare a quale sia l'impedenza di common mode.

Calcoliamo il loop gain in DC del Common mode feedback.

$$G_{loop}(0) = -\frac{g_{m3} \cdot 3 \cdot R_{out}}{2}$$

$$\text{Dove } R_{out} \approx V_{OS} \cdot g_{m6} \cdot R_{OS}$$

(Questo perché il path attraverso  $M_{11}$  è disgiunto)

Però la variazione della common mode di uscita è

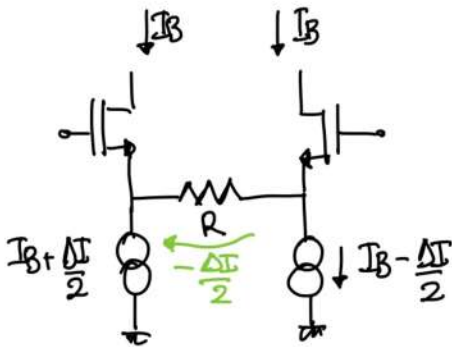
$$\Delta V_{out} = \frac{\frac{\Delta I}{2} \cdot R_{out}}{1 + \frac{3}{2} g_{m3} \cdot R_{out}} \approx \frac{\Delta I}{3g_{m3}}$$

(Non mi è troppo chiaro da dove esce il 3)

Il 3 esce dallo specchio, perché ho che le 2 correnti si vanno a sommare quindi  $2+1=3$

Se vogliamo possiamo anche calcolare i contributi dei rumori.

Esercizio della scorsa volta (Mismatch deve convertire)



Allora l'offset all'input è  $V_{off} = \frac{\Delta I \cdot R}{2}$



17.10.2022

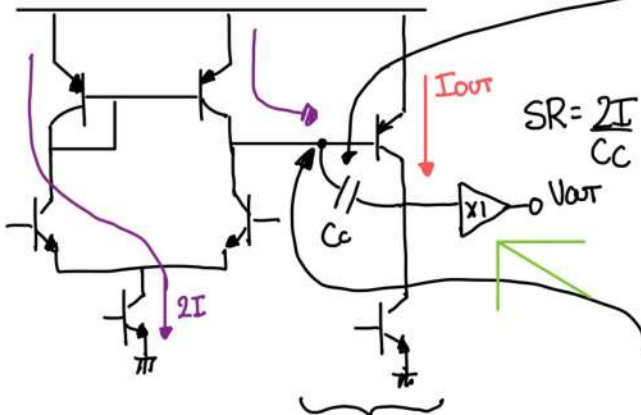
31

## Bipolar Opamp

Lo Slew Rate si calcola a circuito APERTO! SEMPRE

Prima di tutto abbiamo un'impedenza di input  $\neq \infty$ .

Iniziamo parlando dello slew rate. Noi sappiamo che lo SR è legato al GBWP. Ovviamente noi non possiamo avere una rampa di frequenza maggiore dello slew rate.



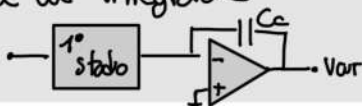
Ricordiamo che mettiamo la capacità di miller qui in modo da sia amplificata dal guadagno.

Con i bjt è poi sono un casino e' molto difficile vedere il pole splitting dato da miller qui.

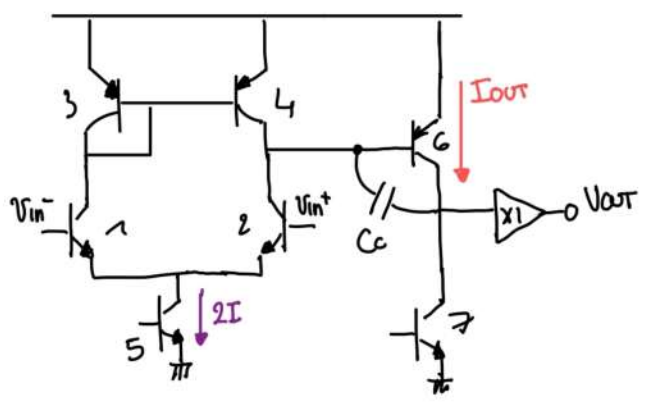
Quando noi calcoliamo lo Slew Rate noi facciamo delle approssimazioni. Infatti noi consideriamo la base del bjt di out come fissa (virtual ground) in modo da poter valutare la rampa d'uscita.

Quello così calcolato è il limite ultimo.

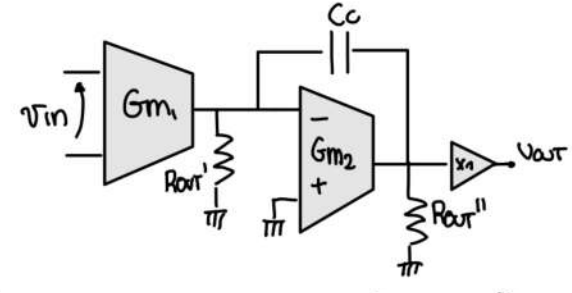
essenzialmente il secondo stage con il condensatore di miller implementa circa un integratore



inoltre un'altra approssimazione del feedback è quella di non considerare la presenza del feedback (facciamo questo perché noi sappiamo il differential pair circa morto).

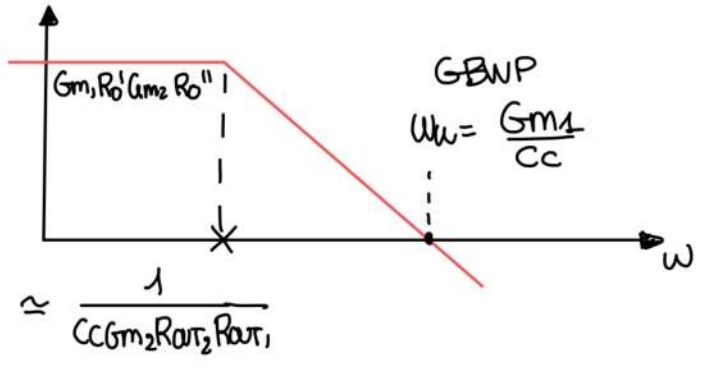


Possiamo vedere il circuito come



Vediamo a colpo d'occhio che Rout1 non è grande perché vedo anche l'impedenza della base di 6 che è  $\beta/gm$

Adesso studiamo i poli detti da Miller (2 approssimati)



Ma non possiamo scegliere il GBWP che vogliamo perché noi abbiamo delle altre singolarità che devono stare dopo il GBWP. (Se l'OPAMP non è general purpose e sappiamo il feedback allora posso avere singolarità in banda)

Vediamo ora che esiste anche un link tra il GBWP (che è un parametro lineare) e lo SR (che non è lineare)

$$SR = \frac{2I}{Gm1} \omega_w \quad \text{nel nostro specifico caso } Gm1 = gm_{1,2} \text{ (BJT)}$$

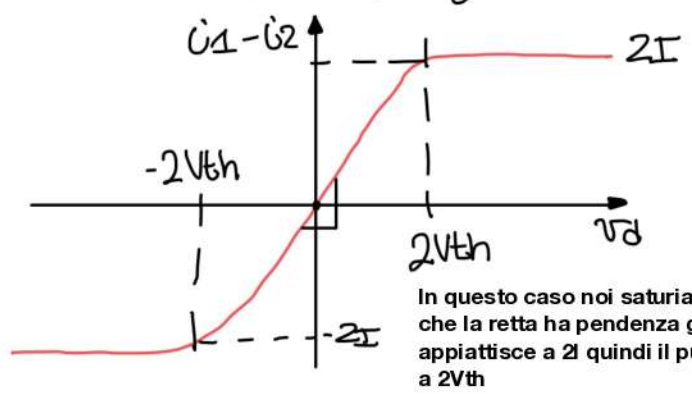
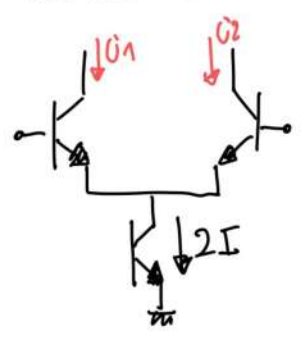
alora (solo per questo caso)  $SR = \frac{2I}{gm1} \omega_w = 2V_{th} \cdot \omega_w$  BJT

Nei CMOS ci aspettiamo uno SR migliore perché  $SR = V_{ov} \cdot \omega_w$  che è più grande

Vediamo che noi vorremo ridurre la gm per la stessa corrente. (ATTENZIONE al rumore e all'offset però)

Vediamo che con i MOS noi possiamo regolare l'overdrive mentre nei BJT noi non possiamo variare  $V_{th}$ .

Studiamo le caratteristiche tensione corrente degli stadi a bjt.

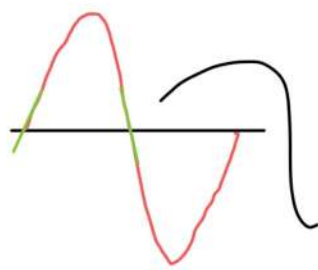
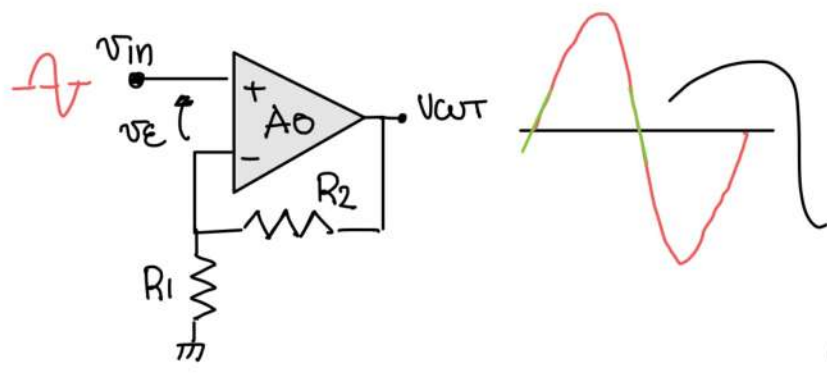


la pendenza attorno allo zero è  $g_{m1,2}$

In questo caso noi saturiamo a  $2V_{th}$  perché abbiamo che la retta ha pendenza  $g_m = I_c/V_{th}$  e la curva si appiattisce a  $2I$  quindi il punto d'incontro delle 2 rette è a  $2V_{th}$

A che tensione inizio a saturare? (e' un valore approx) per noi è  $2V_{th}$

Supponiamo ora di avere un OPAAMP collegato in questo modo:



$$SR = 2V_{th} \cdot \omega_u$$

$$v_{out}|_d = v_{in} \cdot \left(1 + \frac{R_2}{R_1}\right)$$

Noi dobbiamo verificare che la pendenza in  $\phi$  (che è la massima) sia  $\leq SR$ .

Supponiamo ora che l'output in  $\phi$  abbia pendenza = allo SR.

$$v_{in} \cdot \left(1 + \frac{R_2}{R_1}\right) \cdot \omega_{in} = \frac{2I}{C_C}$$

Perché la massima tensione che posso avere in input è

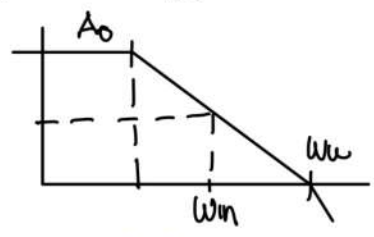
$$v_{in}|_{MAX} = \frac{2I/C_C}{\omega_{in} \left(1 + \frac{R_2}{R_1}\right)}$$

Qual'è la tensione errore quando applico questo segnale?

$$v_e|_{MAX} = \frac{v_{in}|_{MAX}}{1 + |G_{loop}(\omega_{in})|}$$

$$= \frac{(2I/C_C) \cdot \frac{1}{\omega_{in} \left(1 + \frac{R_2}{R_1}\right)}}{1 + \left(\frac{R_1}{R_1 + R_2}\right) \cdot \frac{\omega_u}{\omega_{in}}}$$

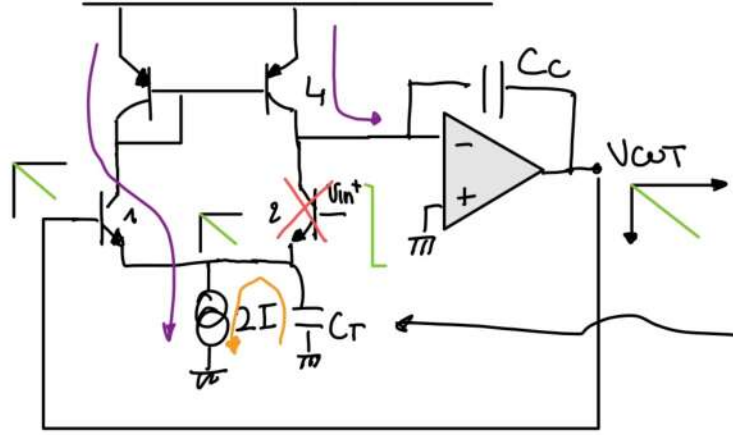
$$\approx \frac{2I}{C_C} \cdot \frac{1}{\omega_u} = 2V_{th}$$



Non è  $A_0$  perché noi siamo a  $f = \phi$  ma siamo dopo il primo polo a frequenza  $\omega_{in}$ . allora serve il guadagno facendo il prodotto guadagno banda

Quando sono al limite dello slew rate ho un errore di  $2Ut$  tra i 2 pin d'ingresso. Questo ha senso perché sono sul limite della saturazione dello stadio di differenziale (che è  $2Ut$ ). Un po' + tensore e lo stadio si stabilizza e abbiamo l'SR limitato. (QUINDI ABBIAMO CONFERMATO I VALORI)

Questo modello (dello SR credo) può anche fallire.



Praticamente ho un opamp collegato in buffer.

In alcuni casi il feedback può influenzare lo SR e renderlo non più simmetrico.

(Oggi non tanto ma nelle tecnologie vecchie sì) è presente questa capacità che è elettricamente in parallelo con  $C_c$ . Questo perché sono anodi della stessa rete.

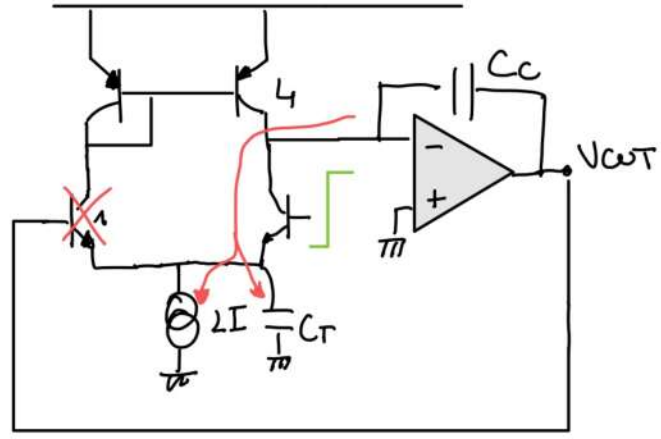
Non abbiamo che l'output scende a rampa quindi abbiamo che anche l'input dato dal feedback scende a rampa. Dato che  $M_1$  è un emitter follower abbiamo che anche sul gate di corrente abbiamo una rampa di carica, quindi vedo a scaricare  $C_T$ . l'unica corrente che può scaricare  $C_T$  è un po' della corrente  $2I$  quindi capiamo che lo SR di out è < di quello che abbiamo

$$SR_{re} = - \frac{2I}{C_c + C_T} = - \underbrace{\frac{2I}{C_c}}_{SR_{id}} \left( \frac{1}{1 + C_T/C_c} \right)$$

Abbiamo visto che lo SR (in questo caso) è modificato dal feedback.

il caso con il feedback a buffer è il peggiore!

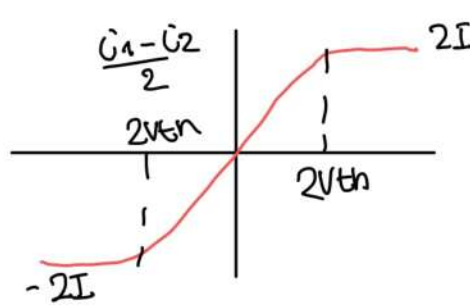
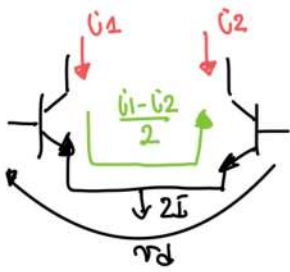
La cosa interessante è vedere che questo effetto non è simmetrico. Se infatti applichiamo uno step positivo abbiamo che



In questo caso abbiamo addirittura un miglioramento dello SR perché ci sono corrente in + per caricare anche  $C_T$ .

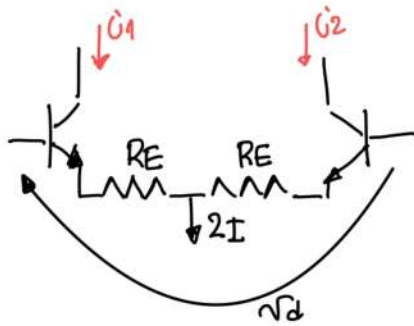
Non ci ha fornito una formula per calcolare questo SR.

Come facciamo a aumentare l'SR. Noi vediamo la stessa corrente con meno gm.



$$SR = Wu (2V_{th})$$

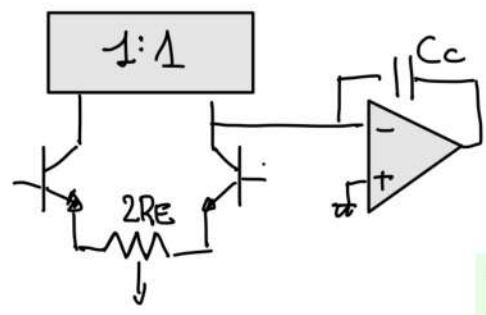
Sembra che non possiamo varare lo slew rate. Nella realtà noi possiamo degenerare perché per la stessa corrente noi riduciamo la gm.



$$\frac{u_1 - u_2}{2} = \frac{v_D}{2g_m + 2R_E} \approx \frac{v_D}{2R_E}$$

Ma perché noi miglioriamo il range lineare d'ingresso se poi usiamo il paio differenziale in feedback e quindi ho poco segnale differenziale agli ingressi?

Lo facciamo perché così aumentiamo lo SR e quindi possiamo fare la capacità di compensazione più piccola



$$G_m = \frac{2}{2R_E}$$

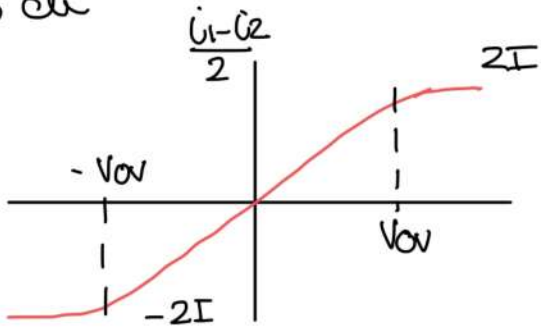
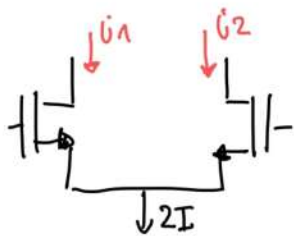
$$SR = \frac{2I}{C_c}$$

$$W_u = \frac{G_m}{C_c}$$

$$SR = \frac{2I}{G_m} W_u = 2I \cdot R_E \cdot W_u$$

PER MIGLIORARE LO SLEW RATE DOBBIAMO MIGLIORARE IL RANGE LINEARE IN INGRESSO

Nel caso dei CMOS abbiamo che



$$SR = Wu (V_{ov})$$

Vediamo che possiamo varare la Vov quindi riduce il guadagno ma aumenta lo slew rate.

Perché nei CMOS tipicamente noi degeneriamo dato che abbiamo la possibilità di varare Vov gratis.

### Multicollector transistor

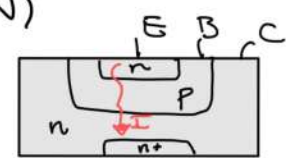
Tipicamente sono PNP e sono legati allo slew rate. (Sono quasi impossibili da fare con un NPN)



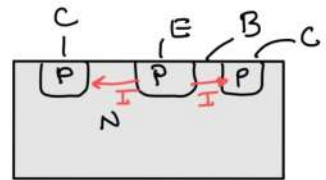
$$\text{Doe } I_1 = I_2 = I_3 = \frac{I}{3}$$

↑ non sicuro

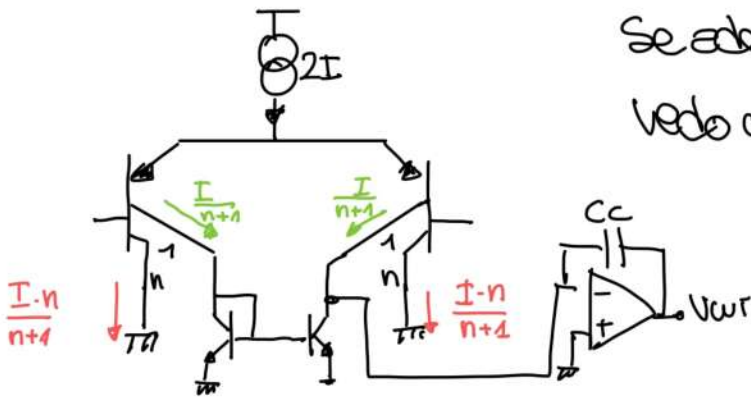
Perché NPN (noi possiamo dire che la corrente si divide perfettamente.)



Nei PNP invece la corrente può dividerci perfettamente a metà



Se adesso faccio uno stadio differenziale:  
vedo che elimino una parte della corrente



Posso dunque vedere

$$G_m = \frac{g_m}{n+1}$$

So anche che:

$$\omega_{ut} = \frac{G_m}{C_c} = \frac{g_m/n+1}{C_c}$$

[DIMINUISCE ANCHE LA CAPACITA' Cc (dallo stesso valore di gm) MA NON HO CAPITO BENE PERCHE']

Diminuisce perché io tipicamente ho un GBWP settato e quindi non lo posso variare. Se ho che gm mi diminuisce ho che anche Cc deve diminuire per far rimanere il rapporto invariato

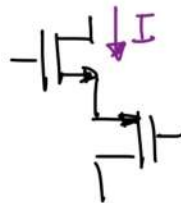
E cosa succede al SR?

Non è perché abbiamo anche meno corrente quindi tutto si compensa. Ma quindi perché facciamo questo? Tutto per ridurre la dimensione di Cc.

Ma perché non riduciamo la tensione? perché siamo andati fuori bias.

Se vogliamo migliorare lo SR di un circuito devo modificare la topologia del paio differenziale. (es Class AB input stage)

> Class A/B input stage

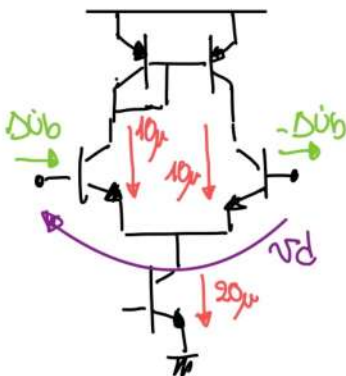


il vantaggio è che I può essere illimitata (non + 2I max) ma il bias è tutto di questo circuito e' uno scilfo.

18.10.2022

2h

IL fatto che il bjt abbia un'impedenza a DC sulla base non ci costringe le persone a inventare topologie che sono un disastro  
Oggi analizzeremo l'input impedance e la bias current dei bjt.



$$\frac{v_d}{\Delta v_b} = 2r_{\pi} = \frac{2\beta}{g_m} \quad \leftarrow \text{è l'impedenza d'ingresso (Noi vogliamo sia grande)}$$

Per avere l'impedenza grande possiamo abbassare  $1/g_m$  quindi andare a meno corrente. Perciò tipicamente lavoriamo a 10uA (ma a questa corrente?) Usiamo questa corrente al unite per avere ancora B alto (ricorda il grafico del B)

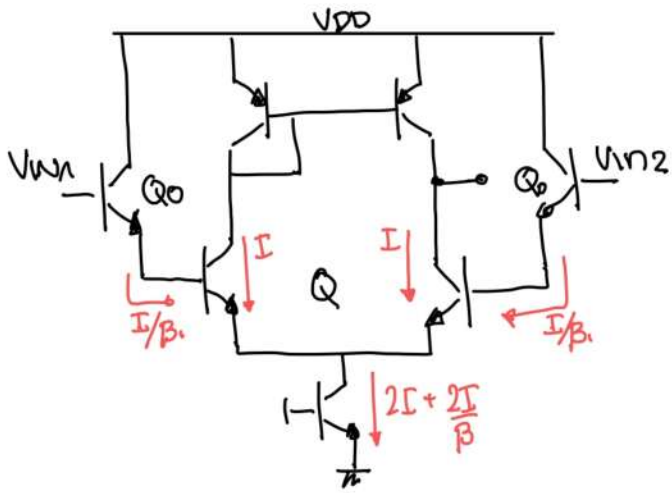
Perciò per  $I = 10\mu A$  quindi  $1/g_m \approx 2,5 K\Omega$  e  $\beta \approx 200$  (min)

perciò  $R_{in} \approx 500 K\Omega$

(Nel caso dei PNP è peggio perché abbiamo B più piccolo)



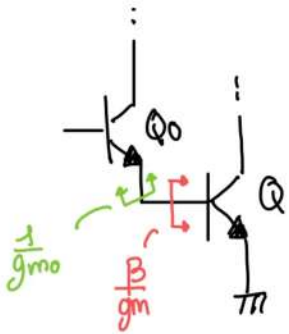
# Analizziamo una struttura con input a NPN



Usiamo i transistor \$Q\_0\$ come dei buffer + o -.  
 I transistor \$Q\_0\$ sono in bias grazie alla corrente di base dei bjt.  
 (avremo problemi di \$\beta\$ e velocità)

Avremo che \$\beta\_0\$ è molto più piccolo di \$\beta\$ (che è il \$\beta\$ del diff. pair interno)

Analizziamo adesso l'impedenza di input (usiamo l'half circuit e poi moltiplichiamo per 2)



Daè  $1/g_{mo} = \beta/g_m$  perchè la corrente di base è uguale a quella di \$Q\_0\$

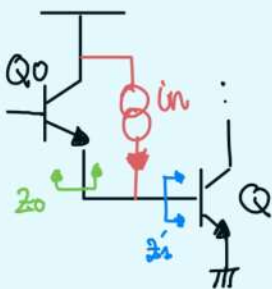
Allora l'impedenza di input dell'half circuit è:

$$R_{in} = \beta_0 \left[ \frac{1}{g_{mo}} + \frac{\beta}{g_m} \right] = \beta_0 \left[ \frac{2\beta}{g_m} \right]$$

perciò  $R_{in, tot} = 2\beta_0 \left[ \frac{2\beta}{g_m} \right]$  che è nell'ordine dei \$M\Omega\$.

## Problemi

- × velocità. \$Q\_0\$ è a basso perchè i transistor sono in bias a bassa corrente.
- × \$\beta\_0\$ piccolo: ma non è proprio un grande problema perchè comunque \$R\_{in}\$ è grande
- × Si riduce il \$g\_{m}\$ di 1/2 perchè il trasferimento del buffer è 1/2 dato che non c'è \$1/g\_{mo} = \beta/g\_m\$ (quindi dal partitore ricevo 1/2).
- × Rumore e offset ma in particolare Rumore. Infatti la bias current è molto piccola. quindi \$1/g\_m\$ è molto grande e quando riferiamo all'ingresso vediamo che il rumore è grande.



$$\frac{i_n \cdot z_o}{z_i + z_o} = \frac{v_n}{z_i + z_o} \rightarrow i_n z_o = v_n$$

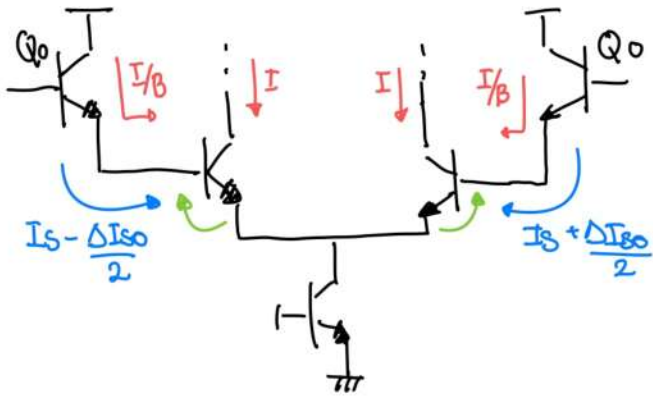
$$\frac{2q I_{co}}{g_{mb}^2} = \overline{E_n^2}$$

[  $1/g_{mo}$  è molto grande perchè la corrente \$I\_0\$ è \$I/\beta\$ che è piccolissima ]

(è sempre la stessa roba del rumore degenerato)

il rumore "totale" che viene fuori  $\overline{E_n^2} = 2 \times \left( \frac{2kT \cdot 1}{g_{mo}} \right) + 2 \times \left( \frac{2kT \cdot 1}{g_m} \times 4 \right)$   
 è comunque il rumore dominante  $\rightarrow$  Dato da \$Q\$

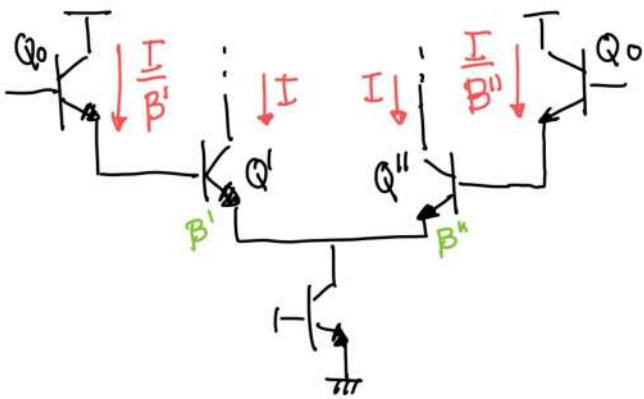
Come abbiamo detto abbiamo anche problemi di offset.



Dato che nel paio interno ho \$I\_S\$ ma le correnti di base sono diverse ho un offset all'ingresso pari a

$$V_{OFF} \approx V_{th} \cdot \frac{\Delta I_{S0}}{I_S}$$

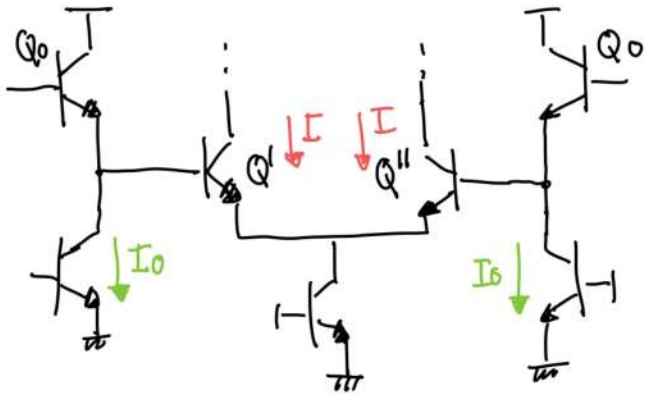
Possiamo poi anche avere un mismatch tra i \$\beta\$ del paio differenziale interno. In questo caso abbiamo che le correnti sui transistor \$Q\_0\$ sono diverse.



Dato che le correnti sono diverse e i transistor \$Q\_0\$ sono matchati allora devo avere un offset in ingresso per bilanciare il tutto

$$V_{OFF} \approx V_{th} \cdot \frac{\Delta \beta}{\beta}$$

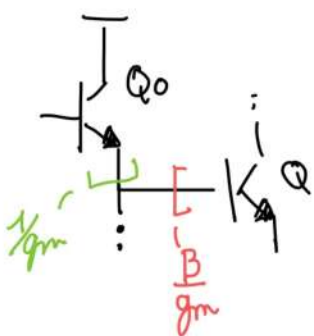
Se noi volessimo + velocità e meno rumore potremmo sempre usare i buffer ma alimentati da un gen di corrente.



Tipicamente usiamo come \$I\_0\$ la stessa \$I\$ del paio dif. interno perché tanto è il limite per il \$\beta\$

- ✓ velocità
- ✓ Meno rumore rispetto al caso prima ma maggiore rispetto al caso standard
- ✗ Potenza raddoppia

Calcoliamo l'impedenza d'ingresso con l'half circuit (supponiamo \$r\_0 = \infty\$)



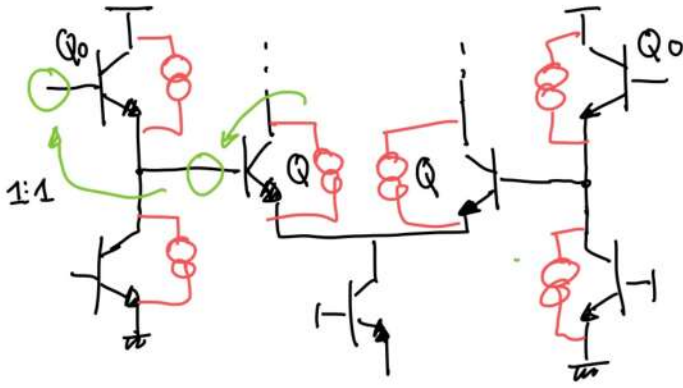
In questo caso \$1/g\_m \neq \beta/g\_m\$ dato che la corrente è diversa, perciò sulla base di \$Q\$ ho che

$$v_B = v_{in} \cdot \frac{\beta}{\beta+1} \approx v_{in}$$

$$\text{In questo caso ho che } R_{IN} = \beta_0 \frac{\beta}{g_m}$$

Due in questo caso \$\beta\_0\$ è molto + grande di prima

Valutiamo il rumore (solo collector shot noise)



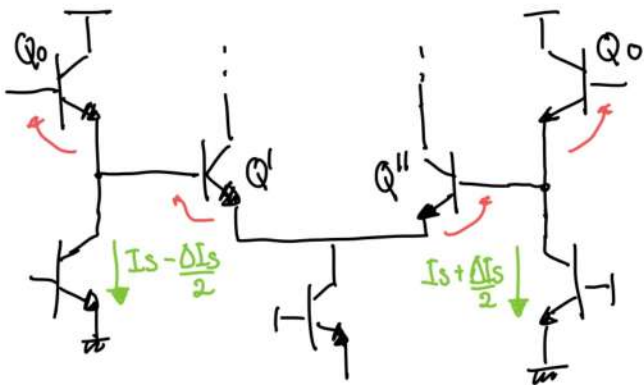
Tutti i transistor tranne quello di coda sono alimentati alla stessa corrente.  
Valutiamo in modo veloce il rumore di input

possiamo riportare il rumore dei mas  $Q$  al loro ingresso e poi dato che il follower è ideale lo riportiamo direttamente in ingresso.  
Stessa cosa vale ugualmente per i transistor dello specchio.

Per quanto riguarda i BJT  $Q_0$  è lo standard perdiamo il rumore e lo riportiamo all'ingresso (anzi se è degenerato non cambia nulla).  
Per i generatori di corrente vedo che il generatore di rumore è in parallelo a quello di  $Q_0$  quindi ho lo stesso trasferimento.

$$\bar{E}_n^2 = 2 \times \left[ \underbrace{\frac{2qI_c}{g_m^2}}_{\text{diff. pair}} + \underbrace{\frac{2qI_c}{g_m^2}}_{\text{mirror}} + \underbrace{\frac{2qI_c}{g_m^2}}_{\text{Em follower}} + \underbrace{\frac{2qI_c}{g_m^2}}_{\text{Current gen}} \right]$$

Auremo che anche l'offset aumenta rispetto al caso di differenza standard. In particolare la varianza dell'offset raddoppia rispetto al caso standard.



$$\text{Perciò } \frac{\Delta I_s}{I_s} = \frac{\Delta I}{I}$$

$$\text{Quindi abbiamo che } V_{OFF} \approx U_{th} \cdot \frac{\Delta I_s}{I_s}$$

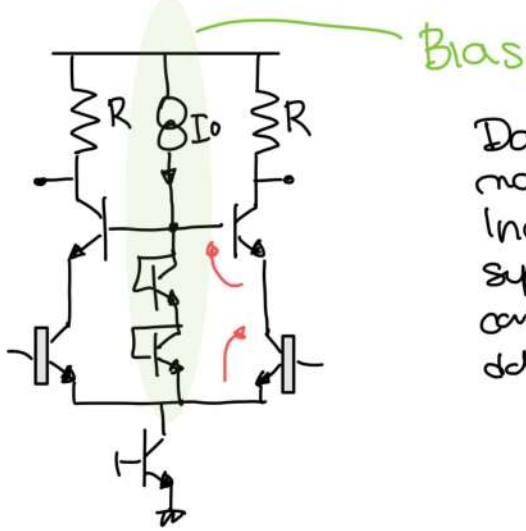
### Super $\beta$ transistor

Sono dei BJT con  $\beta \approx 1000$  con questo riduciamo l'impedenza d'ingresso.

Quisiamo a fine questi con transistor al Germanio-Silicio grazie a questi noi riusciamo a ridurre la base e quindi ridurre la resistenza di base il lato negativo è che non possiamo avere una  $V_{CE}$  troppo grande. (dato che andremo a depleire la base che è già molto piccola e rischia di andare circa in corto).

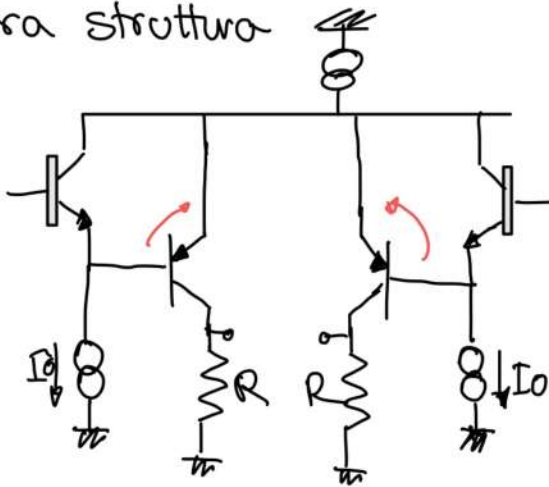


Dato che non possiamo avere  $V_{CE}$  troppo grandi allora si usano strutture cascode



Dato il bias con 2 transistori: Limito la max tensione sui BJT superbias.  
 Inoltre poi la tensione sul collettore dei superbias non si muove tanto perché ho adesso lì un'impedenza piccola  $1/g_m$  data dal BJT sopra

Altra struttura



Uso i superbias come buffer di input così ho un  $\beta$  bello grande.

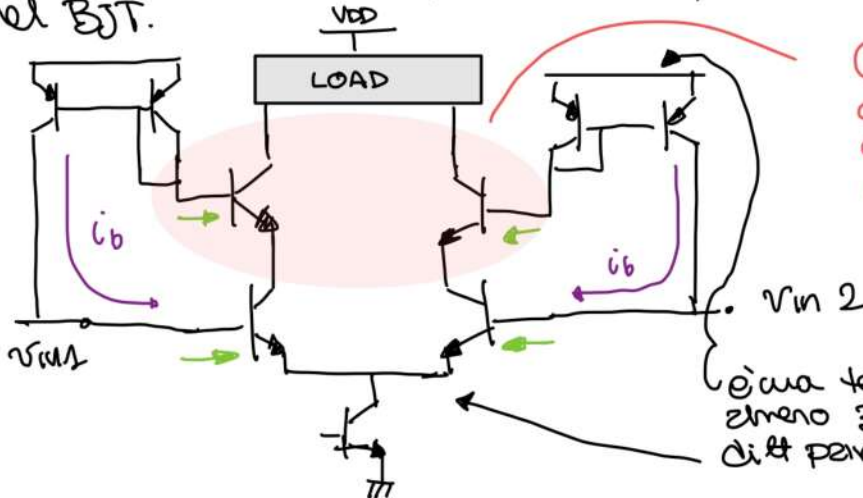
Vediamo poi che la tensione  $V_{CE}$  sul superbias non varia molto dato che è unita della  $V_{BE}$  del BJT interno.

19.10.2022

3h

Altre possibili soluzioni per amplificare l'input impedance di un OPAMP a BJT:

Un'idea può essere quella di compensare la corrente di base che entra nel BJT.



Questi 2 BJT servono solamente ad avere una copia della corrente di base (che è uguale dato che sul canale scorre la stessa corrente) Poi questa  $I_B$  la specchio e la mando sull'input

è una tensione diversa da  $V_{DD}$ , dato che almeno  $3V_{BE}$  della terra virtuale del diff pair d'ingresso

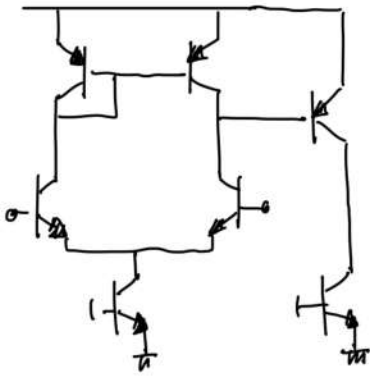
In pratica abbiamo creato un loop positivo (grazie al cazzotto dato che vogliamo avere la resistenza). In questo loop  $G_{loop} \leq 1$  dato che  $G_{loop} = 1$  ho  $Z_{in} \rightarrow \infty$

Non è un circuito veloce perché per lo specchio ho dei PNP che sono lenti, in + ho che sono in bias con una corrente piccolissima (che è  $i_b$ )

Aggiungendo molti stadi: all'ingresso abbiamo sicuro un peggioramento del rumore e dell'offset.

## LM741

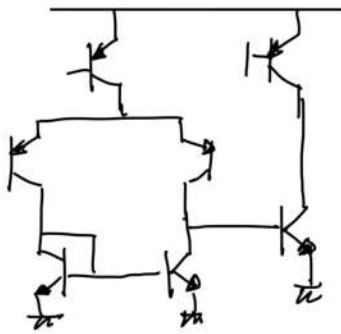
• Level shifter problem



Non ci piace perché un segnale passa per uno specchio fatto a PNP e uno stadio di guadagno fatto a PNP.

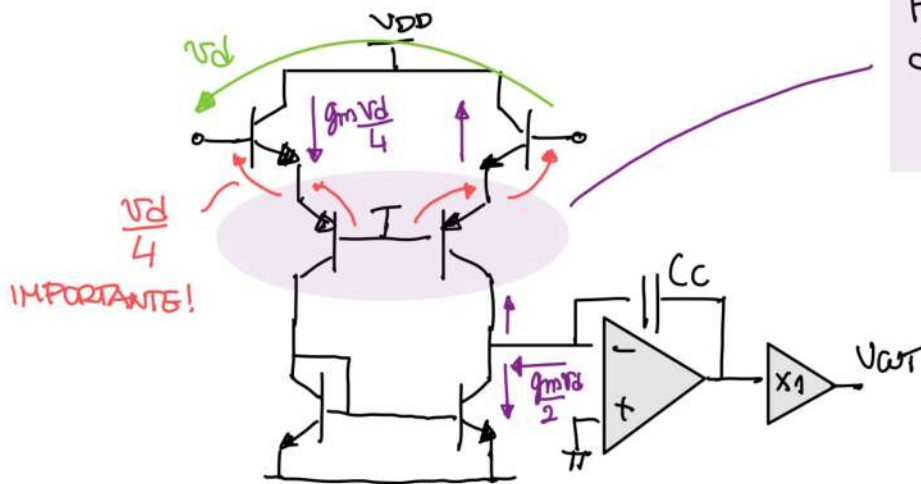
Non ci piace perché i PNP sono lenti e anche perché nei PNP  $\beta$  è piccolo (quindi bassa impedenza di base)

Potrei fare una roba così

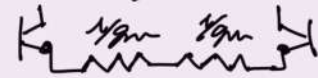


Con questo caso abbiamo il 2° stadio OK ma il problema è sull'input dato che abbiamo un input a PNP e quindi l'impedenza di base è  $\beta g_m$  che è piccola (dato che  $\beta$  di PNP è piccolo)

Nel LM741 hanno cercato di avere l'input stage NPN e anche il secondo stadio NPN.



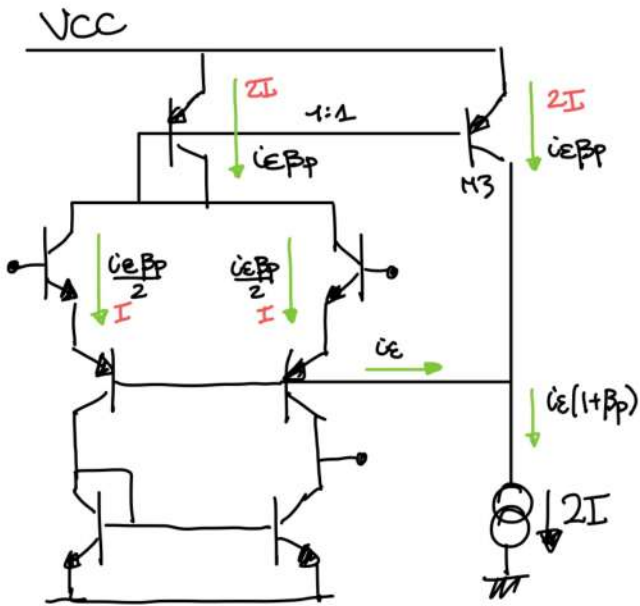
Fanno in pratica da degenerazione di riel  $1/g_m$



Vediamo che in realtà il circuito non funziona perché non ho un gen di corrente che impone una corrente nel circuito.

Vediamo che nel primo stadio abbiamo un input a NPN e uno specchio NPN. È vero che abbiamo dei BJT PNP sul segnale ma sono in common base quindi non ci dà un effetto cattivo.

Analizziamo ora come fare il bias di questo circuito



il circuito in gestione fa un feedback.

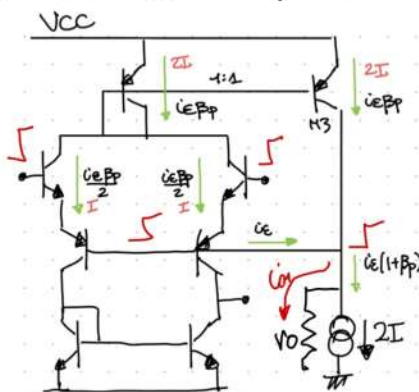
Noi partiamo a vedere supponendo esista un  $I_E$ . Allora se abbiamo  $I_E$  i PNP devono tirare una corrente  $\beta$  volte  $I_E$ , la stessa corrente scende sugli NPN di input e si somma sul transistor sul top questa corrente viene specularizzata su M3. Dato che su M3 può scendere solo  $2I$  (e  $I_E$  è  $\neq 0$  rispetto a ste correnti) allora anche il transistor tira  $2I$  e quindi ho che le 2 correnti sui 2 rami di ingresso devono essere  $I$ .

Altra  $I_E = 2I / (1 + \beta_P)$

Quindi la corrente sui mos in input è

$$I_E \cdot \frac{\beta_P}{2} = \frac{2I}{1 + \beta_P} \cdot \frac{\beta_P}{2} \approx I$$

Se noi abbiamo una CM di input abbiamo che gli input seguono ma la corrente non può venire a causa del feedback. Allora anche la tensione di base dei PNP sale con l'ingresso. Allora noi nella CE vediamo il ro del generatore di corrente che da  $2I$ , infatti quando varia la tensione sulla base degli NPN variano la tensione su ro e quindi non va variata della corrente  $2I$  e quindi una variazione della corrente sui 2 rami.

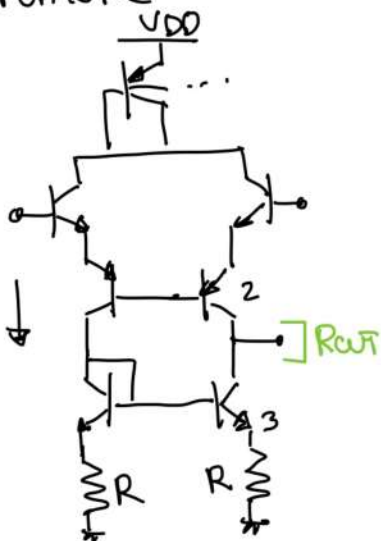


Discorso sul rumore

Perché noi usiamo R?  
Non per degenerazione questo perché vediamo che R è troppo piccola!

$I = 10 \mu A$

$R = 1 k\Omega$



$R \rightarrow \infty$  Bro dato che  $g_m = \frac{1}{2,5 k\Omega}$

ma noi per degenerazione vorremo

$g_m R \gg 1$

che non è vero dato che  $\frac{1}{g_m} = 2,5 k\Omega$  e  $R = 1 k\Omega$

Allora a cosa serve R? Serve per ridare l'offset. Noi veniamo piazzando i valori così vicini al polo la corrente e riusciamo a compensare l'offset.

Quint'è ora il guadagno dello stadio senza 2° stage?

$$G = \frac{g_{m1} \times 2 \cdot R_{out}}{4}$$

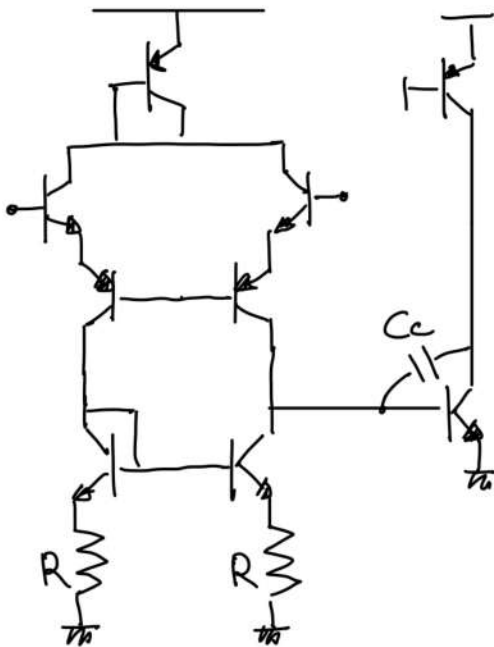
Calcolare  $R_{out}$  è un lavoro dato da ciò che il circuito di bias.

Due  $R_{out} \approx 2R_{op2} // \frac{1}{\beta} R_{on3}$

Questo perché consideriamo la piccola degenerazione data da R.

Ma com'è il 2° stadio di questo circuito?

Non possiamo attaccare un NPN diretto perché ci rompe l'impedenza data da  $\beta/g_m$  è molto + piccolo rispetto a  $R_{out}$ .  
Dobbiamo anche compensare lo stadio.



Vediamo che  $C_c$  non ha un matching resistor perché nei BJT non serve.

il guadagno totale è

$$G_{tot} = G_{m1} R_{out1} \cdot G_{m2} \cdot R_{out2}$$

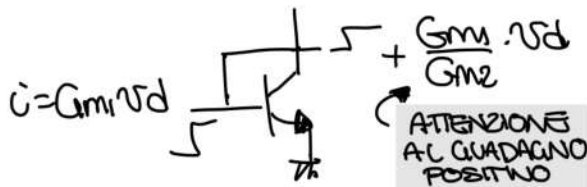
Passiamo 2 poli.

il polo dominante è

$$\frac{1}{R_{out1} C_c G_{m2} R_{out2}}$$

il GBWP è  $GBWP = \frac{G_{m1}}{C_c}$

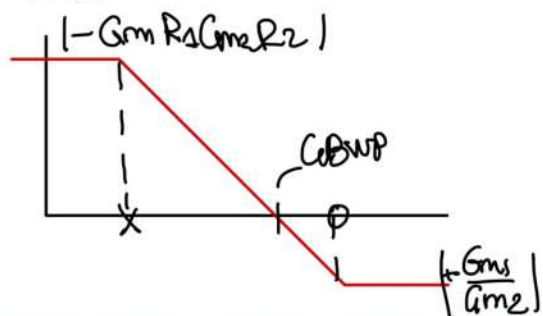
Più aumentiamo la frequenza +  $C_c$  zavorrà verso un corto, avremo una cosa del tipo



La frequenza dello zero è

$$\omega_z = \frac{G_{m2}}{C_c}$$

Vediamo che a  $f \rightarrow \infty$  andiamo a un valore costante quindi ho uno 0 per forza

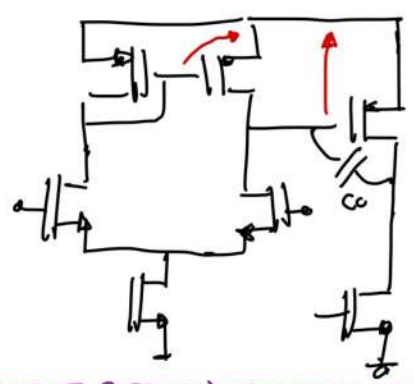


Vediamo che lo zero è destro (male!!) perché passiamo da un guadagno negativo (ca  $C_c$  aperto) a un guadagno positivo con  $C_c$  in corto!

Dato che lo zero è destro noi vogliamo che questo sia molto lontano dal GBWP. quindi  $G_{m2} \gg G_{m1}$ .

Perché di norma i secondi stadi erano alimentati a corrente 50 volte maggior rispetto al primo stadio.

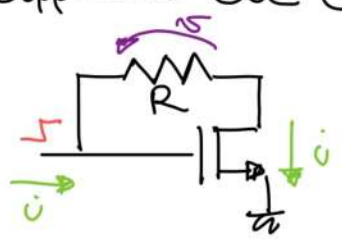
Ma perché non facciamo la stessa roba in CMOS?



(RIPASSARE STA ROBA DELL'OFFSET SISTEMATICO)

Non facciamo perché se non aumenta la  $V_{ov}$  dell'output non ci sappiamo che per offset sistemati abbiamo che l'averchie del 2° stadio deve essere uguale a quello dello specchio. Allora dato che devono essere uguali devo aumentare a stecca le dimensioni del transistor di output (tipo 10 volte se voglio 50 volte la corrente) e con i MOS fare questo è un casino.

Ma come mai hanno pensato di mettere una resistenza di compensazione? (Sappiamo che  $C_c$  sia già in corto)



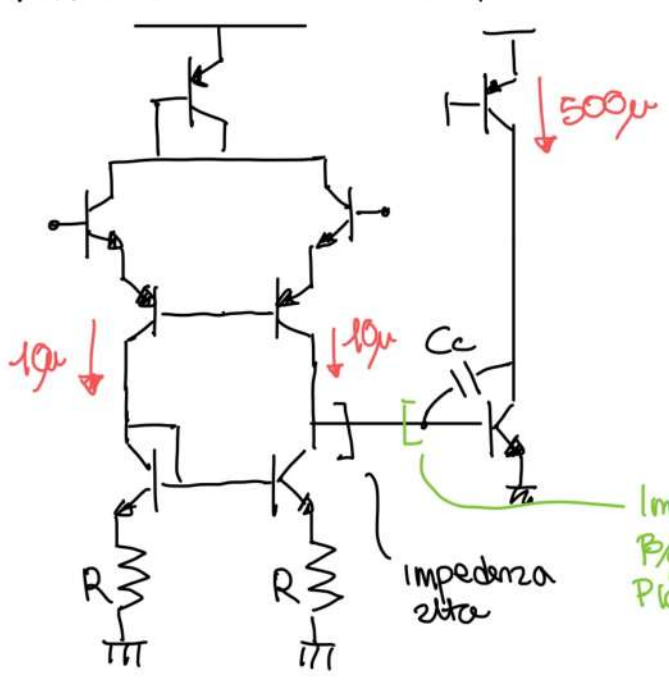
Vediamo che abbiamo una caduta su R, se la caduta su R è  $>$  di quanto aumenta la tensione sul gate ho che l'output è invertito e quindi lo zero è sinistro (top)

$$V_{out} = i \left( \frac{1}{g_{m1}} - R \right) < 0 \quad R > \frac{1}{g_{m1}}$$

Se consideriamo anche  $C_c$

$$i \left[ \left( \frac{1}{g_m} - R \right) - \frac{1}{sC} \right] = V_{out} \rightarrow \frac{V_{out}}{i} = \frac{sC \left( \frac{1}{g_m} - R \right) - 1}{sC}$$

Ritorniamo al LM741



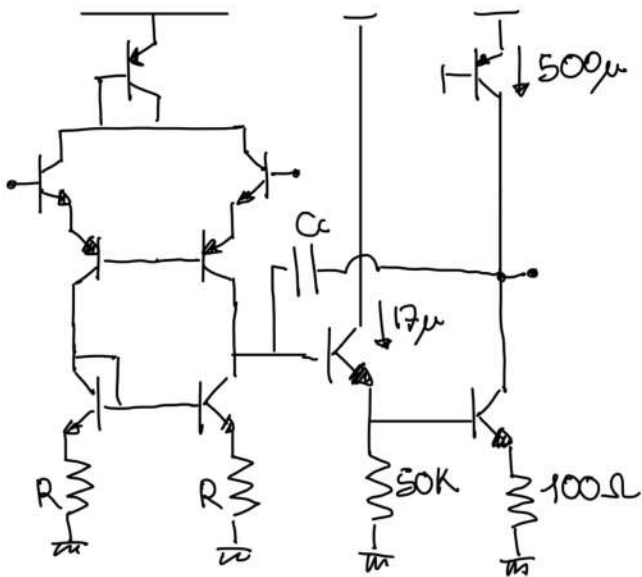
Lo zero è ancora destro ma è estremamente lontano dal GBWP.

il GBWP non è modificato dal fatto che R della base del 2° stadio sia piccola. Tuttavia abbiamo un guadagno molto basso.

Ma quindi cosa facciamo per aumentare sta resistenza?

Usiamo una derlington connection.

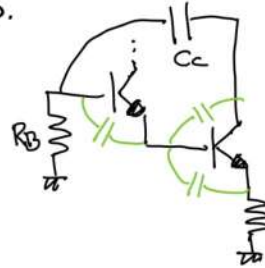




Ma quindi colleghiamo il secondo stadio a delvington in modo che l'impedenza sia molto grande.

Tuttavia ho tutto un disastro con i poli e tutto.

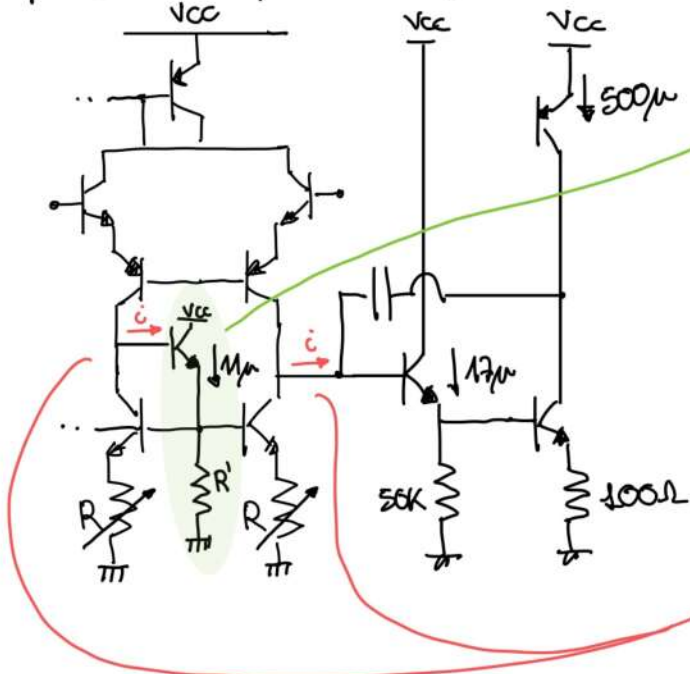
ES.



IMMAGINA IL BARBELLINO

ALTRO PROBLEMA!

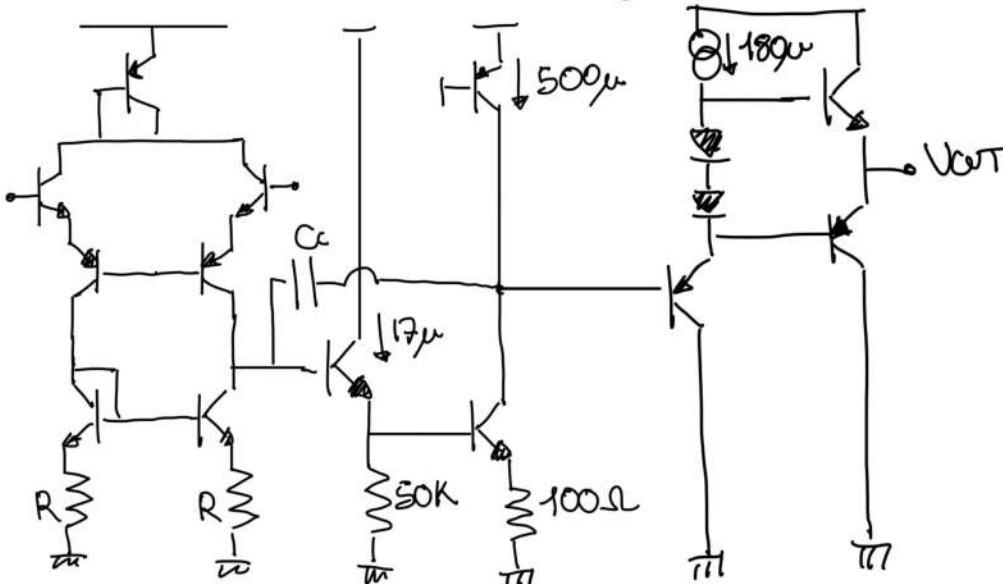
il  $\beta$  dello specchio (anche se è NPN)



Adesso ho sta roba qua, e' sempre uno specchio di corrente. Questo serve per simetria dato che dal lato destro abbiamo della corrente che entra nella base del delvington. Allora devo togliere questa corrente anche dal lato destro.

Voglio queste 2 correnti uguali per simetria

Abbiamo poi un output stage del tipo push pull



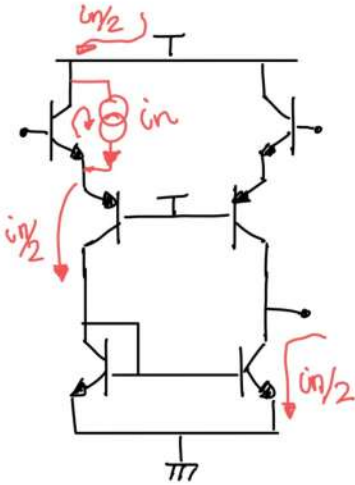
Provare a calcolare a casa il rumore del 1° stadio (solo calcolerò il noise con specchio ideale e no resistori R):

24.10.2022

3h

Rumore nell'OTA

Ricordiamo che il current mirror è degenerato da una  $R = \Delta k \Omega$  ma in questo caso sappiamo che la degenerazione non funziona bene. Quindi noi consideriamo come se non ci fosse la degenerazione. Poi noi consideriamo solo il primo stadio.

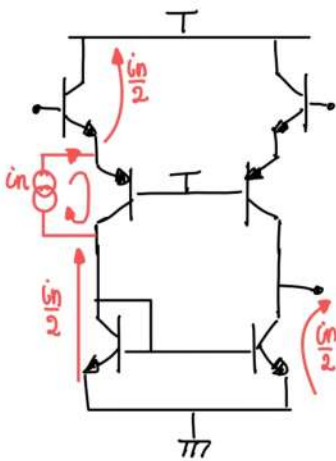


Iniziamo dal primo transistor

$$V_n \cdot G_m = \frac{i_n}{2}$$

$$V_n \frac{g_m}{2} = i_n \rightarrow E_n^2 = \frac{2qI_c}{g_m^2}$$

Dato che abbiamo 2 transistor  $E_{n^2_{TOT}} = 2 \times \frac{2qI_c}{g_m^2}$



Per il 2° transistor abbiamo che:

Otteniamo praticamente la stessa cosa di prima perché la corrente si splitta a metà perfetta perché vedo  $\frac{1}{2}g_m$  uguali da entrambi i lati

$$E_n^2 = 2 \times \frac{2qI_c}{g_m^2}$$

Analizziamo ora il rumore dato dallo specchio

$$V_n \cdot G_m = i_n$$

$$V_n \cdot \frac{g_m}{2} = i_n \rightarrow E_n^2 = \frac{2qI_c}{g_m^2} \times 4$$

Dato che abbiamo 2 transistor allora  $\xrightarrow{\text{al quadrato}}$

$$E_{n^2_{TOT}} = \frac{2qI_c}{g_m^2} \times 4 \times 2$$

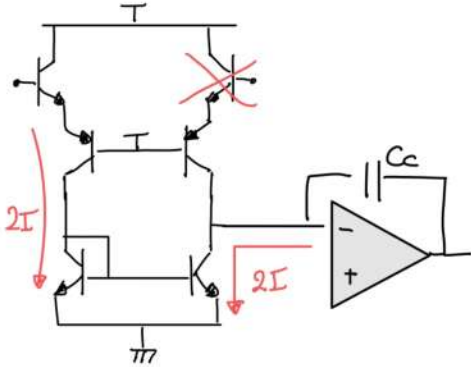
Il rumore totale di tutto il circuito è

$$E_{n^2_{TOT}} = \frac{24qI_c}{g_m^2} \approx \frac{200 \text{ nV}^2}{\text{Hz}} \quad (\approx 14 \frac{\text{nV}}{\sqrt{\text{Hz}}})$$

Noi abbiamo fatto delle approssimazioni (es non abbiamo considerato rbb')

$$14 \frac{nV}{\sqrt{Hz}} \xrightarrow{\text{rbb' noise}} 17 \frac{nV}{\sqrt{Hz}} \xrightarrow{\text{degenerazione dello spazio}} 16 \frac{nV}{\sqrt{Hz}} \quad \left( \text{vediamo che la nostra appross. e' OK.} \right)$$

### Slow rate e GBWP



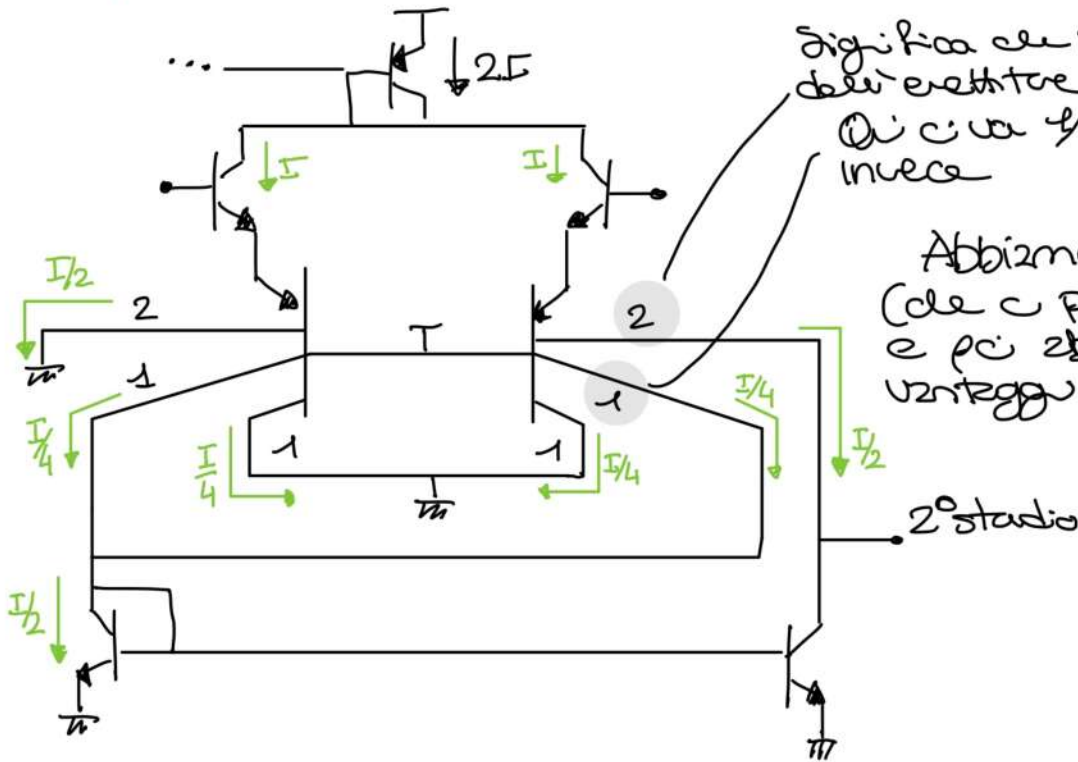
Allora  $SR = \frac{2I}{C_c}$

Mentre il gain bandwidth product e'

$$GBWP = \frac{G_m}{C_c} = \frac{g_m/2}{C_c} = \omega_u$$

Allora posso scrivere  $SR = \frac{2I \omega_u}{G_m} = \frac{2I \omega_u}{g_m/2} = 4 V_{th} \omega_u$

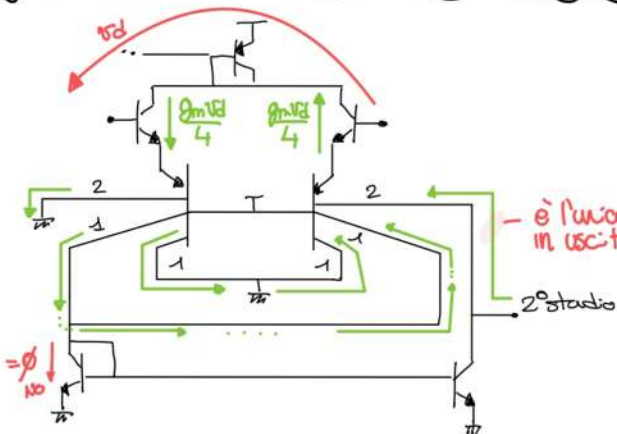
### Esempio U701 con soluzione a multicollettore



Significa che 2/4 della corrente deve esistere verso qua. Qui c'è un 1/4 della corrente invece

Abbiamo un input NPN (che c'è piace per il B) e poi abbiamo anche il vantaggio del multicollettore.

Qual'è la  $G_m$  dello stadio d'input?



Abbiamo 0 corrente nello spazio perché ricircola sui pin 1.

Allora

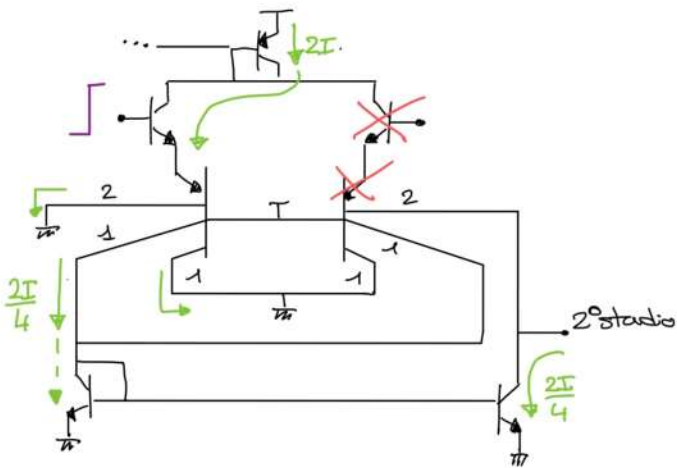
$$G_m = \frac{g_m}{4} \cdot \frac{1}{2} = \frac{g_m}{8}$$

I progettisti hanno scelto di non far passare il segnale per lo spazio a causa delle singolarità.

lo specchio è  $\omega$  solo per il bias NON per il segnale.

Dato che la  $G_m$  è metà dello standard  $7\mu$  allora posso avere che la  $C_c$  sia metà e quindi occupare meno area.

Slew rate di questa versione modificata

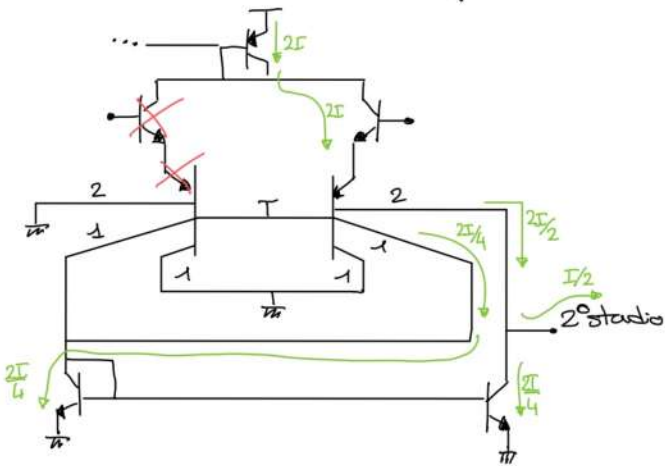


Allora

$$SR = \frac{2I}{4} \cdot \frac{1}{C_c}$$

$$= \frac{I}{2} \cdot \frac{1}{C_c}$$

Invertiamo ora la polarità



Anche in questo caso abbiamo  $SR = I/2 \cdot 1/C_c$

Cioè uguale a quello ricercato dell'altra polarità.

Ricordando che

$$SR = \frac{I}{2} \cdot \frac{1}{C_c} \quad \text{e} \quad \omega_{th} = \frac{G_m}{C_c} = \frac{g_m}{8C_c} \rightarrow SR = G_{th} \cdot C_{th}$$

SR è uguale a quello del  $7\mu$  standard. L'unico motivo per il quale ne usiamo un moltiplicatore è per ridurre la capacità di compensazione (dello stesso valore per il quale noi riduciamo  $g_m$ , questo perché il GBWP è un dato del problema).

# CURRENT REFERENCES

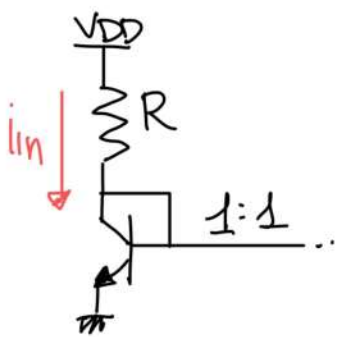
Nei circuiti integrati noi vogliamo delle correnti di riferimento che siano invarianti (o che varino poco) da dei parametri.

Noi vogliamo la corrente che non vari per variazioni di PVT (Process, Voltage, Temperature).

Per generare una tensione indipendente dalle variazioni della tensione si potrebbe usare uno zener. (nella realtà non si usa perché  $V_z \approx 1$  e perché è molto rumoroso).

Tipicamente usiamo  $V_{th}$ ,  $V_{BE}$ ,  $V_T$  come parametri che cambiano poco.

Vediamo la sensitività relativa ad alcuni parametri.



$$I_{in} = I_{out} \quad \text{e} \quad I_{in} = \frac{V_{DD} - V_{BE}}{R}$$

Se la  $V_{DD}$  cambia, qual'è la variazione della corrente?

$$S_x^y = \frac{\Delta y/y}{\Delta x/x} \approx \frac{x}{y} \frac{\partial y}{\partial x} \quad \leftarrow \text{diagrama sensitività}$$

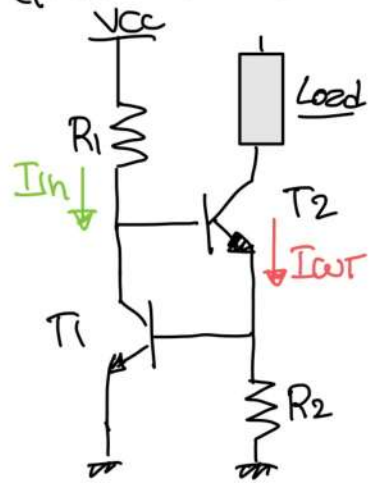
Perché adesso calcoliamo la sensitività di  $I_{out}$  data da  $V_{CC}$

$$S_{V_{CC}}^{I_{out}} = \frac{V_{CC}}{I_{out}} \cdot \frac{\partial I_{out}}{\partial V_{CC}} = \frac{V_{CC}}{(V_{CC} - V_{BE})} \cdot \frac{1}{R} = \frac{V_{CC}}{V_{CC} - V_{BE}} \quad (> 1)$$

Se  $V_{CC} \gg V_{BE}$  (oggi non è così) allora  $S_{V_{CC}}^{I_{out}} \approx 1$

Varia troppo.

Proviamo ora a generare una corrente attraverso una  $V_{BE}$  (perché la  $V_{BE}$  non varia tanto).



La corrente di input e quella di output non sono uguali. A causa del local feedback tutta  $I_{in}$  va su  $T_1$ .

$$I_{in} = \frac{V_{CC} - 2 \times V_{BE}}{R_1}$$

Ma qual'è l'output current?  $I_{out} = \frac{V_{BE1}}{R_2}$

Diciamo che questa corrente è  $V_{BE}$  referenced.

Cosa succede se c'è una variazione di  $V_{DD}$ ?

Se varia  $V_{DD}$  del 10% noi ci aspettiamo che  $I_{in}$  vari molto ma noi sappiamo che  $V_{BE1}$  non varia molto quindi ci aspettiamo una piccola variazione della corrente di output.

Analizziamo quanto è la sensitività

$$S_{V_{cc}}^{I_{out}} = \frac{V_{cc}}{I_{out}} \cdot \frac{\partial I_{out}}{\partial V_{cc}}$$

Noi sappiamo che  $I_{out} = \frac{V_{BE1}}{R_2}$  e  $V_{BE1} = V_{th} e^{\left[ \frac{I_{in}}{I_{S1}} \right]}$

Perciò ricorriamo che

$$S_{V_{cc}}^{I_{out}} = \frac{V_{cc}}{I_{out}} \cdot \frac{V_{th}}{R_2} \cdot \frac{1}{\frac{I_{in}}{I_{S1}}} \cdot \frac{1}{I_{S1}} \cdot \frac{\partial I_{in}}{\partial V_{cc}}$$

$V_{BE1}$

$$= \frac{V_{th}}{V_{BE1}} \cdot \left[ \frac{V_{cc}}{I_{in}} \cdot \frac{\partial I_{in}}{\partial V_{cc}} \right] = \frac{V_{th}}{V_{BE1}} \cdot S_{V_{cc}}^{I_{in}}$$

è il fattore fondamentale che ci permette di avere sensitività minore

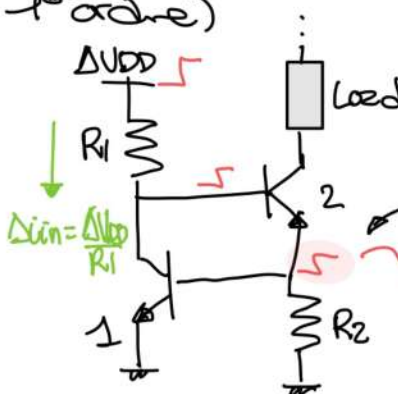
Vediamo che  $V_{th}/V_{BE1}$  è piccolo quindi guardiamo bene in sensitività è nell'ordine di

$$\frac{26mV}{0.7V} \approx 0.037$$

è il fattore migliorativo della  $I_{out}$  rispetto alla variazione di  $I_{in}$  data da una variazione di  $V_{DD}$ .

Perciò se la supply varia del 10% noi che la corrente di input varia del 10% mentre la corrente di output varia del 0.37%.

Questi numeri li potevo ricavare anche direttamente dal piccolo segnale (cambio dato che il piccolo segnale è una derivata al 1° ordine)



$$\frac{\Delta i_{in}}{g_{m1}} = \frac{\Delta V_{cc}}{R_1} \cdot \frac{1}{g_{m1}}$$

$$\Delta i_{out} = \frac{\Delta V_{cc}}{R_1 g_{m1}} \cdot \frac{1}{R_2}$$

l'aumento di tensione qui è tale da far passare la corrente extra data dalla variazione di  $V_{DD}$

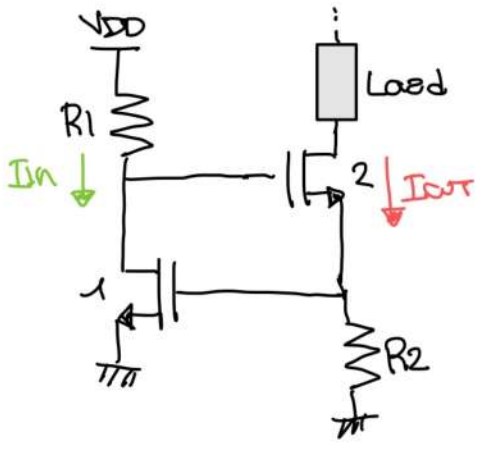
e noi sappiamo che  $S_{V_{CC}}^{I_{CWT}} = \frac{V_{CC}}{I_{CWT}} \cdot \frac{\Delta I_{CWT}}{\Delta V_{CC}} = \frac{V_{CC}}{I_{CWT}} \cdot \frac{1}{R_2 R_{in1}}$

e ricaviamo lo stesso risultato di prima

$$S_{V_{CC}}^{I_{CWT}} = \frac{V_{th}}{V_{BE1}} \cdot \left[ \frac{V_{CC}}{I_{in}} \cdot \frac{1}{R_1} \right] S_{V_{CC}}^{I_{in}}$$

$C_{V_{BE1}}$   $C_{\frac{I_{in}}{V_{th}}}$

Facciamo adesso lo stesso circuito a CMOS



Per ricavare  $I_{in}$  devo risolvere le eq di 2° grado.

Tipicamente questo è + sensitivo alle variazioni rispetto a quello a BJT, questo perché:

$$I_{CWT} = \frac{V_{GS1}}{R_2} = \frac{V_{th} + \sqrt{\frac{2I_{D1}}{\left(\frac{W}{L}\right)_1 \mu C_{ox}}}}{R_2}$$

Non abbiamo il logaritmo ma abbiamo la  $\sqrt{\quad}$ , ma la  $\sqrt{\quad}$  cresce + velocemente del log.

Se noi abbiamo  $\frac{W}{L} \rightarrow \infty$  (molto grande) allora  $I_{CWT} \approx \frac{V_{th}}{R_2}$  (circa indipendente dall'input) [Tuttavia è tendente a impossibile ricavare questo]

Calcolando la sensitività ricaviamo:

$$S_{V_{DD}}^{I_{CWT}} = S_{V_{DD}}^{I_{in}} \cdot \frac{V_{GS1}/2}{V_{GS1}}$$

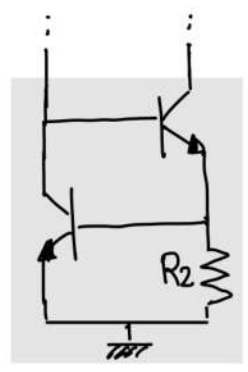
Proviamo a calcolare la resistenza di output del generatori di corrente sotto (vedremo che il local feedback aumenterà un po' l'impedenza)

Ma noi abbiamo visto solo le variazioni rispetto  $V_{DD}$  ma ci possono essere variazioni di temperatura e processo.

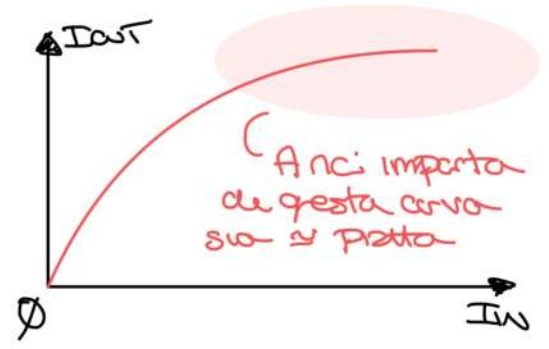
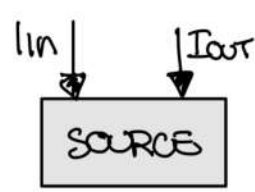
Un'altra cosa che non abbiamo considerato è la presenza delle  $r_o$ . (non troppo nel nostro circuito, ma di + su quelli che vedremo dopo!).

Noi vorremo il caso ideale, cioè sensibilità di rispetto alla variazione di  $V_{DD}$ .

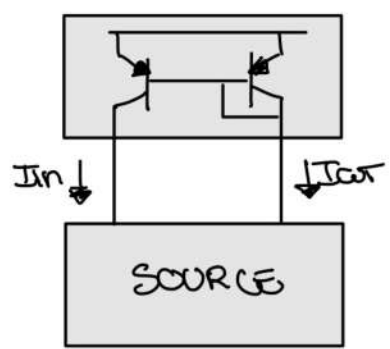
Per ricreare questo noi usiamo un feedback positivo (bootstrap)



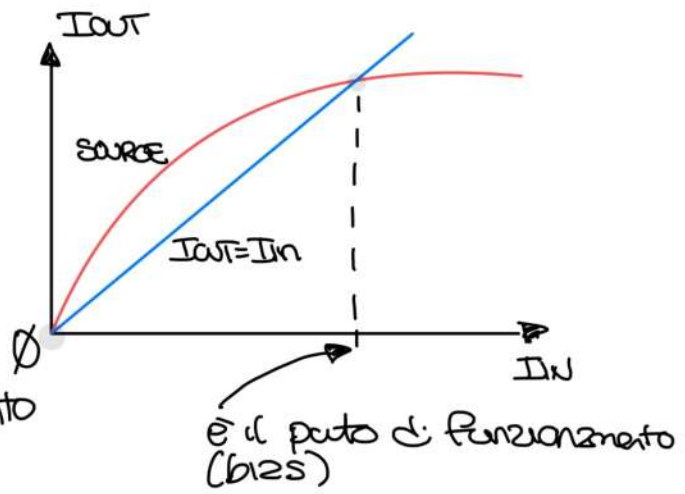
SOURCE



Ma come facciamo ad avere sensibilità  $\neq 0$ ?  
Usiamo un mirror



Noi comenziamo  $I_{in}$  con  $I_{out}$ .  
e' un feedback positivo. Guardando le curve di lavoro vediamo che abbiamo solo 2 possibili punti di funzionamento (uno dei 2 e' a 0)



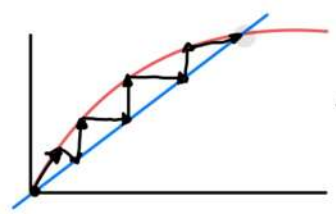
Noi siamo sicuri che il circuito lavori esattamente nel punto di bias perché il loop gain è  $< 1$  (lo posso vedere dai grafici perché vedo che  $I_{out} = I_{in}$  ha pendenza 1 mentre la curva del source ha pendenza  $< 1$  [tende ad andare pizta nel punto d'incontro], allora so che per forza il rapporto dei 2 è  $\approx 1$ )

Ma il circuito ha 2 punti di funzionamento, come facciamo a sapere che il circuito non vada nel punto a 0?

Se noi facciamo lo stesso discorso di prima vediamo che nel punto di funzionamento a 0 vediamo che  $G_{loop}$  e'  $> 1$ .

Perciò in teoria sappiamo che dato che  $G_{loop}$  e'  $> 1$  noi ci sposteremo da quel punto appena zremo una perturbazione, ed andremo nell'altro punto di funzionamento.

il problema principale e' che ci serve un circuito di start-up per dare la perturbazione (altrimenti siamo fermi a 0 e non ci schiodiamo dato che  $I=0$  e quindi  $G_{m}=0$ )

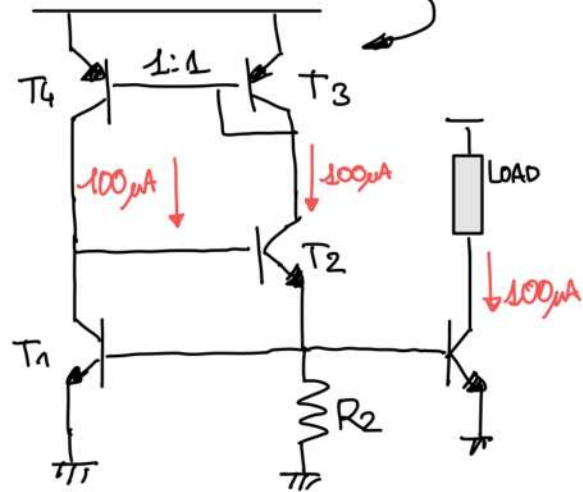


vediamo che appena usiamo del punto di 0 noi andiamo a portarci nell'altro punto stabile. (facendo la stessa cosa vediamo che dal punto stabile noi non ci muoviamo)



## Esempio

POSSO COPIARE LA CORRENTE ANCHE DA QUI



Non vogliamo generare una corrente di  $I_{OUT} = 100\mu A$

Sappiamo poi che  $I_S = 10^{-14} A$

Non adesso calcoliamo quanto vale  $V_{BE1}$  se noi abbiamo  $100\mu A$  che passano su  $T1$ .

$$V_{BE1} = V_{th} \cdot \ln \left[ \frac{100 \cdot 10^{-6}}{10^{-14}} \right] = 598 mV$$

Dato questo ricaviamo il valore della resistenza  $R2$

$$R2 = \frac{0.598}{100 \cdot 10^{-6}} = 5.98 K\Omega$$

Così facendo noi abbiamo ricavato una sensitività  $\emptyset$  rispetto alla power supply.

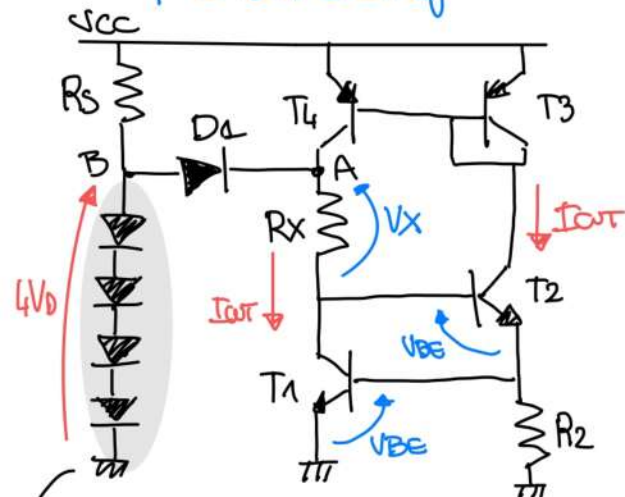
Vediamo che ci basiamo sul valore assoluto di una resistenza! Allora o questa resistenza è calibrata ed esterna oppure o una self calibrated resistance.

Notiamo che non abbiamo considerato  $\beta$ .

Ci serve poi un circuito di startup, altrimenti non va via sege.

Circuito di startup, se la corrente nel circuito è  $\emptyset$  deve creare una corrente, una volta che corrente va nel circuito lui si deve spegnere

## Esempio con startup



Tipicamente  $\beta$  di transistor

$R_s$  deve essere grande per evitare grandi dissipazioni di potenza

Quando accendiamo il circuito e la corrente è  $\emptyset$  ho che in A ho  $\approx 0V$  mentre in B ho  $4V_D (\approx 4V_{BE})$  allora passa corrente su  $D1$  e quindi accende il circuito.

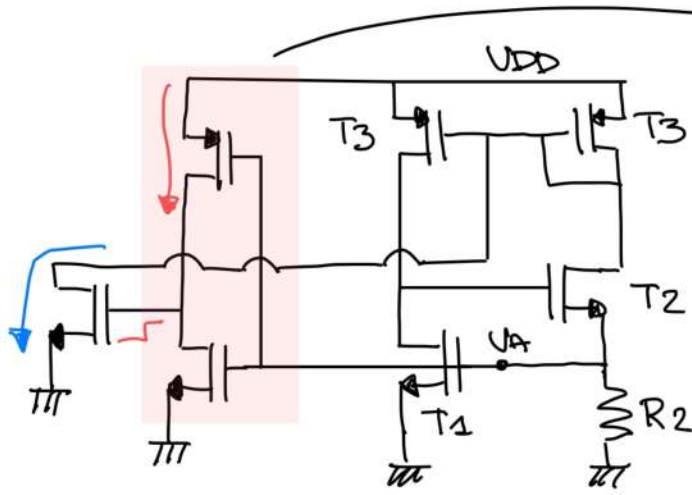
Una volta che il circuito si accende ho che la tensione in A è

$$V_A = V_x + 2V_{BE}$$

Per fare in modo che  $D1$  non conduca dobbiamo avere che  $R_x I_{OUT} > 2V_{BE}$ .

In questo caso zero che  $D1$  è OFF.

Vediamo adesso un circuito di startup per i CMOS.

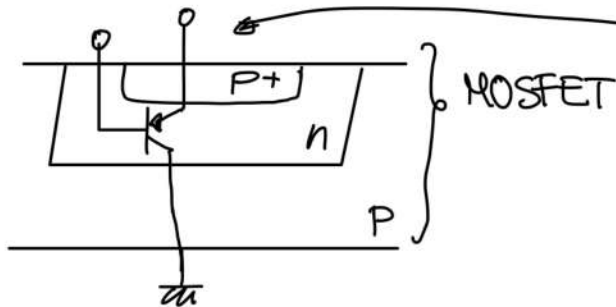


è un inverter, quando accende il circuito, la tensione VA è  $\approx 0$  allora l'inverter accende il PMOS facendo passare una corrente  $I_{D1}$  uso un altro stato per prendere una corrente dallo specchio e accendere il circuito.

Quando il circuito è ON non che VA è a  $V_{th}$  e noi vogliamo che l'inverter sia a 0V. Noi sappiamo che  $V_{th}$  è  $\ll V_{DD}/2$  quindi per fare sì che l'inverter si spenga devo fare l'NMOS  $\gg$  rispetto al PMOS in modo che si attivi anche per VA piccola.

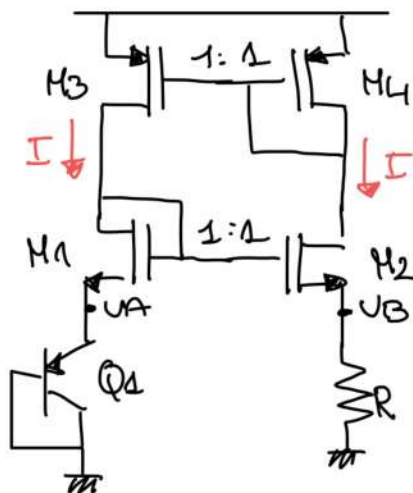
### VBE referred circuit in CMOS

Possiamo fare un circuito riferito a VBE con CMOS senza usare i BJT ?? Sì, fa scifo come Bacc.. ma a noi non ci interessa ci serve solo la VBE.



Vediamo che possiamo trovare un BJT piazzato, però scifo ma non ci Rega.

Esempio di circuito: (manca lo startup, non l'abbiamo disegnato ma sa)



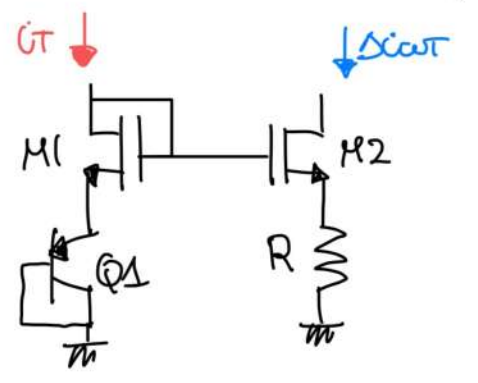
Dato lo specchio ( $M3/M4$ ) le 2 correnti devono essere uguali, quindi anche i mos  $M1$  e  $M2$  sono uguali, noi poi sappiamo che dato che abbiamo la stessa corrente VA e VB sono alla stessa tensione. e quindi:  $V_B = V_A = V_{BE1}$

Perciò so che  $I = \frac{V_{BE1}}{R}$

Anche qui ho che ho sensitività  $\infty$ .

ATTENZIONE ALLE CONNESSIONI DELLO SPECCHIO!!! SE LE INVERTO POTREI AVERE  $Gloop > 1$

# Calcoliamo il Gloop



$$G_{loop} = C_{IT} \cdot \frac{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}{R_1 + \frac{1}{g_{m2}}}$$

Devo controllare che questo valore sia  $< 1$

Per avere che  $G_{loop} < 1$  devo avere che

$$\frac{1}{g_{m2}} + \frac{1}{g_{mQ1}} < R_1 + \frac{1}{g_{m2}}$$

(non ho capito cosa ha fatto)

$$g_{mQ1} R_1 > 1 \longrightarrow \underbrace{I R_1}_{V_{BE1}} > V_{th}$$

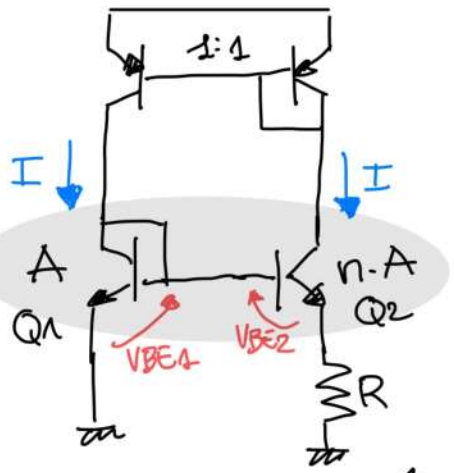
perciò se la  $V_{BE}$  del BJT parasita è  $>$  della thermal voltage  $G_{loop} < 1$

Perciò avremo quasi certamente che  $G_{loop} < 1$ .

Abbiamo quindi ottenuto un circuito indipendente dalla voltage supply (se non consideriamo  $r_o$ . Se lo consideriamo dobbiamo usare strutture cascode).

## Thermal voltage referenced circuit

Come facciamo a gestire una  $V_{th}$  come riferimento?  
 Noi potremo prendere la differenza tra 2  $V_{BE}$



Dato lo specchio sopra ho che le 2 correnti sono uguali.

I 2 transistor 2 hanno Area diversa ( $nA > A$ )  
 perciò noi sappiamo che  $V_{BE1} > V_{BE2}$ .

ho quindi che su R cadono  $V_{BE1} - V_{BE2}$   
 quindi

$$V_{BE1} - V_{BE2} = V_{th} \cdot \ln\left[\frac{I}{I_{S1}}\right] - V_{th} \cdot \ln\left[\frac{I}{I_{S2}}\right]$$

$$= V_{th} \cdot \ln\left[\frac{I_{S2}}{I_{S1}}\right] = V_{th} \cdot \ln(n)$$

NON È UN CURRENT MIRROR!!!  
 LE 2 CORRENTI SOPRA SONO UGUALI A CAUSA DELLO SPECCHIO SOPRA.

(Serve sempre lo start up circuit)

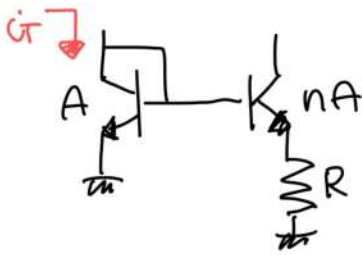
Perciò la corrente  $I$  è  $I = \frac{V_{th} \cdot e^{-n}}{R}$

è una PTAT current (Proportional to Absolute Temperature)  
 [in realtà non perché anche  $R$  varia anche con la temperatura]

Supponiamo di voler generare  $100 \mu A$  con questo circuito (a  $T=300K$ )  
 e supponiamo che  $n=2$ .

Otteniamo quindi che  $R = \frac{V_{th} \cdot e^{-2}}{100 \mu A} = 180 \Omega$

Vediamo subito che  $G_{loop}$  è  $< 1$



Abbiamo che le  $g_m$  dei 2 BJT sono uguali perché passa la stessa  $I$  quindi

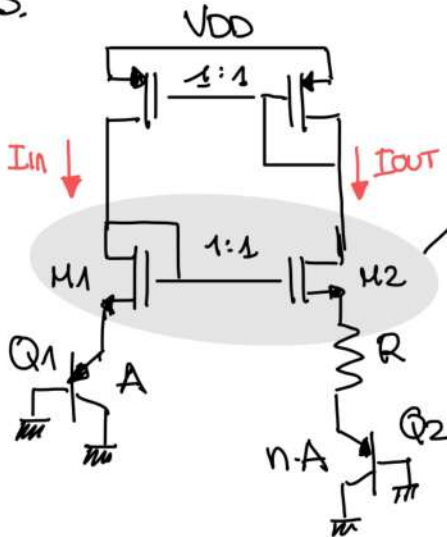
$$\frac{\Delta i_{out}}{i_T} \approx \frac{1/g_m}{\frac{1}{g_m} + R} \text{ che è } < 1 \text{ per } R > 0$$

26.10.2022

3h (forse 2h)

### VT referenced circuit with CMOS

Anche in questo caso possiamo usare il BJT preesistente interno ai MOS.



[è sempre necessario avere uno start up circuit]

Ripetiamo per la n-vata che questo non è uno specchio, qui la tensione sui 2 rami varierà solo in un caso specifico. Non siamo in quel caso specifico perché lo specchio sopra ci impone di avere corrente uguale nei 2 rami.

$$V_{BE1} - V_{BE2} = V_{th} e^{-n}$$

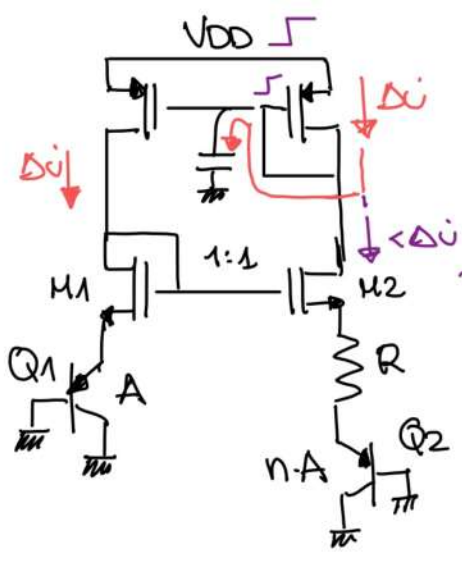
Allora  $I_{in} = I_{out} = \frac{V_{th} e^{-n}}{R}$

Al primo ordine siamo indipendenti della tensione di alimentazione ma siamo dipendenti dalla temp e dal processo ( $R$ )

Una cosa su cui dobbiamo stare attentissimi è il mismatch tra  $M1$  e  $M2$ . Questo perché noi abbiamo assunto  $V_A$  e  $V_B$  e tensioni uguali ma se abbiamo un offset non è detto che sia reale

Dato che la corrente rimane uguale se l'alimentazione si alza anche la tensione

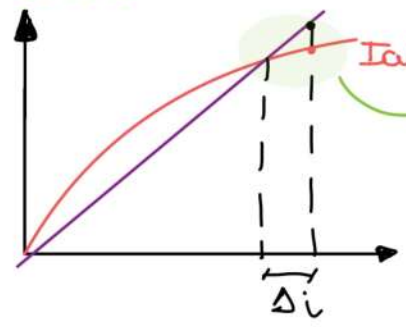
Sui mos di gate dello specchio di corrente si alza. (Questo non aumenta immediatamente perché abbiamo delle capacità parassite da caricare)



Dato che  $V_{DD}$  si alza ma  $V_A$  non aumenta abbiamo della corrente extra portata dai mos sopra.

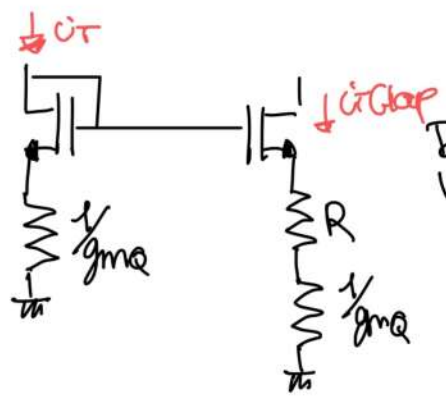
Dato che lo specchio sotto permette di avere correnti uguali solo in un punto e che il  $G_{loop}$  è  $< 1$ , zero che

è + piccolo di  $\Delta i$  perché  $G_{loop}$  è  $< 1$  e quindi la corrente extra va a caricare il condensatore



Vediamo che se  $V_{in}$  si alza  $I_{err}$  si alza di meno, abbiamo quindi la extra current che va a caricare il condensatore e che permette di alzare la  $V_{as}$  dello specchio sopra e tornare stabil

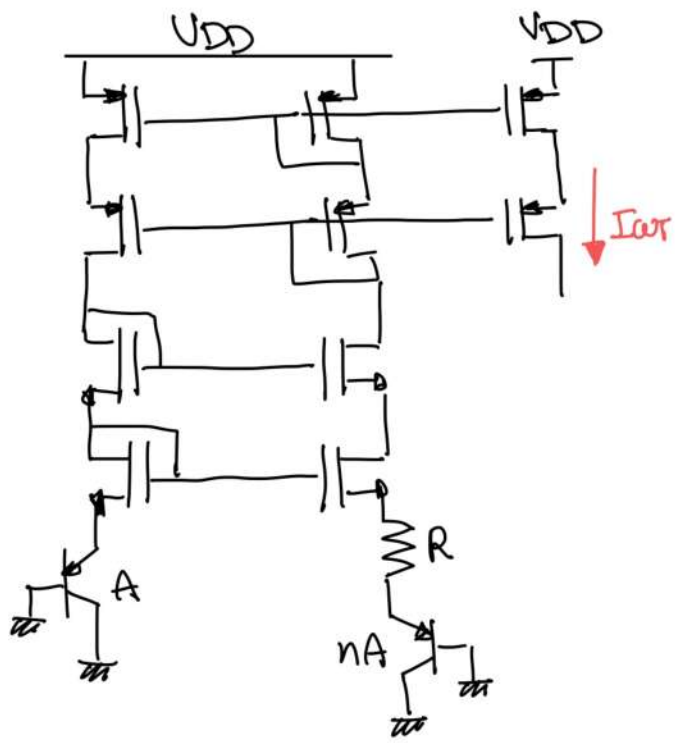
Abbiamo parlato di  $G_{loop} < 1$  perché abbiamo che



Dato che i 2 BJT hanno la stessa corrente allora hanno la stessa  $g_m$ , si vede a colpo che  $G_{loop} < 1$ .

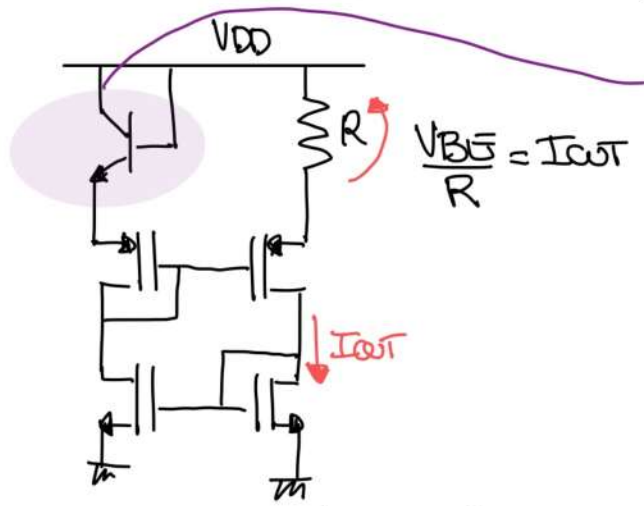
$$v_T G_{loop} = v_T \cdot \frac{\frac{1}{g_{mN}} + \frac{1}{g_{mP}}}{\frac{1}{g_{mN}} + \frac{1}{g_{mP}} + R}$$

Ma non abbiamo considerato se lo facciamo dare una struttura cascode

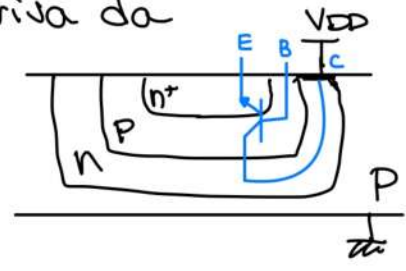


(è lo stesso circuito di sopra solo fatto cascode)

Altra struttura (quando abbiamo disponibili dei transistor NPN parassiti)

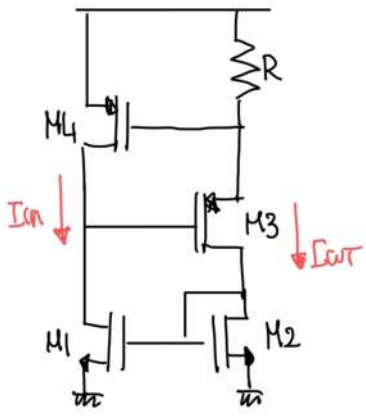


Deriva da



$$\frac{V_{BE}}{R} = I_{out}$$

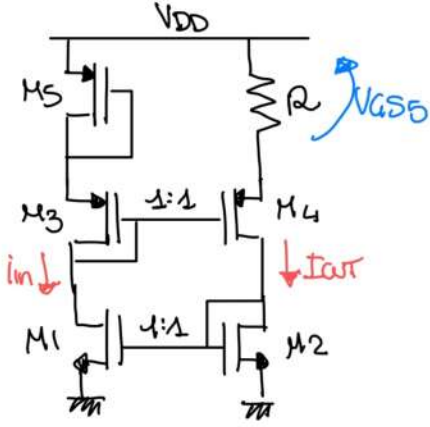
Altra struttura (e' la struttura complementare di ieri)



$$I_{in} = I_{out} = \frac{V_{DS}}{R} = \frac{|V_{TP}| + V_{DS}}{R}$$

Controllare sempre che  $G_{loop} < 1$

- Altra struttura

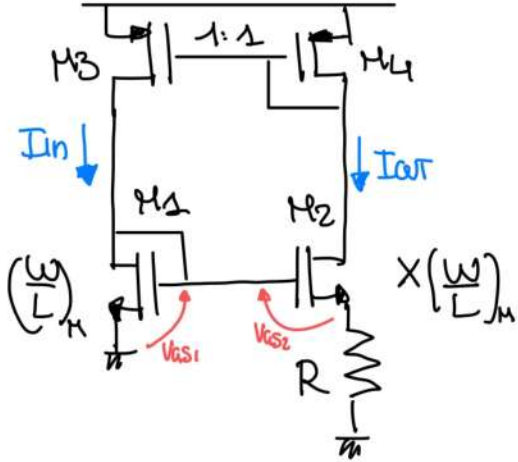


$$I_{out} = \frac{V_{GS}}{R}$$

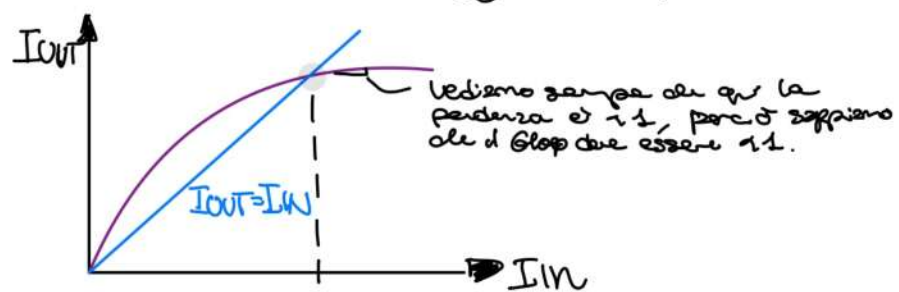
(Usano tutti lo stesso trucco)

[Controllare che  $G_{loop} < 1$ ]

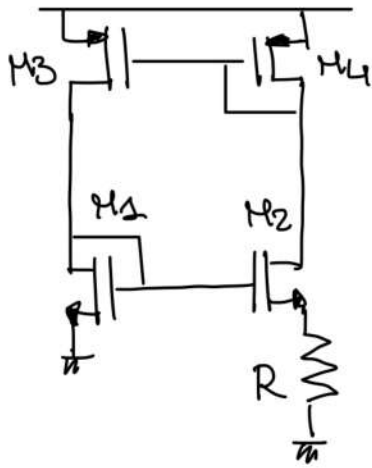
• Ottimo circuito, chiamato Constant gm.



I MOS sotto non possono essere 1:1 perché altrimenti non troviamo il punto di stabilizzati. Allora M2 è x volte più grande di M1 (con x costante maggiore di 1)



Controlliamo allora la corrente d'output



$$I_{IN} = I_{OUT} = I$$

$$= V_{GS1} = V_{GS2} + I \cdot R$$

$$= \underbrace{\sqrt{\frac{2I}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n}}}_{V_{GS1}} + \cancel{V_T} = \sqrt{\frac{2I}{\mu_n C_{ox} X \left(\frac{W}{L}\right)_n}} + \cancel{V_T} + I \cdot R$$

(adatto a low supply voltages)

$$= \sqrt{\frac{2I}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n}} \left[ 1 - \frac{1}{\sqrt{X}} \right] = I \cdot R$$

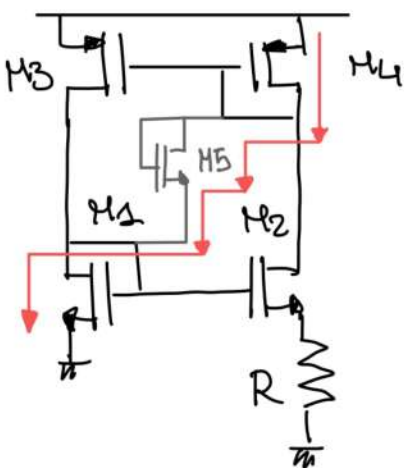
Facciamo il quadrato da entrambi i lati e semplifichiamo I (facendo così perdere la soluzione a 0 corrente)

$$= \frac{2I}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n} \left[ 1 - \frac{1}{\sqrt{X}} \right]^2 = I^2 \cdot R$$

$$= I = \frac{2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n} \cdot \frac{1}{R^2} \cdot \left( 1 - \frac{1}{\sqrt{X}} \right)^2$$

Senza usare nessun riferimento riusciamo a fare una corrente non dipendente dalla tensione di alimentazione

Anche questo circuito necessita di un circuito di start-up



Abbiamo aggiunto il transistor M5. Supponiamo di alimentare il circuito e di essere nella situazione  $I=0$ . Se siamo in questo caso e SE

$$V_{DD} > V_{T1} + V_{T5} + |V_{T4}|$$

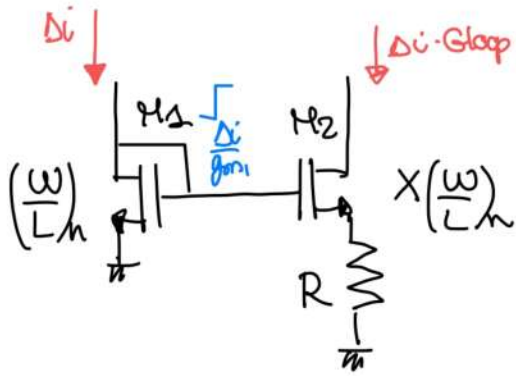
allora zero della corrente I che scade su M4, M5, M1 che accende lo specchio

Devo avere anche che il circuito si spegna una volta acceso questo avviene se

$$V_{GS1} + |V_{GS4}| + V_{T5} > V_{DD} \quad (\text{e allora si spegne M5})$$

[il prof non e' sicuro che questo circuito funzioni esattamente perché e' troppo facile e non e' detto che l'aggiunta di M5 non raggiungiamo ulteriori punti di stabilità]

Analizziamo il loop gain del circuito (senza start-up)



$$\Delta i_{\text{Gloop}} = \Delta i \cdot \frac{1}{g_{m1}} \cdot \frac{1}{R + \frac{1}{g_{m1} \sqrt{x}}}$$

La domanda è, questo è < 1?

Dobbiamo vedere se  $R > \frac{1}{g_{m1}} \left(1 - \frac{1}{\sqrt{x}}\right) = \frac{1}{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_n I}} \left(1 - \frac{1}{\sqrt{x}}\right)$

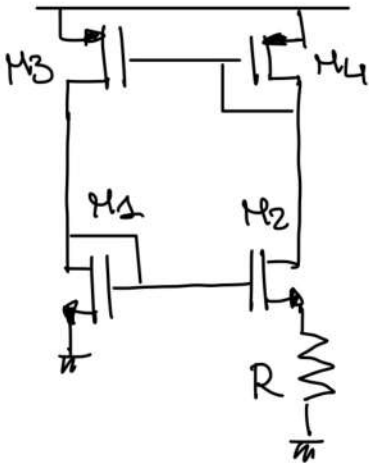
Questo risulta vero se  $R^2 > \frac{1}{2\mu_n C_{ox} \left(\frac{W}{L}\right)_n I} \left(1 - \frac{1}{\sqrt{x}}\right)^2$

che risulta vero perché avremo ricevuto da la corrente nel circuito è

$$I = \frac{2}{\mu_{ox} \left(\frac{W}{L}\right)} \cdot \frac{1}{R^2} \cdot \left(1 - \frac{1}{\sqrt{x}}\right)^2 \quad (\text{che è 4 volte la formula sopra})$$

Per cui sappiamo che Gloop è < 1.

il nome di questo circuito è constant gm, ma perché questo strano nome?



Ma sappiamo che

$$I = \frac{2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n} \cdot \frac{1}{R^2} \left(1 - \frac{1}{\sqrt{x}}\right)^2$$

Ma qual'è la gm del transistor 1?

$$g_{m1} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_n I}$$

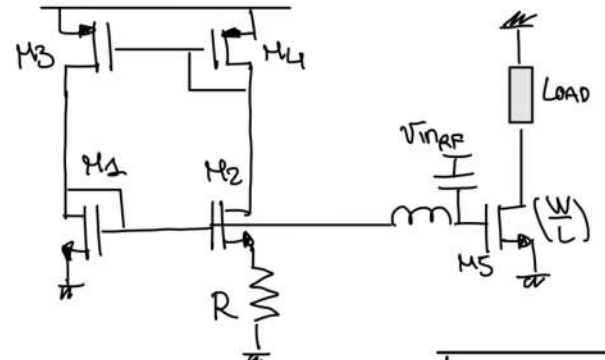
$$= \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_n} \cdot \frac{\sqrt{2}}{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_n}} \cdot \frac{1}{R} \cdot \left(1 - \frac{1}{\sqrt{x}}\right)$$

Ma ci interessa la gm perché non è un transistor di segnale tuttavia noi lo chiamiamo ugualmente

$$g_{m1} = \frac{2}{R} \left(1 - \frac{1}{\sqrt{x}}\right) \quad \text{se } x=4 \rightarrow g_{m1} = \frac{1}{R} \quad (\text{che è fissa e non cambia})$$

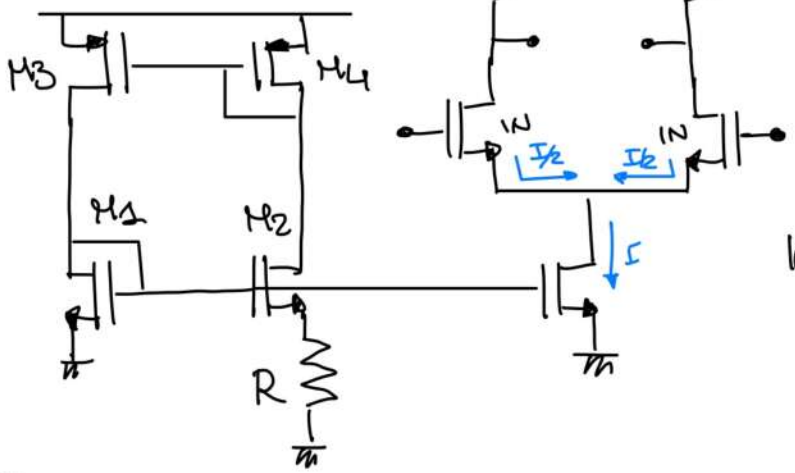


Tipicamente questo circuito è usato per avere delle gm Risse per circuiti ad zeta Frequenza



In DC L è un corto e MS ha la stessa gm di M1. + zverto in Req + L è un aperto e no il segnale V<sub>in</sub> in ingresso ma questo viene zmp Riceto sempre dalla gm Risseta prima tenite M1.

Altro esempio



$$G = g_{min} \cdot R_L$$

Se noi prendiamo i MOS di input  $2 \cdot (W/L)_n$

Allora i transistor di input hanno la stessa gm del transistor di coda

$$V_{ovin} = \frac{V_{ovM5}}{2} \quad \left( = \frac{V_{ovM1}}{2} \right)$$

Abbiamo che la corrente è metà e V<sub>as</sub> è metà e quindi no che la gm dei transistor di input è uguale a gm5 e gm1.

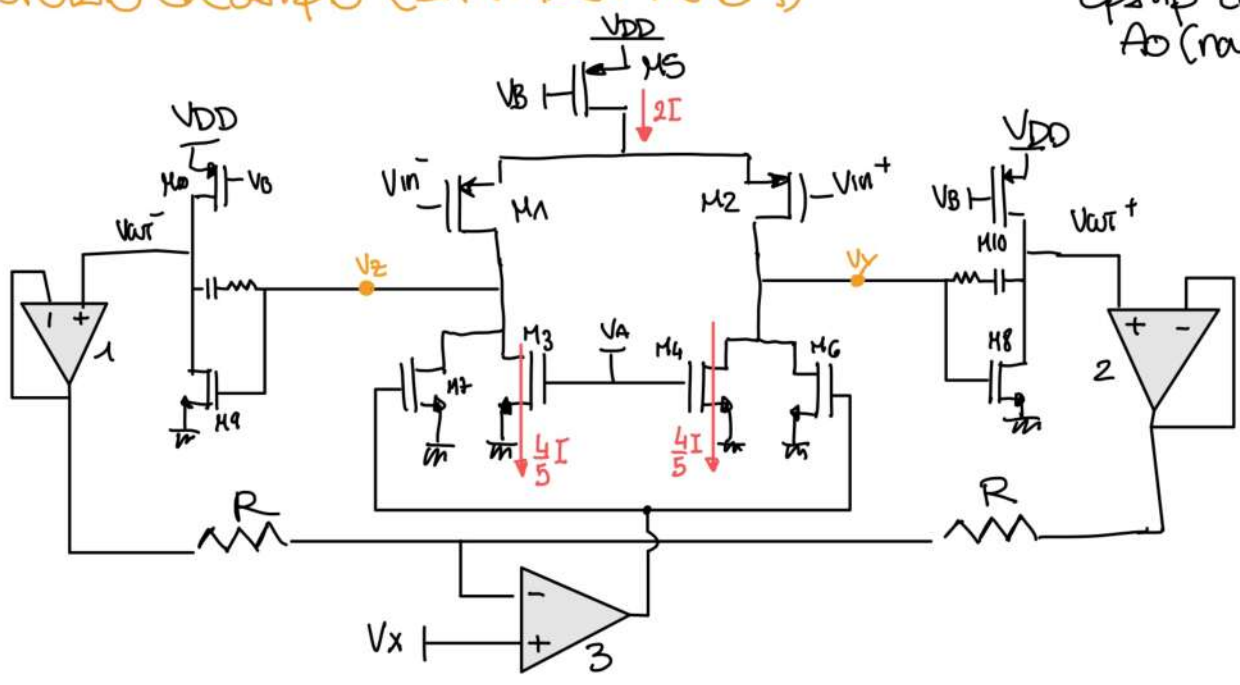
Allora il guadagno differenziale posso vederlo come:

$$G = g_{m1} R_L = \frac{1}{R} \cdot R_L \quad \leftarrow \text{Abbiamo il rapporto tra 2 resistori bello}$$

Potremo usarlo in open loop? Si ma perdiamo la linearità data dal feedback.

### Esercizio d'esempio (DA FARE A CASA)

opamp con guadagno A<sub>0</sub> (no ∞)

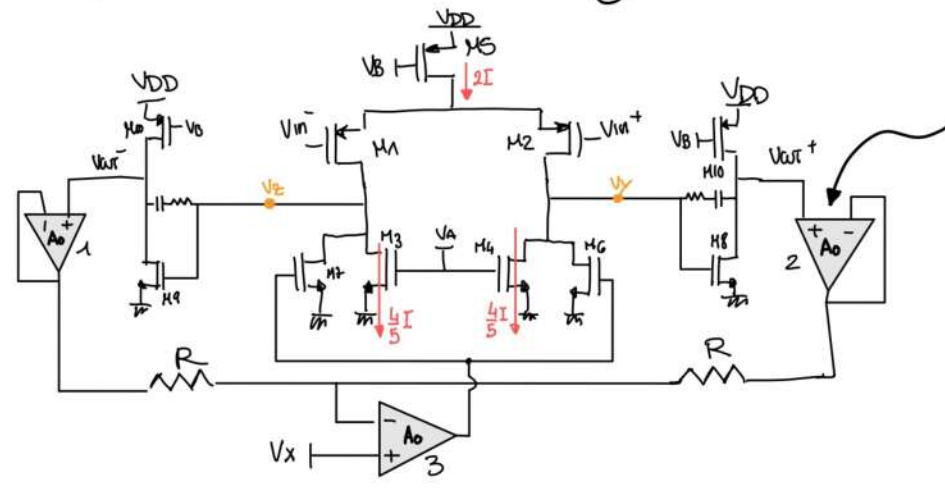


- 1) Common mode output voltage ideal case?
- 2)  $\frac{1}{2}$  dei transistor 6 e 7 per avere  $V_{out}$  uguale a 3 e 4?  
(domanda cui serve a capire che 6/7 e 3/4 sono lo stesso transistor solo d'inso in 2)
- 3) Quali sono i parametri messi dal designer per settare  $V_z$  e  $V_y$ ?
- 4) Diff gain e Common mode gain ( $a_{in} - a_{out}$ )
- 5) Input series noise (spiegare il contributo di  $M_3$  e  $M_4$ )
- 6) Supponiamo che  $I_{in}$  e  $I_{io}$  sono entrambe maggiori di  $2I$ , calcolare la variazione di  $V_z$  e  $V_y$  e se vogliamo anche la output cm.
- 7) Fare come il 6 solo considerando solo una variazione di  $I_{in}$ .
- 8) Qual'è l'offset dell'opamp 3?
- 9) Qual'è l'impatto dell'offset degli opamp 1 e 2?

02.11.2021

3h

Continuiamo con l'esercizio dell'altro giorno.



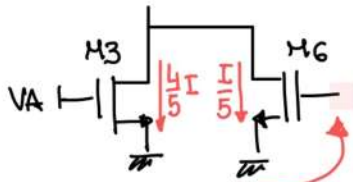
Sono opamp single ended low power (2nd e 3rd banda piccola tanto a noi non interessa)

### 1) Common mode output voltage

Riconosciamo subito la struttura di cui il feedback dove controlliamo il tal generatore. Ma non controlliamo tutta la corrente ma solo una frazione (x stabilità).  
 Vediamo che facciamo un sensing resistivo ma usiamo un buffer per non snervare il guadagno.  
 Se il feedback è di segno sbagliato basta invertire i pin dell'opamp 3.  
 Ma quanto vale la output cm?

nel caso di feedback negativo ideale l'output common mode è uguale a  $V_x$ .  
 (Abbiamo controllato che il feedback sia negativo, lo è)

## 2) Aspect ratio di G7 per avere la stessa $V_{ov}$ che 3,4.



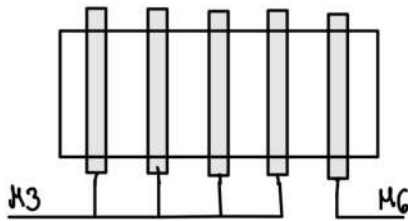
Dato che voglio la stessa  $V_{ov}$  devo avere che

$$\left(\frac{W}{L}\right)_{M3} = 4 \left(\frac{W}{L}\right)_{M6}$$

(La dimensione del transistor "setta" automaticamente la  $V_{ov}$  del MOS (questo non il CM feedback deve matchare la corrente che arriva da sopra))

il common mode feedback è quello che regola la tensione al gate del mosfet.

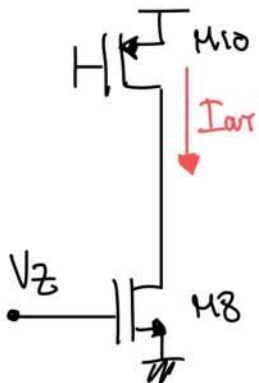
Questi 2 transistor li possiamo vedere come un unico transistor con 5 gate



È un unico transistor connesso in questo modo

## 3) Parametri di settore $V_z$ e $V_y$

(Non partire con la early voltage che ci incasiniamo e un effetto di 2° ordine)



Ma sappiamo la corrente data da M10 e il dimensionamento di M8 quindi possiamo calcolare la  $V_{GS}$  di M8 (è lo stesso discorso che facciamo con l'output per il 2° stadio di dove avere la stessa  $V_{GS}$  del primo e per B10 noi la settiamo così)

$$V_z = V_{GS8} = V_{Tn} + \sqrt{\frac{I_{DSS}}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_8}} = V_{ov8}$$

Una cosa assolutamente da ricordare è che  $V_{ov}$  dipende dal dimensionamento del mosfet (anche se non sembra) quindi DEVO STARE ATTENTO

## 4) Differential e CM gain

- Diff. Gain

$$G_{diff}(\omega) = \frac{g_{m1}}{2} \cdot 2 \underbrace{R_{out1}}_{r_{o4} // r_{o6} // r_{o2}} \cdot g_{m8} \cdot \underbrace{R_{out2}}_{r_{o8} // r_{o10}} \approx (g_m r_o)^2$$

- Common Mode gain (facciamo forward gain /  $1 + G_{loop}$ )

$$\frac{V_{out}}{V_{in}} \Big|_{OPEN LOOP} = \frac{1}{2 r_{o5}} \cdot (r_{o4} // r_{o6}) \cdot g_{m8} \cdot (r_{o8} // r_{o10})$$

$\frac{1}{2}$  c'è perché la corrente che si genera su  $r_{o5}$  si divide a metà. C'è un'altra perché rimpicciolisce nella formula totale

[Approssimata, dobbiamo considerare l'half circuit ma la resistenza di  $M_2$  è dipende da  $M_5$  quindi è grande e noi la trascuriamo]

Attenzione che questo guadagno open loop è positivo

- Calcoliamo il loop gain del OI feedback.

$$G_{loop}(s) = -g_{m3} \cdot R_{out2} \cdot \underbrace{1}_{(106/104)} \cdot A_0 \cdot g_{m6} \cdot \underbrace{R_{out1}}_{(106/104)}$$

è il buffer, dovrebbe essere  $\frac{A_0}{1+A_0}$   
ma noi mettiamo 1.

(106/104)

Possiamo ricavare il guadagno di Common mode

$$\frac{V_{out1}}{V_{in01}} = \frac{\frac{1}{2r_{os}} \cdot R_{out101} \cdot g_{m3} \cdot R_{out201}}{1 + g_{m3} \cdot R_{out201} \cdot A_0 \cdot g_{m6} \cdot R_{out101}}$$

$$\approx \frac{1}{2r_{os} \cdot g_{m6} \cdot A_0}$$

Potremmo ricavare un valore simile supponendo  $G_{loop} \rightarrow \infty$  vedendo che

Se abbiamo una  $C_{in}$  abbiamo una corrente  $i_c = \frac{V_{in01}}{2r_{os}}$  nei 2 rami

noi dobbiamo fare sì che M6 tiri via questa corrente quindi:

$$i_c = g_{m6} A_0 \cdot V_{out1} \quad \text{allora} \quad \frac{V_{out1}}{V_{in01}} = \frac{1}{2r_{os} g_{m6} A_0}$$

Ho in pratica imposto che su M6 vada tutta la corrente extra, ricavo questa formula vedendo come usare conzodato il gate di M6.

$A_0$  non è un valore molto grande. Crediamo che l'opamp 3 sia usato unicamente per fare un'inversione e avere gain del giusto segno.

## 5) Input series noise

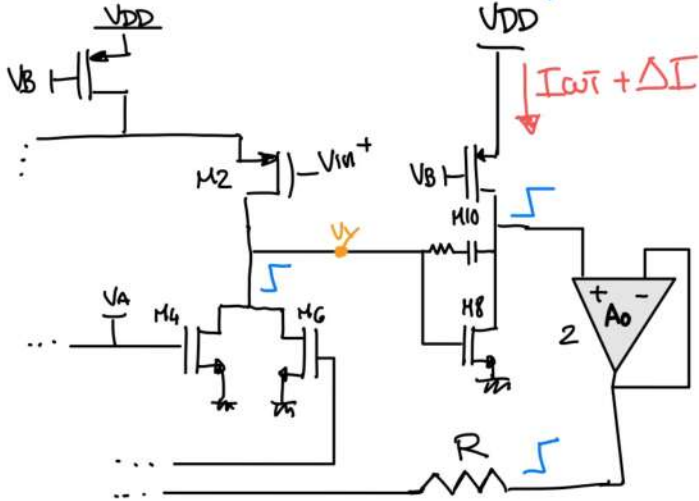
Noi consideriamo solo il rumore del 1° stadio.

$$\overline{E_n^2} = 2 \times \frac{4kT\delta}{g_{m1}} + 2 \times \frac{4kT\delta g_{m4}}{g_{m1}^2} + 2 \times \frac{4kT\delta g_{m6}}{g_{m1}^2}$$

Quanta è la differenza data dal rumore tra  $M_4$  e  $M_6$ ?  
 Se faccio il rapporto vedo che mi rimangono solo le  $g_m$

$$\frac{g_{m4}}{g_{m6}} = (\text{solo perché ho la stessa } V_{ov}) = \frac{I_4}{I_6} = 4$$

6) Corrente di  $M_{10}$  e  $M_{11}$  sono > di quello che volevamo, quanto è la variazione in  $V_Z$  e  $V_Y$ ?



Io so che so  $M_8$  deve passare anche questa extra current quindi:

$$g_{m8} \cdot \Delta V_Y \approx \Delta I$$

$$\Delta V_Y = \frac{\Delta I}{g_{m8}}$$

**SUPER MEGA IMPORTANTE**, la variazione di  $V_Y$  posso calcolarla facendo la variazione di  $V_{out}$  e poi dividendola per  $G^2/(1+Gloop)$

Oppure posso usare la tecnica standard in cui calcolo il guadagno di open loop e divido per  $Gloop$

$$\left. \frac{\Delta V_Y}{\Delta I} \right|_{open\ loop} = R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}$$

$$\begin{aligned} \text{Allora } \frac{\Delta V_Y}{\Delta I} &= \frac{R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}}{1 + g_{m8} \cdot R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}} \\ &\approx \frac{1}{g_{m8}} \end{aligned}$$

Allo stesso modo adesso calcoliamo la variazione della  $V_{out2}$

$$\frac{\Delta V_{out2}}{\Delta I} = \frac{R_{out2}}{1 + g_{m8} R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}} \approx \frac{1}{g_{m8} A_o g_{m6} R_{out1}}$$

(Non è proprio così immediato, il prof ci consiglia di fare tutti i conti)

7) Stessa cosa di sopra ma ho una variazione di  $I_5$  ( $2I + 2\Delta I$ )

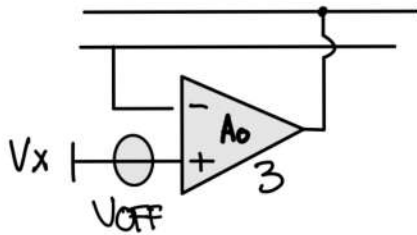
$$\frac{\Delta V_Y}{\Delta I_1} = \frac{R_{out1}}{1 + g_{m8} \cdot R_{out2} \cdot A_o \cdot g_{m6} \cdot R_{out1}} \approx \frac{1}{g_{m8} \cdot R_{out2} \cdot A_o \cdot g_{m6}}$$

(Allo stesso modo possiamo calcolare la variazione della output common mode)

**NOTA**

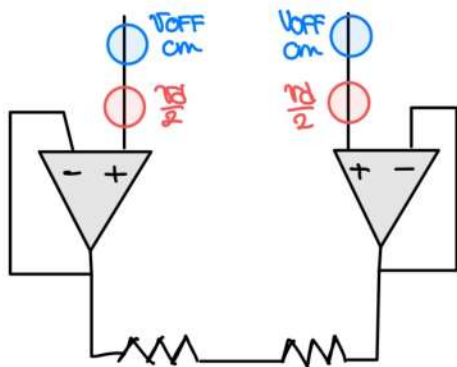
Dobbiamo ricordare che questo opamp sarà connesso anche con un feedback differenziale. Questo feedback fornisce anche un loop positivo non voluto per la common mode. Questo loop non è trascurabile, e in + è positivo quindi ci scappa il C220 per bene. Perciò quando calcoliamo le variazioni di  $\omega_c$  e i guadagni dovremo considerare questo loop (nel es nostro consideravamo l'opamp open loop per il differenziale)

8) Offset degli opamp



Vediamo che questo offset fa venire l'output common mode del circuito.

Per quanto riguarda gli altri 2 opamp dobbiamo considerare la CM e la differenziale mode dei 2 offset (che ricordiamo sono diversi e indipendenti)

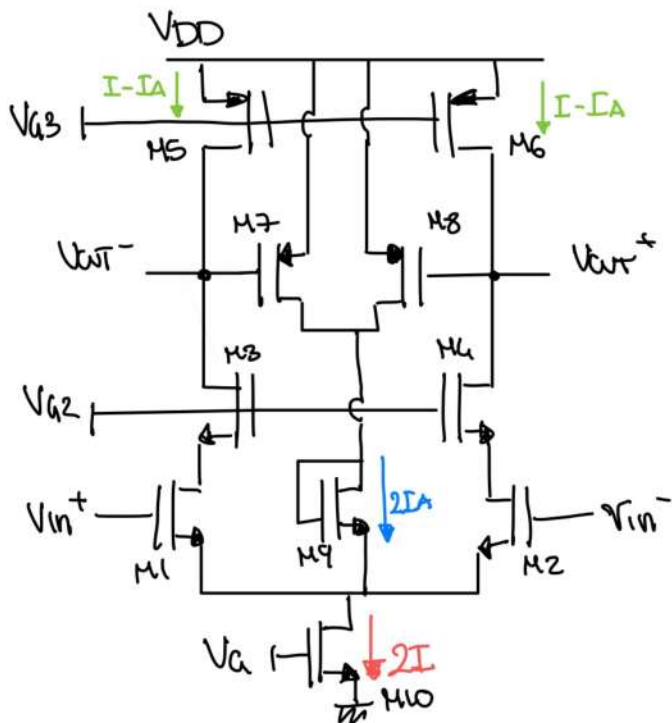


$$V_{OFFCM} = \frac{V_{OFF}^1 + V_{OFF}^2}{2}$$

$$V_{OFFD} = V_{OFF}^1 - V_{OFF}^2$$

(Ad occhio quello differenziale è quello problematico perché da un segnale sulle resistenze, al contrario di quello di common mode) **NON CHIARO DA RICONTROLLARE**

• **Esercizio**



È evidente che  $2I > 2I_a$

M7,8,9 implementano un CM feedback. L'output common mode è settata dalla  $V_{GS}$  dei transistor 7,8 (cioè dalla corrente  $I_a$ ) ma è come negli altri di feedback ma qui  $V_{GS}$  è settata da una tensione

$$G_{diff} = \frac{g_m \cdot 2 \cdot r_{OS}}{2}$$

(Vinciamo il prof dei MOS M3 e M4 forse per l'effetto miller dei MOS di input? Boh non so ma da dividerne il prof)

Quando ho un segnale differenziale M7 e M8 scende e la corrente totale rimane  $\approx$  uguale

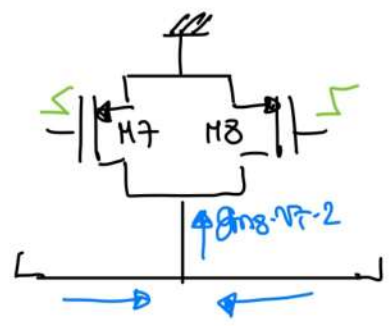
Quel'è il guadagno di common mode? (Cioè come funziona il common mode!)

Assumiamo prima in open loop e poi dividiamo per  $1 + G_{loop}$ .

$$\left. \frac{V_{outCM}}{V_{inCM}} \right|_{open\ loop} = - \frac{1}{2r_{o10}} \cdot \underbrace{R_{outCM}}_{r_{o5}}$$

Però

$$\frac{V_{outCM}}{V_{inCM}} = \frac{-\frac{r_{o5}}{2r_{o10}}}{1 + \frac{g_{m8}}{2} \cdot 2 \cdot r_{o5}} \approx \frac{-\frac{r_{o5}}{2r_{o10}}}{g_{m8} \cdot r_{o5}} \approx - \frac{1}{2r_{o10} g_{m8}}$$



[ Posso vederlo anche intuitivamente vedendo che devo togliere la corrente in  $r_{o5}$  allora

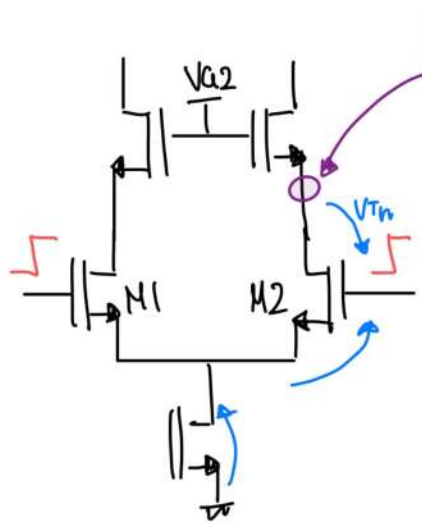
$$V_{out} \cdot g_{m8} = - \frac{V_{in}}{2r_{o5}} \quad (\text{non mi è immediato})$$

Quel'è l'output common mode?

È la  $V_{GS}$  di M7, M8. Quindi la output common mode dipende dai parametri.

$$V_{outCM} = V_{DD} - V_{GS7,8} = V_{DD} - \left[ |N_{TP}| + \sqrt{\frac{I_A}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)_7}} \right]$$

Dinamica di Common Mode:



$$V_{G2} - (V_{Tn} + V_{ov3,4})$$

- $V_{outCM,MAX} = V_{G2} - (V_{Tn} + V_{ov3,4}) + V_{Tn}$
- $V_{outCM,MIN} = V_{ov10} + V_{GS1}$   
 $= V_{ov10} + V_{ov1} + V_{Tn}$

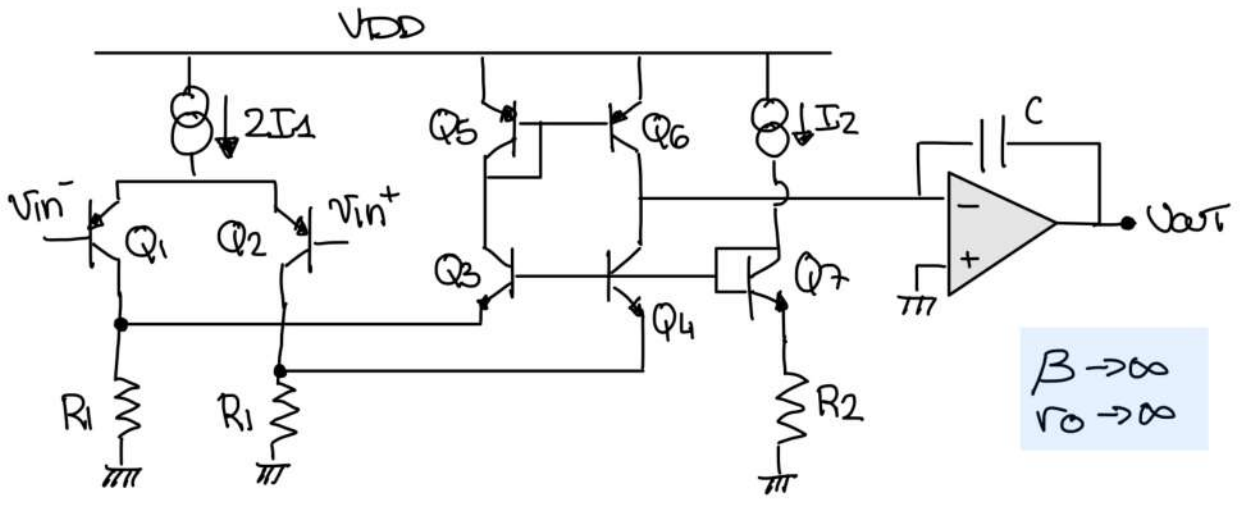
Che transistor contribuiscono alla series noise?  $M_{1,2}/M_{5,6}$

$$\overline{E_n^2} = 2 \times \frac{4kT\gamma}{g_{m1}} + 2 \times \frac{4kT\gamma_p \cdot g_{m5,6}}{g_{m1}^2}$$

Se vogliamo ridurre il rumore devo lavorare su  $M_{5,6}$  che non sono in ingresso perciò devo lavorare su  $g_{m5,6}/g_{m1}$  (dato che la corrente è la stessa posso lavorare sul rapporto delle overdrive)

07.11.2022

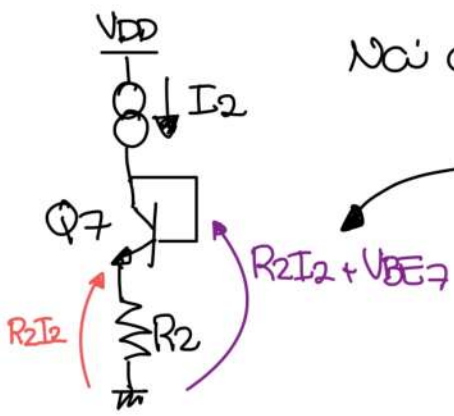
3h online (in matica)



Vediamo che abbiamo un input a PNP. Probabilmente nella realtà è presente un buffer d'ingresso per aumentare  $R_{in}$ .

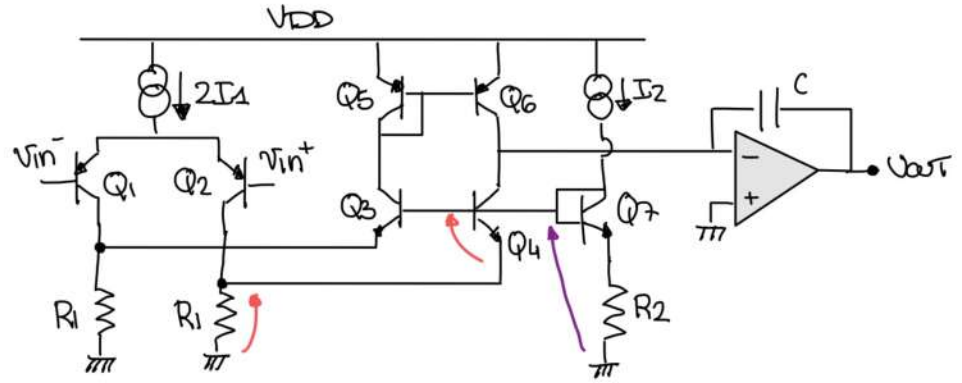
Inoltre questo circuito non ha bisogno di un  $OC$  feedback.

1) Qual'è la corrente di bias che scorre in  $Q_{5,3}$ ? Quale deve essere la relazione tra  $R_1$  e  $R_2$  per avere poca corrente  $I_2$  (?)



Noi consideriamo la  $V_{BE} = 0.7V$  per tutti i transistor.

Questa tensione alimenta i transistor  $Q_3$  e  $Q_4$



La tensione che ho su  $R_1$  è la tensione sulla base di  $Q_3$  meno  $V_{BE3}$  quindi

$$I_2 R_2 + V_{BE7} - V_{BE3} = I_2 R_1$$

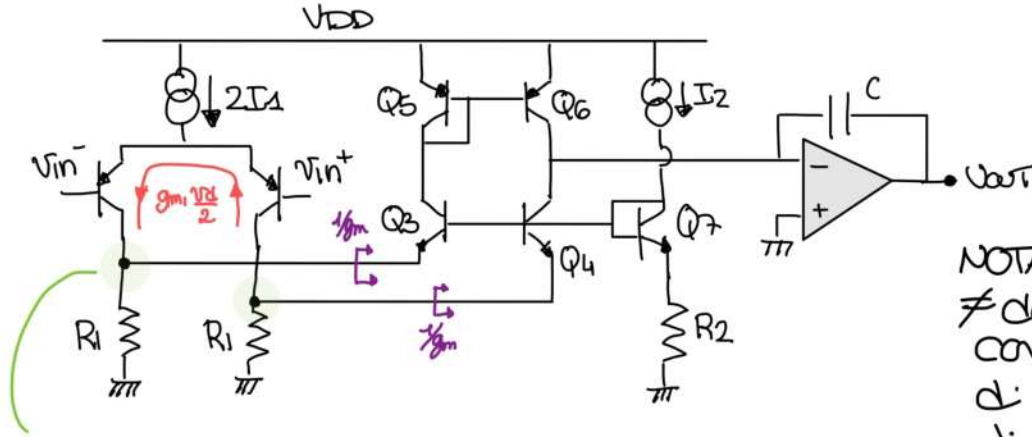
Quindi la corrente su  $R_1$  è  $\frac{I_2 R_2}{R_1}$  (che deve essere  $>$  di  $I_1$ )



Dato che vogliamo  $I_2$  piccola (per poche perdite) e dato che dobbiamo avere  $\frac{I_2 R_2}{R_1} > I_1$  allora  $\frac{R_2}{R_1}$  deve essere grande.

( $I_1 < \frac{I_2 R_2}{R_1}$  e' ovvio perché su  $R_1$  devono somarsi le correnti di bias dei 2 stadi)

## 2) Guadagno di frequenza

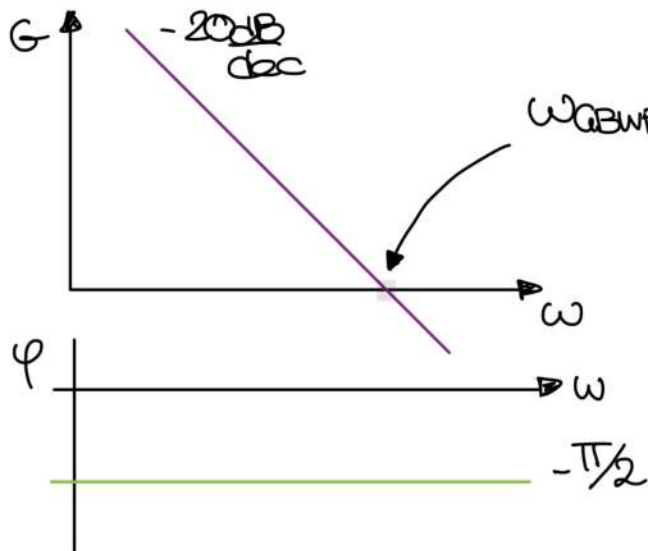


NOTA: anche se  $\beta$  fosse  $\neq$  da  $\infty$  noi dovremmo considerare l'impedenza di  $Q_7$  perché le basi di  $Q_3$  e  $Q_4$  sono come un AC ground.

Dobbiamo considerare la current division (ovvero  $R_1 \gg 1/g_{m1}$ )

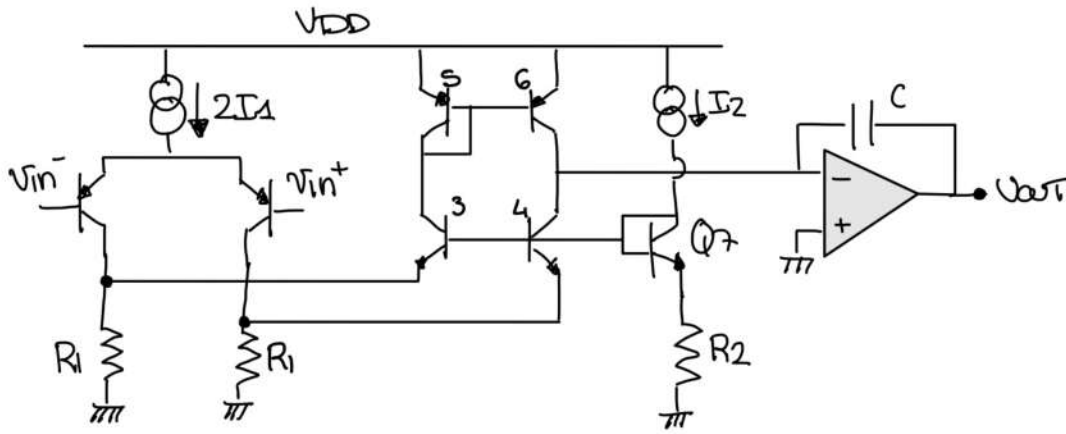
$$\text{Guadagno} = g_{m1} \cdot \left(\frac{V_d}{2}\right) \cdot \frac{g_{m3} R_1}{1 + g_{m3} R_1} \cdot 2 \cdot \frac{1}{sC}$$

Bode diagram del guadagno



Questo perché noi supponiamo il 2° stadio come un integratore ideale (quindi il  $g_m$  in DC sarebbe infinito. Nella realtà dato che il 2° stadio non è ideale abbiamo un  $G$  finito)

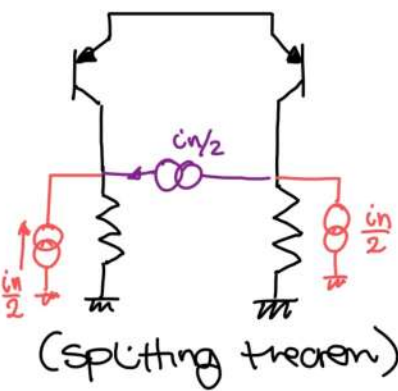
Calcoliamo adesso il rumore (solo collector shot noise per i BJT)



Rumore dato da  $R_1$ :

Supponendo che il circuito sia esattamente fully differential

Le componenti di common mode non danno rumore. Allora perdiamo solo le componenti di Common mode, quindi:



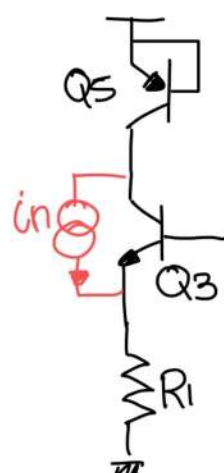
$$-g_{m5} \cdot \frac{v_{cm}}{2} = \frac{i_n}{2}$$

$$\rightarrow \overline{E_n^2} = \frac{4KT}{R_1} \cdot \frac{1}{g_{m1}^2} \quad (\text{del singolo resistore})$$

Si poteva usare anche l'half circuit di secondo me era più facile

Rumore dato da  $Q_3$  e  $Q_4$ :

Qui vediamo subito che sono dei cascode e se  $R_1 \gg 1/g_{m3}$  allora tutto il rumore marcia. Nella realtà abbiamo



$$i_{R1} = i_n \cdot \frac{1/g_{m3}}{R_1 + 1/g_{m3}} = i_n \cdot \frac{1}{1 + g_{m3}R_1}$$

(che in pratica è già all'uscita)

Perciò il guadagno da input a output è

$$G = v_n \cdot g_{m1} \cdot \left[ \frac{g_{m3} \cdot R_1}{1 + g_{m3}R_1} \right] = i_n \cdot \left( \frac{1}{1 + g_{m3}R_1} \right)$$

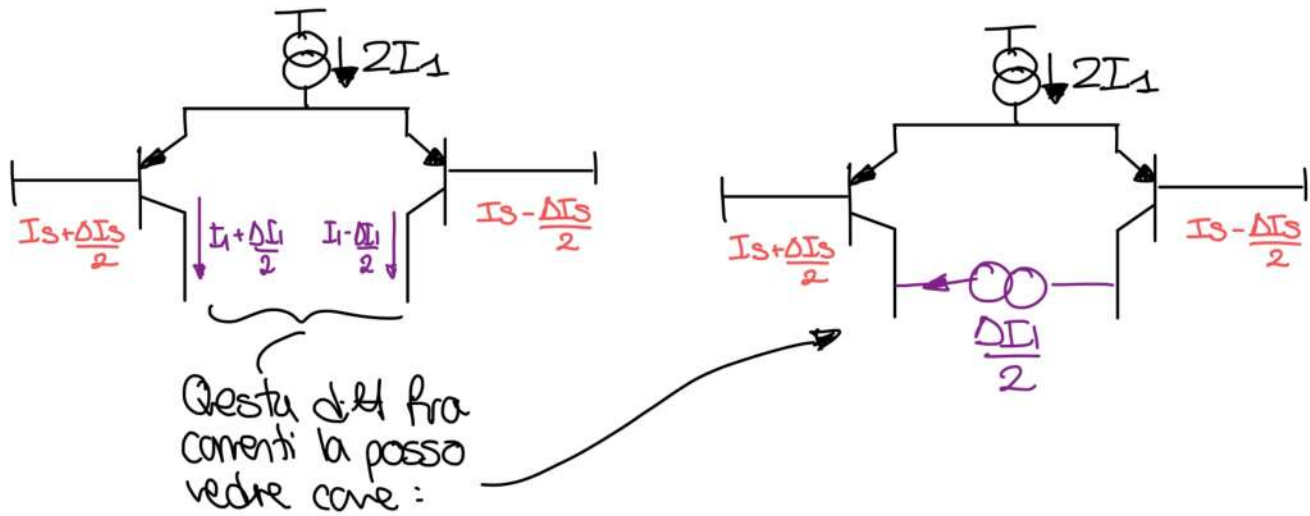
Perciò

$$\overline{E_n^2} = \frac{2q I_{CQ3}}{g_{m1}^2} \cdot \frac{1}{(g_{m3}R_1)^2}$$

# OFFSET degli input transistors

(Offset dato da una differenza della corrente di saturazione  $I_S$ )

[Vediamo come farlo in 2 modi diversi]



Nci sappiamo che  $\frac{\Delta I_1}{I_1} = \frac{\Delta I_S}{I_S}$

Allora nci vediamo che  $\frac{V_{OFF} \cdot g_{m1}}{2} = \frac{\Delta I_1}{2} \rightarrow V_{OFF} = \frac{\Delta I_1}{I_1} \cdot \frac{I_1}{g_{m1}} = \frac{\Delta I_S}{I_S} \cdot V_{th}$

Più nello specifico

$$\sigma_{V_{OFF}}^2 = \sigma_{\frac{\Delta I_S}{I_S}}^2 (V_{th})^2$$

Oppure l'altro metodo si basa sull'assunzione che le 2 correnti di uscita siano uguali. Perciò devo zero delle  $V_{BE}$  diverse tra i 2 BJT per cui i 2 transistor sono diversi.

Allora

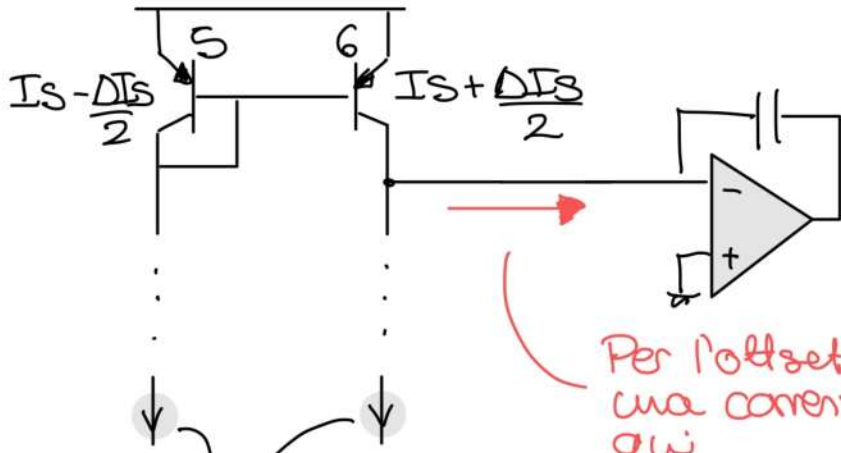
$$\begin{aligned} V_{OFF} &= V_{th} \cdot \ln \left[ \frac{I_1}{I_S - \frac{\Delta I_S}{2}} \right] - V_{th} \cdot \ln \left[ \frac{I_1}{I_S + \frac{\Delta I_S}{2}} \right] \\ &= V_{th} \cdot \ln \left[ \frac{I_S + \frac{\Delta I_S}{2}}{I_S - \frac{\Delta I_S}{2}} \right] \\ &= V_{th} \cdot \ln \left[ \frac{1 + \frac{\Delta I_S}{2 I_S}}{1 - \frac{\Delta I_S}{2 I_S}} \right] \approx V_{th} \ln \left[ 1 + \frac{\Delta I_S}{I_S} \right]^2 \end{aligned}$$

QUESTO METODO NON MI PIACE!!!

$$e^{(1+x)} \approx x$$

$$\approx 2V_{th} \cdot \ln \left[ 1 + \frac{\Delta I_S}{2I_S} \right] \approx 2V_{th} \frac{\Delta I_S}{2I_S} \approx V_{th} \frac{\Delta I_S}{I_S}$$

OFFSET DI 5 e 6 (l'offset di 3,4 non è molto importante perché c'è il cascode)



non ho capito bene come sia arrivato a questo valore

Per l'offset ho una corrente extra qui

$$\Delta I = I_{C3,4} \cdot \left( \frac{\Delta I_S}{I_S} \right)$$

$$\left( I_2 \frac{R_2}{R_1} - I_1 \right) = I_{C3,4}$$

(dovrebbe essere la corrente sulla resistenza  $R_1$ )

Adesso devo trovare l'offset voltage che mi da questa corrente

$$\frac{V_{OFF}}{2} \cdot g_{m1} \left[ \frac{g_{m3} R_1}{1 + g_{m3} R_1} \right] \cdot 2 = \Delta I = I_{C3,4} \cdot \left( \frac{\Delta I_S}{I_S} \right)$$

$$V_{OFF} = \frac{I_{C3,4}}{g_{m1}} \cdot \left( \frac{1 + g_{m3} R_1}{g_{m3} R_1} \right)$$

Non è la  $V_{th}$  perché la corrente non è quella del transistor 1

- è possibile perdere il circuito originale e usare un load attivo? la risposta è sì e non necessitiamo di un CM feedback (è un folded cascode single ended normale) Non ci serve il CM feedback perché abbiamo un mirror CM ci salva da tutti i problemi.

Quali sono i vantaggi di un carico attivo?

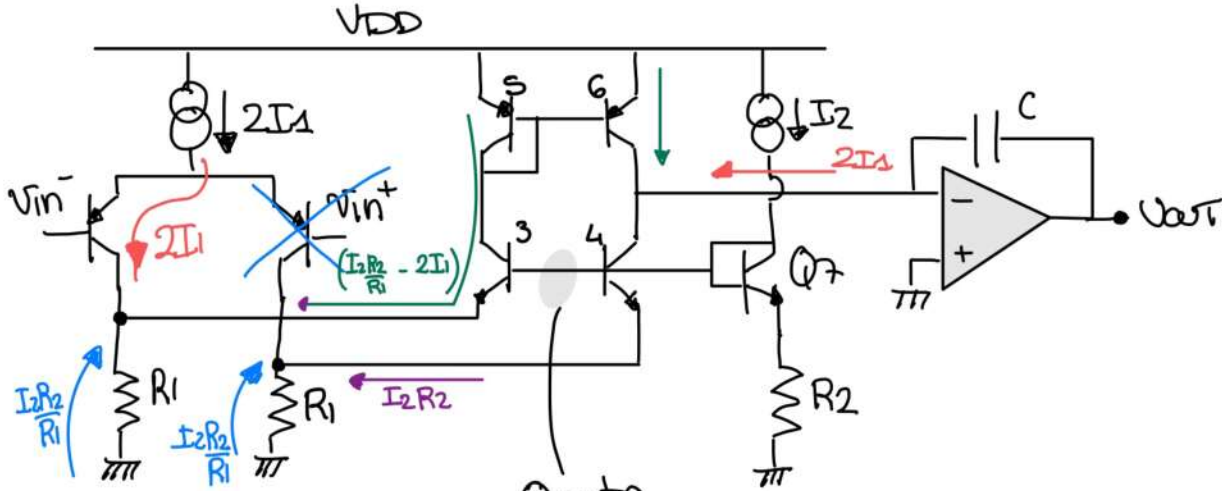
- ✓ non perdiamo tanto nel partizionare per il guadagno
- ✓ ci va meglio per il bias e per la dinamica (perché se la resistenza  $R_L$  è grande rischiamo di avere caduta troppo alta)
- ✗ Rumore, infatti il rumore del carico attivo è certamente maggiore di quello dei resistori. (Non sappiamo che un carico attivo è + rumoroso di un resistore)

$$\frac{2q I_A}{g_{m1}^2} > \frac{4KT}{R_L} \cdot \frac{1}{g_{m1}^2} \rightarrow I_A \cdot R_L > \frac{2KT}{q} \quad \text{50mV}$$

Quindi se la caduta sul resistore è maggiore di 50mV e noi non conviene mettere un carico attivo.

• Slew rate

(è un casino quando abbiamo resistenze sul path del segnale) facciamo un'analisi completa del circuito.



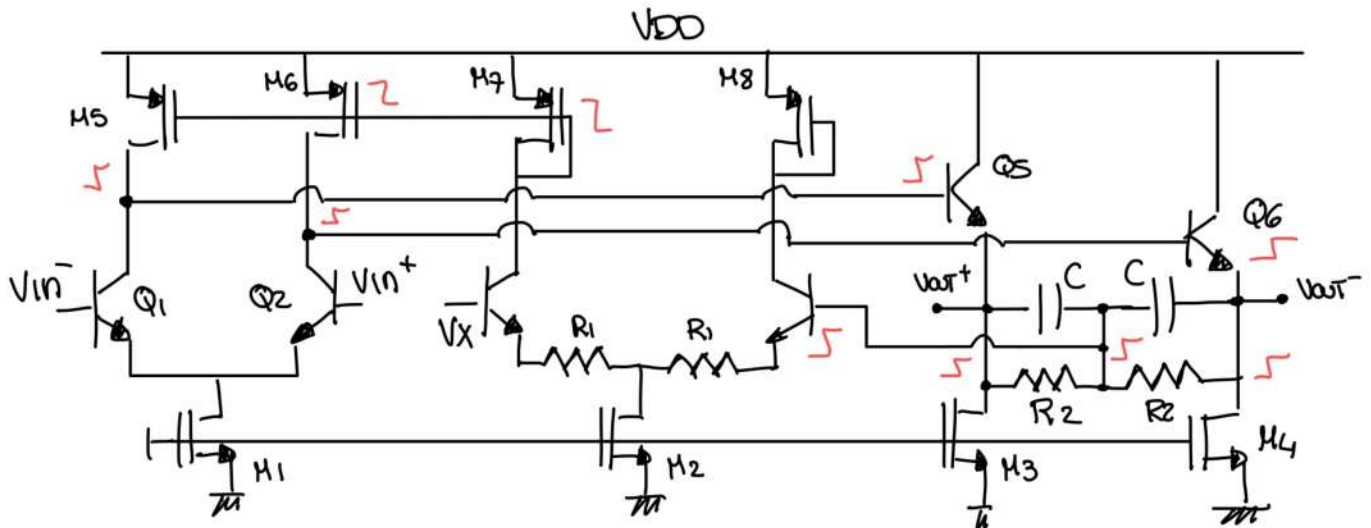
Non mi è del tutto chiaro perché entrambe le resistenze abbiano la stessa caduta (forse non può essere molto diversa perché se lo fosse la corrente di Q3 e Q4 sarebbe molto diversa).

Questo punto non cambia ed è  $I_2 R_2 + V_{BE}$  ma noi sappiamo che se la corrente varia molto  $V_{BE}$  varia poco.

Abbiamo implicitamente assunto che  $I_2 \frac{R_2}{R_1} > 2I_1$ , allora

$$SR = \frac{2I_1}{C}$$

Altro Esercizio

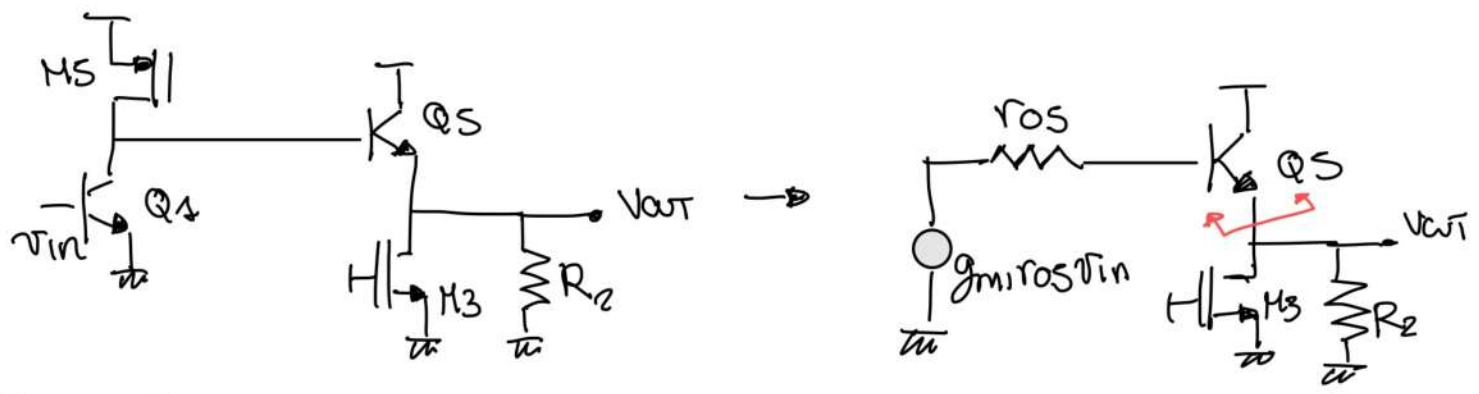


È un fully differential circuit implementato a bipolari

Vediamo subito che Q5,6 sono stage emitter follower. Vediamo poi che lo stadio centrale è un CM feedback. Il CM feedback legge la tensione su  $R_2$  e poi con lo stadio differenziale centrale controlla la tensione (corrente) di M5,6. M8 serve solo per simmetria.

la Output è  $V_x$  quindi la tensione sulle basi di  $Q_5$  è  $V_x + V_{th}$

1) Gain in DC (consideriamo l'half circuit)



$\beta$  non infinito. allora

$$\frac{V_{out}}{v_{in}} = -g_{m1} \cdot r_{O5} \left[ \frac{r_{O3} / R_2}{r_{O3} / R_2 + \frac{r_{O5} + 1}{\beta g_{m5}}} \right] \approx 1$$

Ma se per noi considero solo  $r_{O5}$  qui

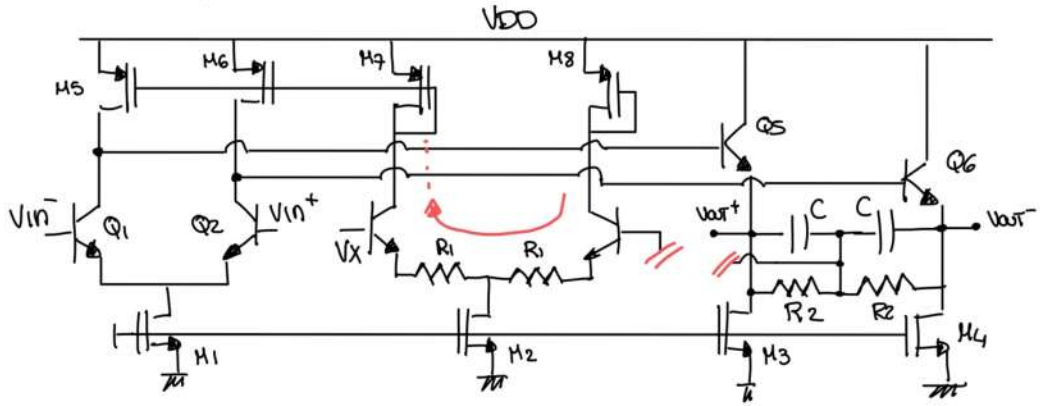
2) Guadagno tra  $Q_{in}$  e  $Q_{out}$  (buffer ideale)

Open loop  $Q_{in}$  gain

$$\frac{V_{out}}{V_{in}} \Big|_{OPEN LOOP} = -\frac{1}{2} \cdot r_{O5} \cdot 1$$

Qui sono abbastanza convinto sia solo questa la resistenza da mettere perché abbiamo la resistenza di common mode.

Ora analizziamo il Gloop a frequenza 0 del  $Q_{in}$  feedback. taglio sulla base di  $Q_4$  (darei ricostruire l'impedenza ma noi sappiamo  $\beta$  molto grande)



$$G_{loop}(0) = -\frac{1}{2 \left[ R_1 + \frac{1}{g_{mQ3}} \right]} \cdot \frac{1}{g_{mH7}} \cdot g_{mH5} \cdot r_{O5} \quad (\text{buffer ideale})$$

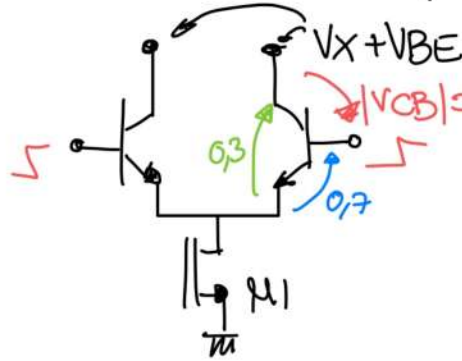
Perciò il quoziente in closed loop è

$$\frac{V_{out}}{V_{in}} \Big|_{\text{closed loop}} = \frac{-\frac{1}{r_{oM1}} \cdot \frac{1}{2} \cdot r_{oM5}}{1 + \frac{1}{2} \cdot \frac{1}{\left[\frac{1}{g_{m03}} + R_1\right]} \cdot \frac{1}{g_{m7}} \cdot g_{m5} \cdot r_{o5}}$$

$$\approx -\frac{1}{r_{oM1}} \cdot \frac{g_{m7}}{g_{m15}} \left[ \frac{1}{g_{m03}} + R_1 \right]$$

3) Perché i 2 resistori  $R_1$  sono utilizzati?  
 il resistore  $R_1$  è lì per aumentare la dinamica dello stage del CM feedback. Noi non vogliamo infatti che lo stadio saturi ( $V_x \pm 50mV$  è la tensione che lo fa saturare)  
 per aumentare questo valore noi mettiamo questi resistori.  
 lo svantaggio di questa tecnica è che riduciamo il  $G_{loop}$  del CM feedback.

4) Max e min input/output Common Mode



dato del CM feedback  
 $V_{CB} = 0.4V$   
 Supponendo min  $V_{CB} = 0.4V$  allora  
 $V_{outMAX} = V_x + V_{BE} + V_{CB_{SAT}}$

$$V_{outMIN} = V_{out1} + 0.7 \text{ (VBE)}$$

4) Influenza delle capacitività C sul differential gain?

$$G_{diff} = g_{m1} r_{oM5} \cdot \frac{r_{oM3} // R_2 // \frac{1}{sC}}{r_{oM3} // R_2 // \frac{1}{sC} + \frac{1}{g_{m5}} + \frac{r_{oM5}}{\beta}}$$

Per semplificare i conti noi definiamo  $R_E = r_{oM3} // R_2$

$$R_E // \frac{1}{sC} \rightarrow \frac{R_E}{1 + sC R_E}$$

Perciò  $G_{loop}(s) = g_{m1} r_{oM5} \frac{\frac{R_E}{1 + sC R_E}}{\frac{R_E}{1 + sC R_E} + \frac{1}{g_{m5}}}$

Ma perché sono state usate queste capacità? (Abbiamo visto che sono un problema per il diff. gain.)

Le capacità sono messe per il common mode feedback, il prof crede siano per fare una zero pole compensation per la rete di CM feedback.

09.11.2022

3h

## Bandgap reference

L'energy gap nel silicio è 1,12 eV (da moltiplicare per  $1,6 \cdot 10^{19}$  per avere l'energia in Joule)

il Bandgap reference da una tensione invariante della temperatura  $\frac{\partial V_{ref}}{\partial T} = 0$ . Oltretutto il circuito è circa invariante anche dal processo e dalle variazioni della power supply.

Nci sappiamo che

$$V_{th} = \frac{kT}{q} \quad PTAT \text{ (proportional to absolute temperature)}$$

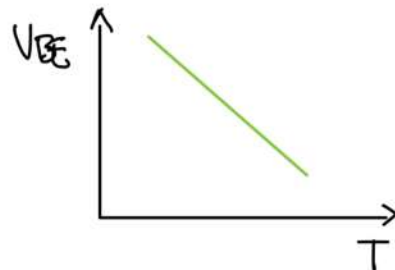
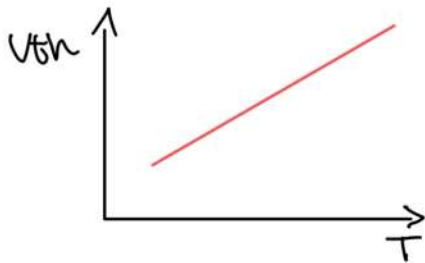
$$\frac{\partial V_{th}}{\partial T} = \frac{k}{q} \approx 0,085 \frac{mV}{^\circ} \quad (\text{Sale con la temperatura})$$

Allora possiamo pensare di prendere qualcosa che scende con la temperatura, tipo  $V_{BE}$

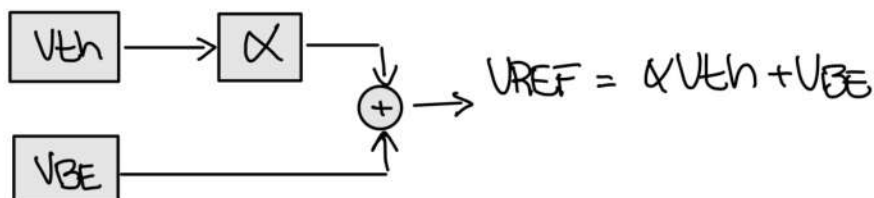
$$\frac{\partial V_{BE}}{\partial T} \approx -2 mV/^\circ \quad (\text{è di da calcolare, lo fanno dopo})$$

Si dice che  $V_{BE}$  è **Complementary to absolute value [CTAT]**

Allora



L'idea è quella di avere una  $V_{th}$  e una  $V_{BE}$ . moltiplicare per una costante per avere pendenza tra le 2 variabili uguale e quindi abbiamo in uscita una roba che non varia con la temp.



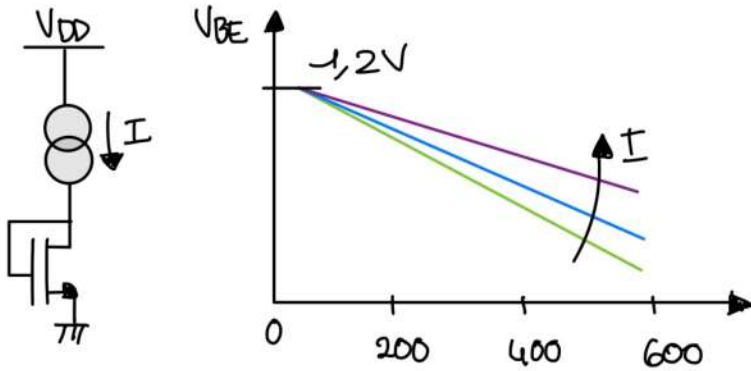


$$\frac{\partial V_{REF}}{\partial T} = \alpha \left( \frac{K}{q} \right) + \frac{\partial V_{BE}}{\partial T} = 0$$

Se ad esempio  $\frac{\partial V_{BE}}{\partial T} = -2 \text{ mV}/^\circ$  allora  $\alpha = \frac{2}{9085} \approx 22$

Ma dobbiamo andare più a fondo nella discussione.

Prendiamo un transistor e plottiamo la  $V_{BE}$  in funzione della temperatura.



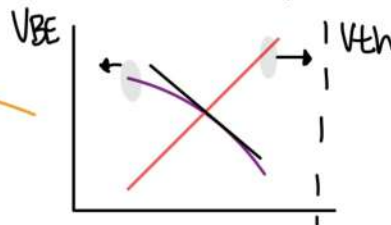
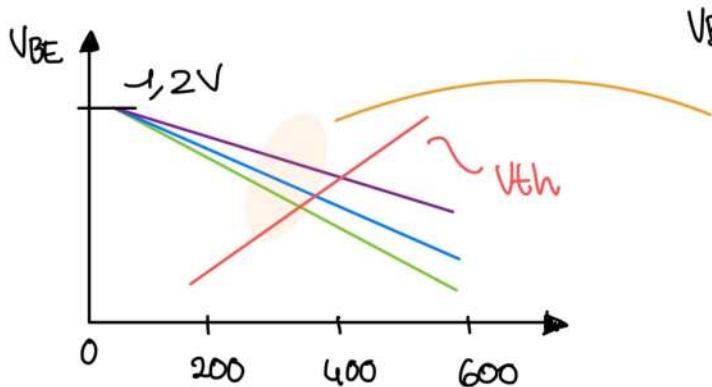
Notiamo che la pendenza della retta varia in base alla corrente. Quindi la costante  $\frac{\partial V_{BE}}{\partial T}$  varia in base a  $I$ .

(Quindi non è sempre  $-2 \text{ mV}/^\circ$ )

Notiamo poi che tutte le rette vanno a convergere a  $\approx 1,2 \text{ V}$

Se cambiamo la corrente per avere il matching con  $V_{th}$  devo anche variare il coefficiente  $\alpha$  che quindi non è fisso.

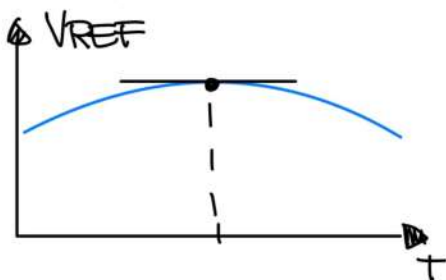
Il valore di tensione  $1,2 \text{ V}$  è legato al bandgap.



Nella retta  $V_{BE}$  è un po' curvata ma è una retta perfetta.

Quindi noi abbiamo la compensazione della pendenza (con  $V_{th}$ ) solo per un intorno del punto.

Dato questo fatto la tensione di riferimento è



Questo fenomeno si chiama Curvature of the bandgap (nella retta si piega poco quindi è  $\approx$  indipendente da  $T$ , almeno al primo ordine).

Analizziamo il perché del comportamento della  $V_{BE}$

Studiamo la caratteristica del BJT

$$I_C = I_S e^{\frac{V_{BE}}{V_{th}}}$$

Abbiamo sia  $V_{th}$  sia  $I_S$  (che ha una grande dipendenza da  $V_{th}$ )

$$I_S = A \cdot q \cdot D_n \cdot \frac{n_i^2}{N_A W_B} \rightarrow \text{è proporzionale a } T^3 \cdot e^{-\frac{E_g}{kT}}$$

$$D_n = \mu_n \frac{kT}{q}$$

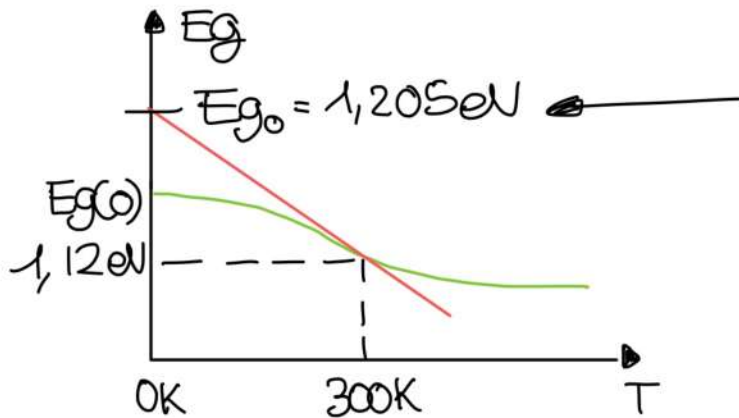
$$\propto T^m \quad (m \approx -1,5)$$

Perciò alla fine possiamo dire che la dipendenza di  $I_S$  dalla temperatura è esprimibile come:

$$I_S = b \cdot T^{4+m} \cdot \exp\left(-\frac{E_g(T)}{kT}\right)$$

Nel mondo reale anche l'energy gap dipende dalla temperatura (non fortemente ma dipende)

L'energy gap ha una dipendenza del tipo:

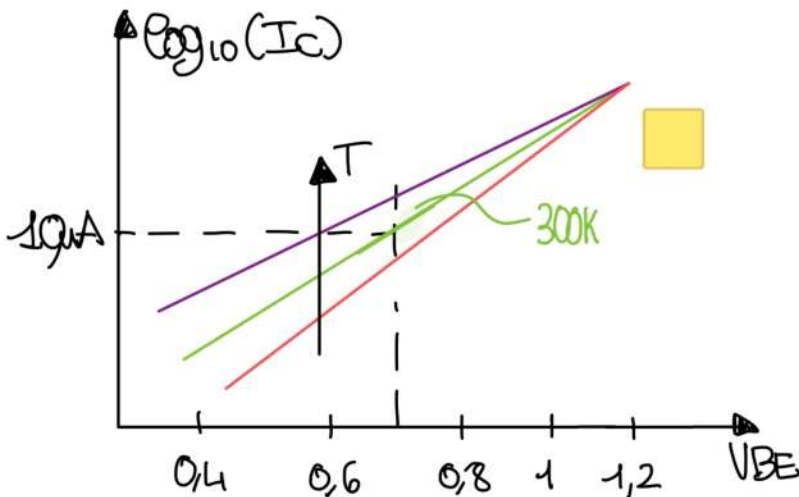


è il valore che troviamo su  $C_{ibi}$  è il valore dell'energy gap interpolato a  $\emptyset$ . Cioè grazie la deriva dell'energy gap a 300K e prologo fino all'asse. L'incrocio con l'asse è la max  $E_{g0}$ .

Studiamo dunque la variazione della corrente di collettore della temperatura

$$I_C = I_S \cdot \exp\left(\frac{V_{BE}}{V_{th}}\right)$$

$$b T^{m+4} \cdot \exp\left(-\frac{E_g/q}{kT/q}\right)$$



La pendenza delle curve non è la stessa e dipende dalla temperatura. Per di più se la temperatura aumenta la corrente del collettore del transistor.

$$V_{BE}(I_C) - V_{BE}(I_S) = \frac{V_{BE}}{U_{Th}}$$

Supponendo che  $T$  non cambi noi vogliamo vedere che varia la  $V_{BE}$  se  $I_C$  cambia di un fattore 10

$$V_{BE}(10I_C) - V_{BE}(I_S) = \frac{V_{BE} + \Delta V_{BE}}{U_{Th}}$$

Da cui  $\Delta V_{BE} = U_{Th} - \frac{V_{BE}(I_S)}{10} \approx 2,3$

a  $T = 300K$   $U_{Th} = 25,8 mV$  quindi  $\Delta V_{BE} \approx 60 mV$

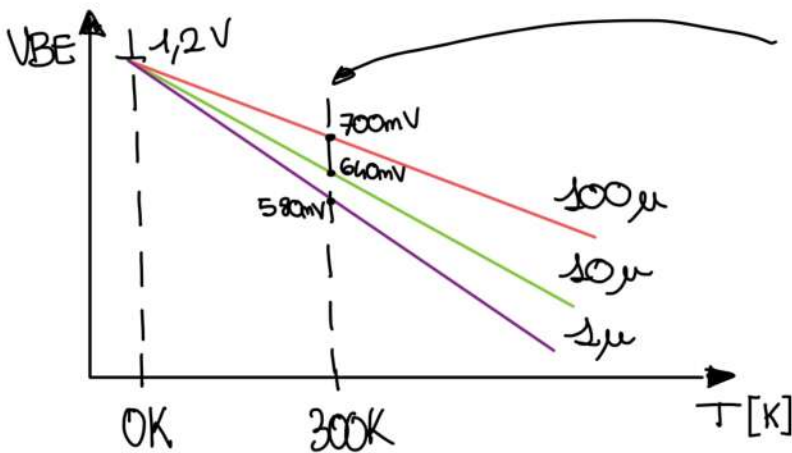
a  $T = 400K \rightarrow \Delta V_{BE} \approx 80 mV$

a  $T = 200K \rightarrow \Delta V_{BE} \approx 40 mV$

(Quindi per aumentare di 10 volte la corrente devo varare di 60/80/40 mV la  $V_{BE}$ )

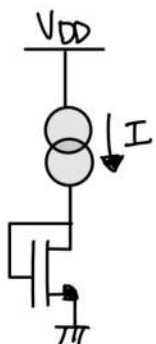
Che in se e' la spiegazione del perché ci sono diverse pendenze in base alla temperatura.

Analizziamo ora direttamente  $V_{BE}$  e la temperatura.



Ovviamente vediamo che > e' la  $V_{BE}$  maggiore e' la corrente. Notiamo che ogni fattore 10 abbiamo una variazione di  $V_{BE}$  di 60mV come detto sopra. (a 400K erano 80mV)

E' possibile ricavare questa dipendenza "lineare" dalle equazioni? Si:



Impostiamo una corrente e misuriamo la  $V_{BE}$

$$I_C = I_S \exp\left(\frac{V_{BE}}{U_{Th}}\right) = bT^{m+4} \exp\left(\frac{-E_g/q + V_{BE}}{U_{Th}}\right)$$

Allora noi sappiamo che questo sia costante (non dipende da  $T$ )

Questa e' la grande dipendenza dalla temperatura

Allora noi ricaviamo il comportamento lineare

$$V_{BE} = \frac{KT}{q} \ln \left[ \frac{I_C}{C} \right] + \frac{KT}{q} \frac{E_g}{KT} \quad C = bT^{m+4} \text{ (costante)}$$

Questa è la pendenza negativa. Diciamo che quando questo valore va a 0 noi finiamo al valore dell'energy gap.

[Per capire meglio che la pendenza è negativa la formula può essere scritta così)

$$\blacksquare V_{BE} = - \frac{KT}{q} \ln \left[ \frac{C}{I_C} \right] + \frac{E_g}{q}$$

Se noi non consideriamo la dipendenza di  $I_C$  da  $bT^{m+4}$  abbiamo che  $V_{BE}$  è una retta con la temperatura. Se lo consideriamo abbiamo quel bending che vediamo visto in precedenza.

Perciò noi idealmente se mettiamo la pendenza tramite la  $V_{th}$  diamo zero una tensione fissa pari all'energy gap (1,2V) ma nella realtà no sia perché dobbiamo considerare ( $bT^{m+4}$  e il fatto che  $E_g$  dipenda dalla temp (lo stesso))

Adesso vogliamo considerare anche queste variazioni. (quindi non siamo più lineari)

Iniziamo considerando una  $T$  fissa e una corrente costante e facciamo la derivata  $\partial V_{BE} / \partial T$ .

$$V_{BE} = V_{th} \ln \left( \frac{I_C}{I_S} \right)$$

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{th}}{T} \ln \left[ \frac{I_C}{I_S} \right] + V_{th} \cdot \frac{1}{\frac{I_C}{I_S}} \left( - \frac{\partial I_S}{\partial T} \right) \cdot \frac{I_C}{I_S^2}$$

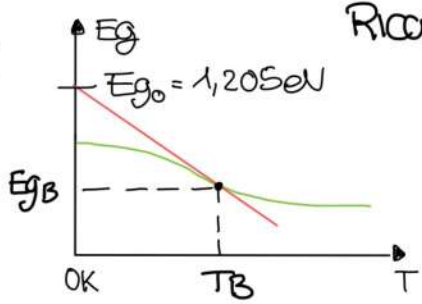
$$= \frac{V_{th}}{T} \ln \left[ \frac{I_C}{I_S} \right] - \frac{V_{th}}{I_S} \frac{\partial I_S}{\partial T}$$

$$\text{Ricordiamo che } I_S = bT^{m+4} \exp \left( - \frac{E_g}{KT} \right)$$

Perciò

$$\frac{\partial I_S}{\partial T} = b(m+4)T^{m+3} \exp \left( - \frac{E_g}{KT} \right) + bT^{m+4} \left( \frac{E_g}{KT^2} - \frac{1}{KT} \frac{\partial E_g}{\partial T} \right)$$

Ricordiamo



$$= \frac{Eg}{KT^2} \left[ 1 - \frac{T}{Eg} \cdot \frac{\partial Eg}{\partial T} \right] = - \frac{Eg_0 - Eg_B}{T_B}$$

$$= \frac{Eg_B}{KT_B^2} \left[ 1 + \frac{T_B}{Eg_B} \cdot \frac{Eg_0 - Eg_B}{T_B} \right]$$

$$= \frac{Eg_0}{KT_B^2} \quad \leftarrow \text{Dove } Eg_0 \text{ è l'energy gap estrapolato a } 0K.$$

Possiamo dunque ricavare il tutto (ovviamente tutto quello sotto ricorrendo a una determinata temperatura  $T_B$ )

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{th}}{T} \ln \left[ \frac{I_C}{I_S} \right] - \frac{V_{th}}{T_S} \frac{\partial I_S}{\partial T}$$

$$= \frac{V_{th}}{T} \frac{b(4+m)T^{3+m} \exp(-Eg/KT)}{bT^{4+m} \exp(-Eg/KT)} + \frac{V_{th} b T^{m+4} \exp(-Eg/KT) \cdot \frac{Eg_0}{KT^2}}{bT^{4+m} \exp(-Eg/KT)}$$

$$= \frac{V_{th}}{T} (4+m) + V_{th} \frac{Eg_0}{KT^2}$$

Quindi risolvendo tutto otteniamo:

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{th}}{T} \ln \left( \frac{I_C}{I_S} \right) - \frac{V_{th}}{T} \cdot \frac{\partial I_S}{\partial T}$$

$\left. \begin{array}{l} \phantom{\frac{\partial V_{BE}}{\partial T} =} \\ \phantom{\frac{\partial V_{BE}}{\partial T} =} \end{array} \right\} = V_{BE}/T$

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4+m)V_{th} - \frac{Eg_0}{q}}{T}$$

← Questa va calcolata per una specifica  $T_B$   
Quindi avremo:

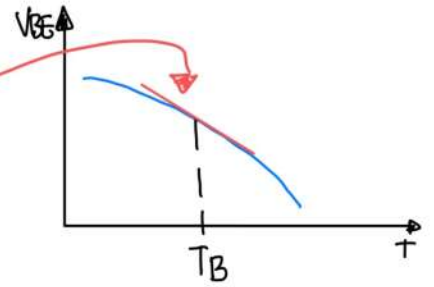
$$\left( \frac{\partial V_{BE}}{\partial T} \right)_{T_B} = \frac{V_{BE_B} - (4+m)V_{th_B} - \frac{Eg_0}{q}}{T_B} \quad (\text{dove } q \text{ è un numero})$$

Vediamo che con  $T_B = 300K$  e  $m = -1,5$  otteniamo  $\frac{\partial V_{BE}}{\partial T} = -1,89 mV/K$

perciò in questo particolare caso dobbiamo mettere questa pendenza.

(Se vediamo temperatura o corrente vediamo anche la pendenza)

In pratica noi abbiamo voluto questa derivata:



Perciò ricordando cosa vogliamo fare noi dobbiamo avere che

$$V_{REF} = V_{BE} + \alpha V_{th}$$

e avere che  $\left. \frac{\partial V_{REF}}{\partial T} \right|_B = \left( \frac{\partial V_{BE}}{\partial T} \right)_B + \alpha \left( \frac{V_{th}}{T} \right)_B = 0$

da qui

$$\left( \frac{\partial V_{BE}}{\partial T} \right)_B = -\alpha \frac{V_{thB}}{T_B}$$

più nello specifico

$$\frac{V_{BEB} - (1+m)V_{thB} - E_{g0}/q}{T_B} = -\alpha \frac{V_{thB}}{T_B}$$

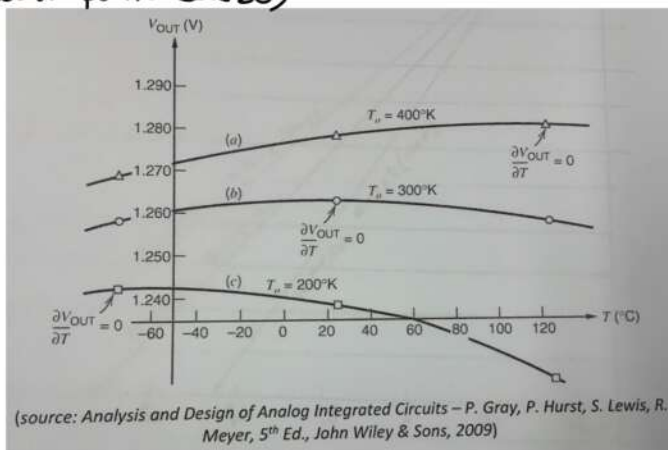
E da qui posso riscrivere  $V_{REFB}$  come:

$$V_{REFB} = \frac{E_{g0}}{q} + (1+m)V_{thB}$$

a temperatura ambiente  $T=300K$   $V_{REF} \approx 1.26$

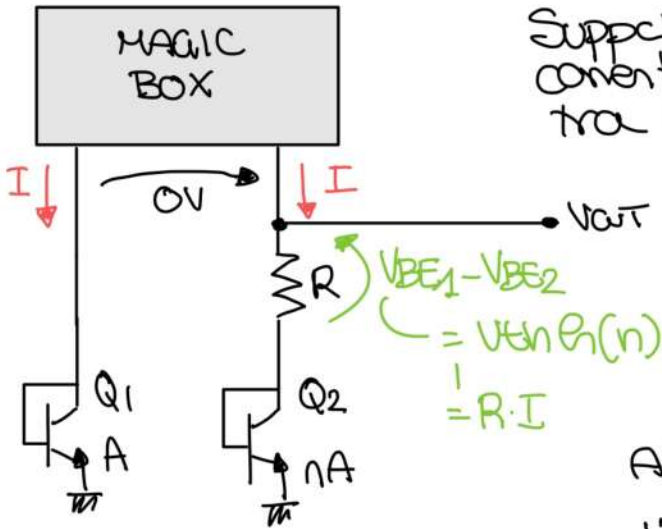
Si chiama bandgap reference perché dipende fortemente da  $E_{g0}$ .

Vediamo che a causa di  $(1+m)V_{th}$  abbiamo che  $V_{REF}$  non è perfettamente lineare ma è una curva (in realtà varia anche  $E_{g0}$  perché parte con l'intersezione da un punto diverso)



Quindi se vediamo che per variazioni di  $T$  molto grande la variazione di tensione rimane estremamente contenuta.

# CIRCUITI PER UN BANDGAP REFERENCIO.



Supponiamo una magic box che fornisca corrente uguale in 2 rami (con  $\beta$  tensione tra i rami)

I 2 transistor non possono essere uguali perché passa la stessa corrente ma  $V_{BE}$  sarebbe diversa  
Allora  $Q_2$  ha area  $n \cdot A$

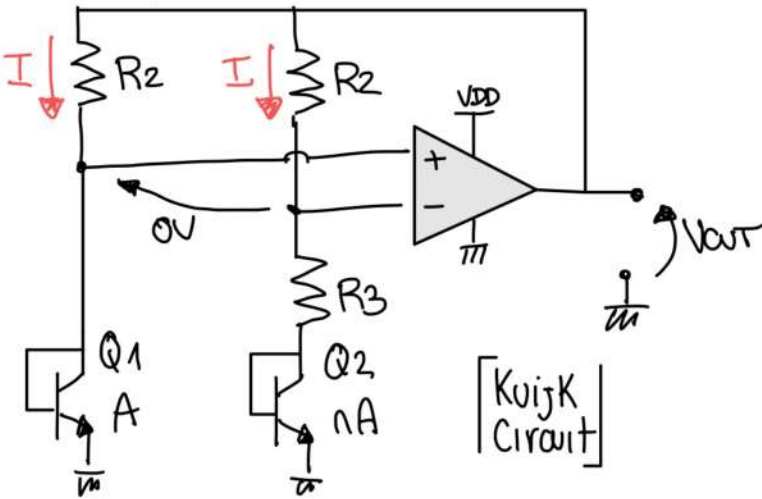
$$V_{BE1} - V_{BE2} = V_{th} \ln(n) = R \cdot I$$

Allora ho che

$$V_{out} = V_{BE2} + V_{th} \cdot \ln(n)$$

PROBLEMA!  $\ln(n)$  dovrebbe essere il mio  $\alpha$ , tuttavia  $n$  dovrebbe essere estremamente grande per farlo quindi ho un problema pratico di realizzazione.

Per risolvere questo problema possiamo fare (no start-up needed!!! xè il feedback è negativo)



il feedback è negativo

Che cosa setta la corrente?  
Semplice il loop del bandgap perché sappiamo che su  $R_3$  ho caduta pari a  $V_{th} \cdot \ln(n)$

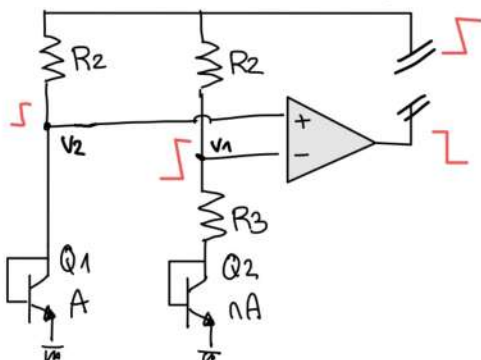
$$\text{Allora } I = \frac{V_{th} \cdot \ln(n)}{R_3}$$

ho quindi che la tensione di output è

$$V_{out} = V_{BE2} + V_{th} \ln(n) \left( 1 + \frac{R_2}{R_3} \right)$$

è il mio  $\alpha$ .  
(nell'ordine di 20 + o -)

Vediamo se il loop è veramente negativo



L'uscita è negativa perché su  $V_4$  lo step di tensione è maggiore di  $V_2$  questo perché il nodo  $V_4$  ha una maggiore resistenza rispetto a quello di  $V_2$ .

il problema del bandgap nelle tecnologie sottili odierne è che  $V_{BE} = 1,26V$  ma l'alimentazione è  $12V$ .

Quindi cosa facciamo?

- 1) esistono transistor ad alta alimentazione fatti apposta
- 2) Variamo l'architettura del design.

14.11.2022

Sh

Un bandgap reference fornisce una tensione indipendente da una variazione della temperatura e dell'alimentazione. (almeno al primo ordine)

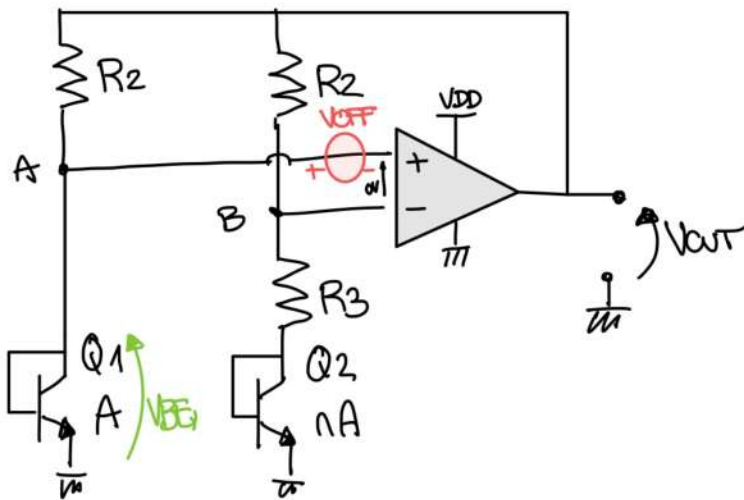
Ricordiamo infatti che

$$V_{REF} = V_{BE2} + V_{th} \ln[n] \left[ 1 + \frac{R_2}{R_3} \right] = E_{g0} + (4+m)V_{th}B$$

Vediamo che non c'è dipendenza da  $V_{DD}$

Una non idealità è data dalla dipendenza delle  $R$  dalla temp, tuttavia noi abbiamo un rapporto di rende le variazioni meno importanti.

Ricordiamo lo scorso circuito, solo consideriamo l'offset:



Tranne per l'offset l'opamp è ideale quindi: no cortocircuito virtuale tra i pin (dopo l'offset) allora

$$\underbrace{V^+}_{V_{BE1} - V_{OFF}} = \underbrace{V^-}_{V_{BE2} + R_3 I_{C2}}$$

Circa uguale perché i punti A e B non sono alla stessa tensione e quindi non ho esattamente la stessa corrente nei 2 rami. (ma noi non consideriamo questo errore)

Possiamo dunque scrivere che

$$I_{C2} = \frac{V_{BE1} - V_{BE2} - V_{OFF}}{R_3} \approx \frac{V_{th} \ln(n) - V_{OFF}}{R_3}$$

e dunque possiamo ricavare la tensione sul nodo di uscita

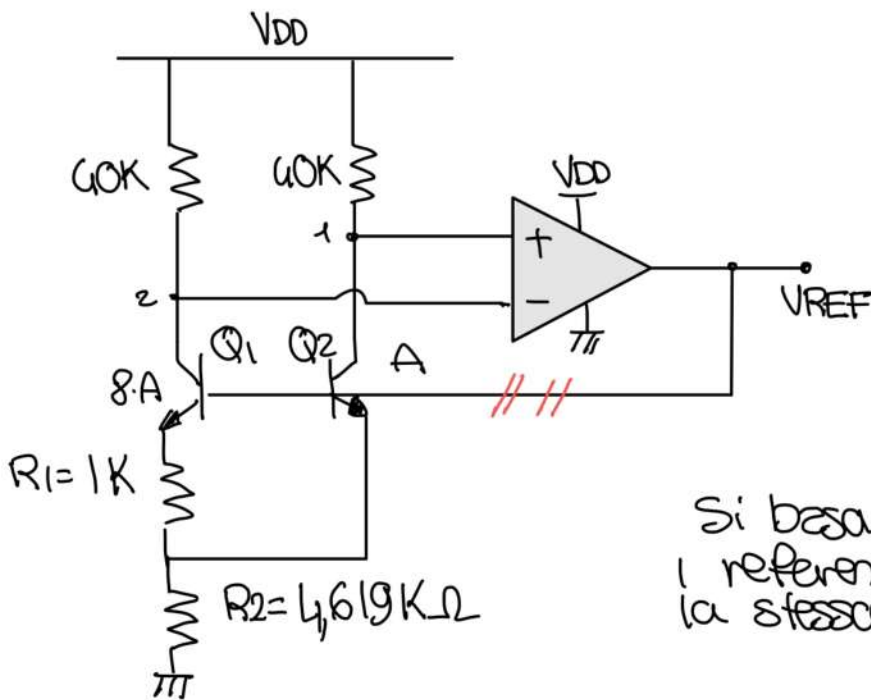
$$\begin{aligned} V_{REF} &= V_{BE2} + I_C [R_3 + R_2] \\ &= V_{BE2} + (V_{th} \ln(n) - V_{OFF}) \left( 1 + \frac{R_2}{R_3} \right) \end{aligned}$$

Vediamo che l'offset finisce qui. Non ci piace sia perché è amplificato sia perché non è qualcosa che controlliamo. Per ridurre l'offset si cerca di aumentare il più possibile  $V_{th} \ln(n)$



Altra struttura di un bandgap:

**BROKAW STRUCTURE** (è meno usata, probabilmente a causa della base current)



il circuito deve avere un feedback NEGATIVO.

(Q2 tira + corrente di Q1 quindi il nodo 1 cede + del nodo 2 e quindi vince 1 e l'output scende a sua volta).

Si basa sullo stesso concetto di tutti i reference, su Q1 e Q2 passa la stessa corrente.

Quale sarà la corrente sui rami? Vedo la caduta su R1, questa è

$$V_{BE2} - V_{BE1} = V_{th} \ln(8) \rightarrow I = \frac{V_{th} \cdot \ln(8)}{R_1 = 1K\Omega} \Big|_{T=300K} = 53,6 \mu A$$

Qual'è la caduta su R2?

$$V_{R2} = \frac{2V_{th} \ln(8)}{R_1} \cdot R_2 = V_{th} \cdot 19,2$$

Abbiamo dunque che

$$V_{REF} = V_{BE2} + 19,2 V_{th}$$

(il progettista di questo circuito ha fatto i conti e visto che  $\alpha$  doveva essere 19,2)

Ma dobbiamo anche ricordare che il bandgap è connesso ad un carico e noi non vogliamo che la corrente uscente del bandgap non mini il funzionamento corretto. Allora di norma si usano dei buffer (chiamati UDO) in uscita.

Ulteriormente noi abbiamo detto che

$$V_{REF} = \frac{E_{go}}{q} + (1+m) V_{thB}$$

ma non è corretta nel caso di questo circuito.

Questo perché abbiamo fatto un'assunzione (quando abbiamo derivato la formula) che non è soddisfatta in questo circuito.

Ma abbiamo detto che

$$V_{BE} = V_{th} \cdot \ln\left[\frac{I_C}{I_S}\right]$$

zuevno zsserto che  $I_C$  non vonebbe con la temperatura. per ricavare  $\frac{\partial V_{BE}}{\partial T}$

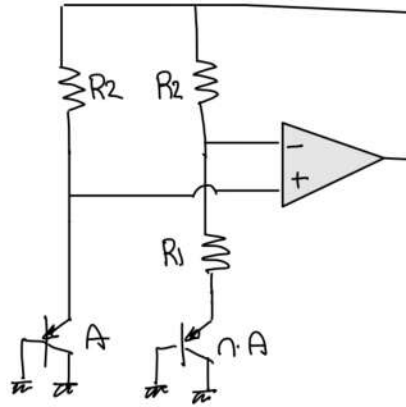
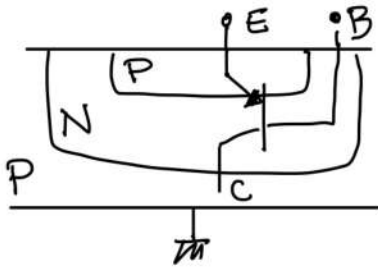
tuttavia nel nostro circuito sappiamo che  $I_C$  dipende dalla temperatura  $I = \frac{V_{th} \cdot \ln(8)}{R=1k\Omega}$ . Allora dobbiamo leggermente modificare

la formula della tensione di riferimento

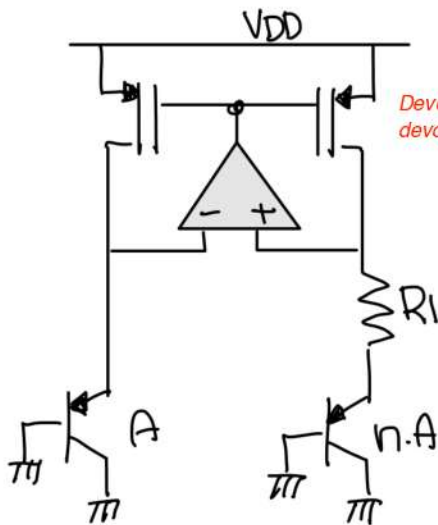
$$V_{REF} = \frac{E_{g0}}{q} + (3+m) V_{thB}$$

(Mi pare di capire che la stessa cosa accade anche nel circuito standard che zuevno ricevuto l'altro giorno) [non so se con la stessa formula]

E nel caso dei CMOS come facciamo una bandgap reference? Usiamo i BJT parassiti per ottenere una  $V_{BE}$ .



Un'altra possibile implementazione del Bandgap (sic in CMOS che BJT) e' la seguente



Voglio sempre un negative feedback

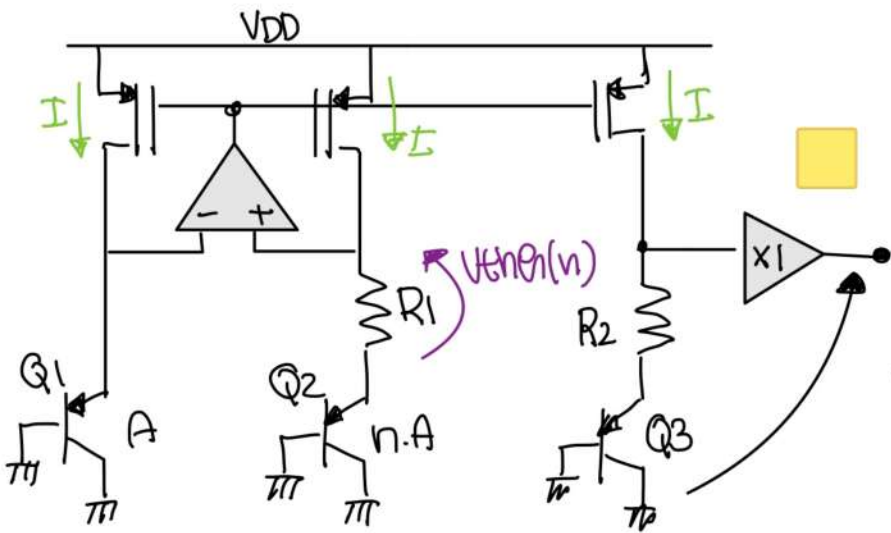
*Devo stare super attento al fatto che il mos mi faccia un'inversione quindi ho che la retroazione la devo fare sul pin + dell'opamp*

ho 2 gen di corrente ideali (i mos) che portano la stessa corrente

$$I = \frac{V_{th} \cdot \ln(n)}{R_1}$$

Ma io qua non vedo un bandgap, infatti manca, dobbiamo aggiungere qualcosa al circuito

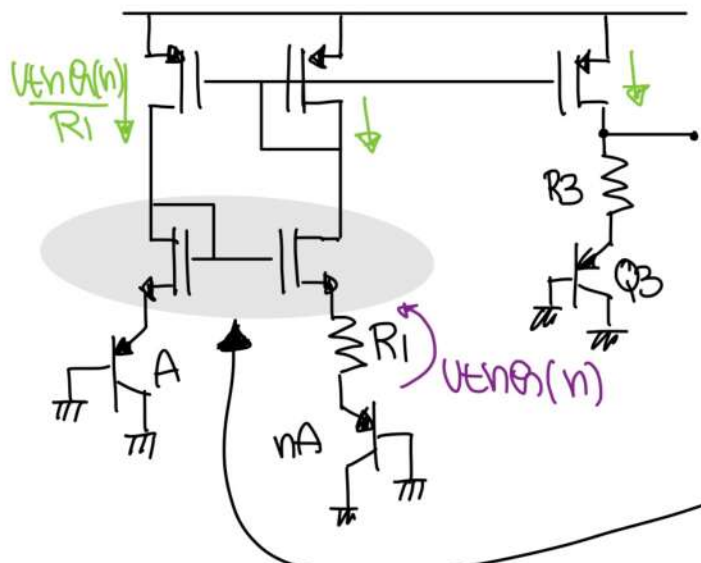
In pratica ci manca il punto che zioke = porre la tensione zmpu Riceta delle resistenze



$$V_{BE3} = V_{BE2} + \frac{R_2}{R_1} V_{th}(n)$$

In questo esempio è evidente che non posso connettere un carico direttamente all'output. Questo perché ho bisogno che tutta I vada in R2 e Q3.

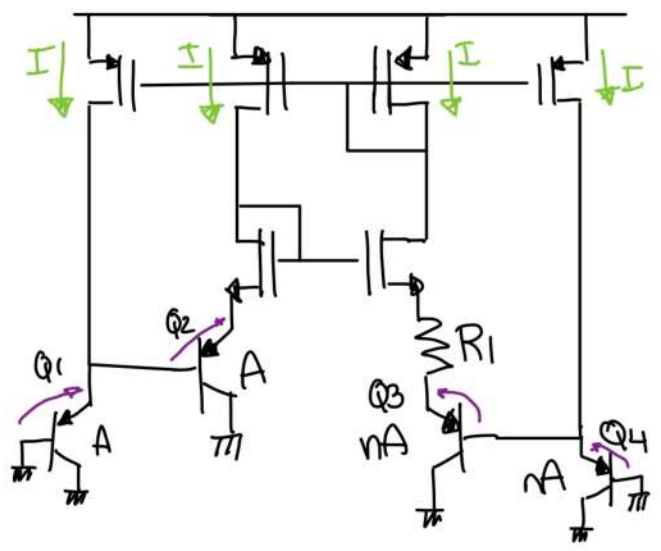
Comunque vediamo che il circuito funziona garantendo una PTAT current e spingendola in R2 e Q3. Allora noi potremo generare la corrente PTAT anche senza un opamp e usando i circuiti della scorsa settimana



$$V_{BE3} = V_{BE2} + \frac{R_3}{R_1} V_{th}(n)$$

Non abbiamo + l'opamp quindi niente + offset? In proprio l'equivalente dell'offset in questo circuito è la differenza della  $V_T$  tra questi 2 MOS

Una possibile soluzione è ridurre l'offset tra le  $V_T$  e:

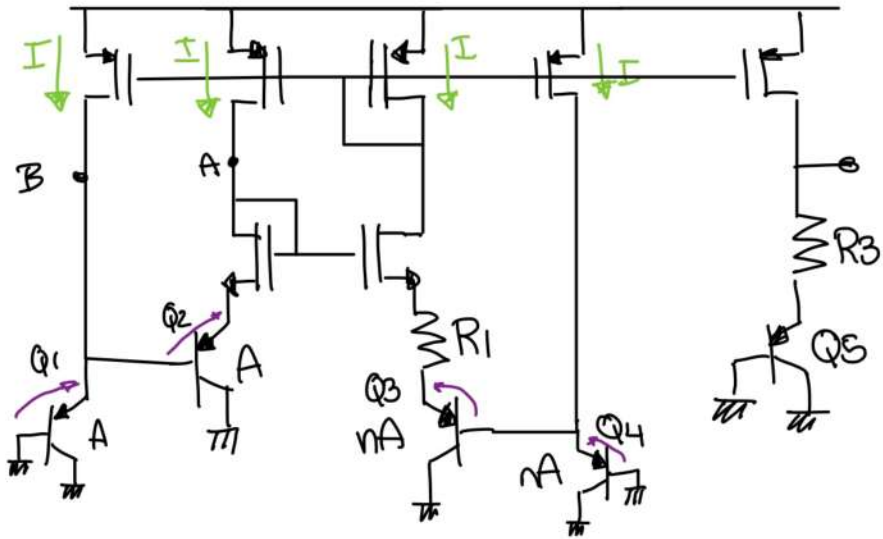


Per fare questo noi doppiamo la struttura. Tutti i PMOS sono identici; quindi tutte le correnti sono identiche

La corrente è

$$I = \frac{(V_{BE1} + V_{BE2}) - (V_{BE3} + V_{BE4})}{R_1} = 2 \frac{V_{th}(n)}{R_1}$$

Per ottenere il bandgap voltage facciamo come prima



$$V_{BGR} = V_{BE3} + \frac{2V_{th} \alpha(n) R_3}{R_1}$$

Se abbiamo l'offset abbiamo che  $V_{BGR} = [2V_{th} \alpha(n) + V_{OFF}] \cdot \frac{R_3}{R_1}$

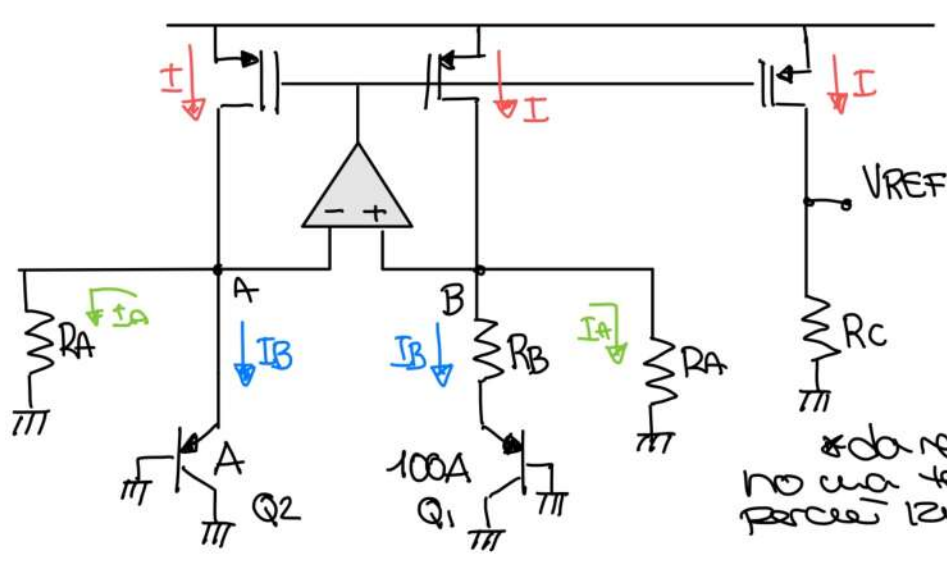
Ma tramite la nostra struttura doppiata abbiamo aumentato  $V_{th} \alpha(n)$  come avevamo detto prima  
 Problemi della struttura

- ✗ Ora non possiamo non considerare i B dei transistor (che fanno scifo) e quindi dobbiamo considerare le correnti di base
- ✗ I punti A e B non sono alla stessa tensione. Abbiamo effetto early.

Tuttavia oggi la tensione di alimentazione è  $\sim 1V$  ma la tensione di riferimento del bandgap è  $\sim 1,2V$ .

Come possiamo fare?

Noi tentiamo di lavorare con la corrente al posto che con la tensione.



I nodi A e B sono alla stessa tensione quindi le 2 correnti su RA sono uguali.

Le correnti IA sono una frazione di I sopra

$$I = I_A + I_B$$

\*da nessuna parte nel circuito ho una tensione superiore a 1V, questo perché lavoro con le correnti.

Ricaviamo  $I_B$  nel modo standard  $I_B = \frac{V_{th} \cdot \alpha(n)}{R_B}$  ( $n=100$ )

Ricaviamo  $I_A$   
 $I_A = V_{BE1} / R_A$

Allora ho che

$$V_{REF} = (I_A + I_B) R_C$$

$$= R_C \left[ \frac{V_{th} \alpha(n)}{R_B} + \frac{V_{BE1}}{R_A} \right]$$

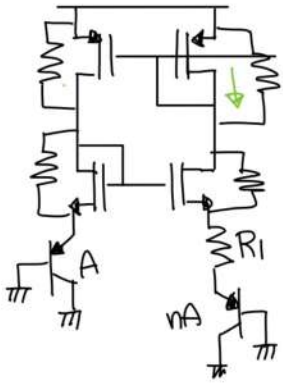
$$V_{REF} = \frac{R_C}{R_A} \left[ V_{BE1} + V_{th} \alpha(n) \frac{R_A}{R_B} \right]$$

Vediamo che possiamo giocare con i valori delle resistenze per avere una tensione  $< 1V$

Questo mi serve a scolare la tensione

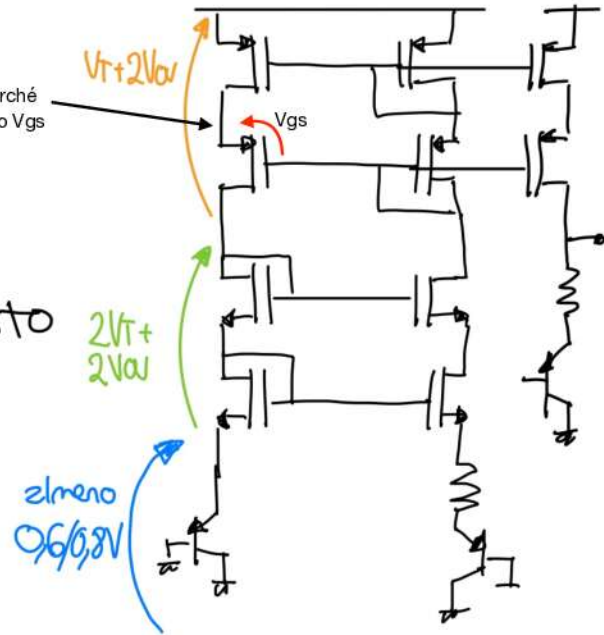
Questo è lo standard

Torniamo nel mondo delle "grandi" tensioni utilizzabili. L'ho separato perché abbiamo della sensibilità rispetto alla supply dato dalla impedenza di Early



Fare i conti su sta roba è un po' faticoso

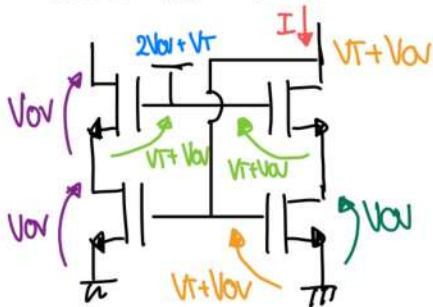
Che non altro che  $V_{ov} + V_{gs}$ . In sé è molto facile capire il perché dato che è ovvio che in questo punto io debba avere almeno  $V_{gs}$  per tenere il transistor ON



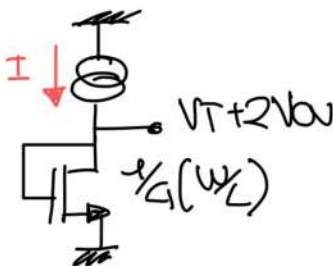
Uno dei modi migliori per ridurre questo effetto è fare il cascode

Ci serve però un'alimentazione extra per fare questa struttura cascode.

Se volessimo usare meno bias Potremmo usare un enhanced mirror.



Per fare questo ci serve la tensione  $2V_{ov} + V_t$  per ottenere questa tensione noi impieghiamo la stessa corrente su un mos grande  $1/4$ .

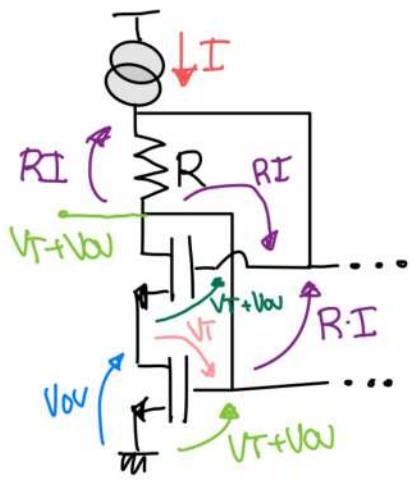


Lo faccio grande  $1/4$  così  $V_{ov}$  diventa il doppio.

Tuttavia questo specchio non si usa perché noi facciamo la struttura cascode per migliorare la rivece della supply ma poi usiamo un riferimento di tensione preso direttamente dalla supply. Non ci va bene, perdiamo in sensibilità.

Altra tecnica per fare lo specchio e non avere il problema della alimentazione ulteriore.

I 2 Mos sono identici



lo voglio  $V_{ov}$  sui MOS sotto (cu è il minimo per stare in sat e non perdere extra headroom)

Allora vedo che  $R \cdot I = V_{ov} = \sqrt{\frac{I}{\frac{1}{2} \mu_n C_{ox} (\frac{W}{L})}}$

(perchè  $V_{ov} + V_{t+V_{ov}} - (V_{t+V_{ov}}) = RI$ )

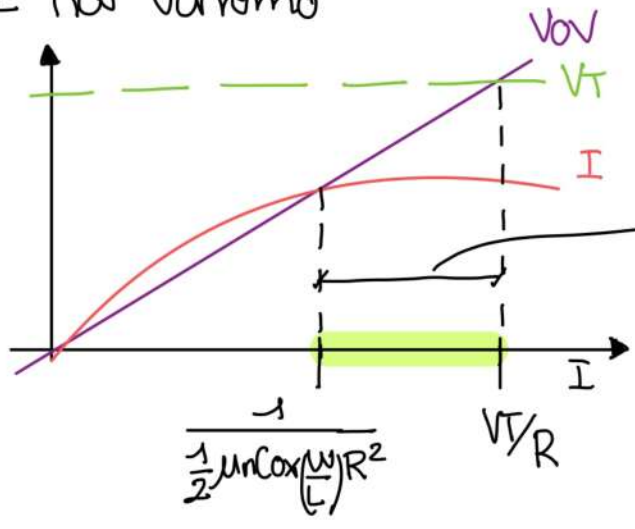
Devo anche stare attento che  $R \cdot I < V_t$  perchè se no mando in triodo un mos.

15.11.2022

2h

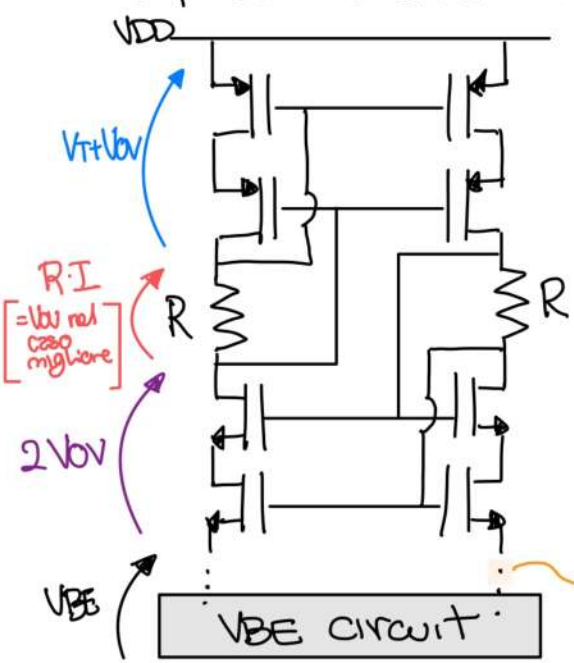
Quando facciamo il design conviene fare  $R \cdot I > V_{ov}$  per lo spread dei parametri. Tuttavia perdiamo un po' di headroom.

Quindi noi vorremo



Range di correnti in cui posso polarizzare il circuito.

Perchè possiamo avere la struttura base



Noi supponiamo  $V_t = V_{tn} = |V_{tp}|$

$V_{ov} = V_{ovn} = V_{ovp}$

Qual'è la minima caduta de abbiamo per mantenere il circuito vivo?

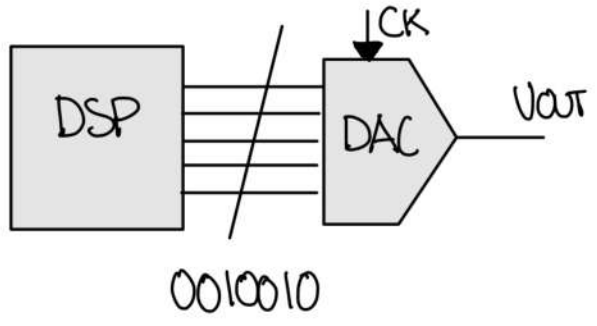
$V_{DDmin} = V_t + 4V_{ov} + V_{BE}$

[Lo standard cascode ha  $V_{DDmin} = 3V_t + 4V_{ov} + V_{BE}$ ]

Selviamo  $2V_t$ , che non è male.

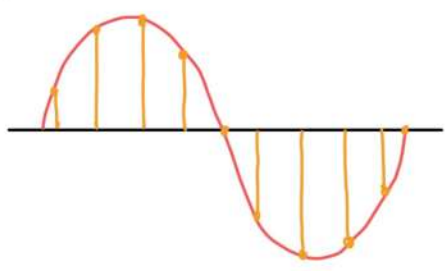
Per avere  $G_{loop} > 1$  dovremo commettere a questo nodo la rete con il singolo transistor e l'altro gella del transistor + resistenza

# Problemi legati ai data Converter

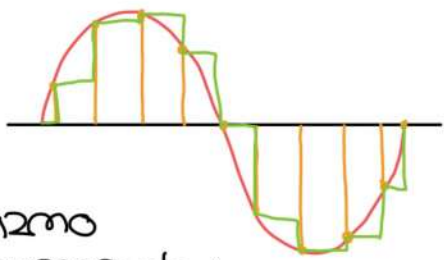


Una cosa da non sbagliare è tempo discreto e ampiezza quantizzata. Falso zero un segnale a tempo discreto ma con accuratezza infinita sull'ampiezza. QUINDI SONO COSE DIVERSE!

Supponiamo che il DSP ci fornisca un segnale sinusoidale digitale



il compito del DAC è quello di rappresentare in analogico quello che viene fornito dal DSP

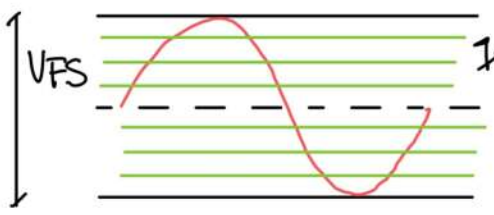


Ma questo nel mondo ideale.

Abbiamo infatti il rumore e abbiamo un numero di bit finito, quindi zero dei valori quantizzati.

Nella realtà il blocco da cui da più limitazioni è il DAC, infatti il n° di bit digitali possiamo aumentarlo tipo tanto, ma un dec a 16bit è già tanta roba. Inoltre + veloci andiamo col clock meno bit riusciamo a "usare" nel DAC.

Posso vedere il rumore di quantizzazione come un rumore bianco (solo sotto certe ipotesi). Queste ipotesi sono:



$$\Delta = \text{LSB} = \frac{V_{FS}}{2^b}$$

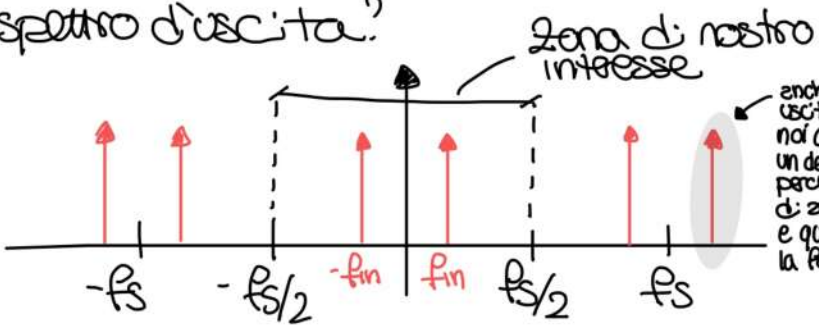
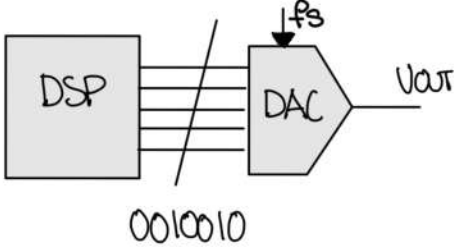
$$\sigma_{\Delta}^2 = \frac{\text{LSB}^2}{12} \quad (\text{distribuzione uniforme dell'errore})$$

Ogni gradino ha un'ampiezza diversa a causa dell'errore di quantizzazione.

Quindi se ho un segnale costante (o varia lentamente), il rumore è costante quindi non è bianco.

Per assumere rumore bianco noi dobbiamo ipotizzare un segnale che varia molto e abbastanza velocemente.

Dato un DAC, qual è lo spettro d'uscita?

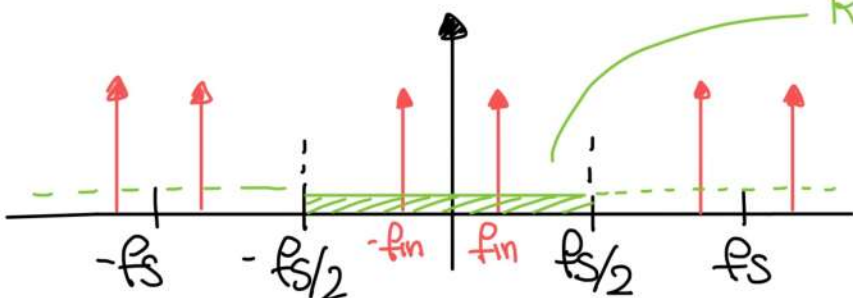


anche se il segnale di uscita del DAC è quantizzato noi consideriamo solo un delta alla fondamentale perché noi sappiamo di aver fatto un sampling e quindi prendiamo solo la fondamentale

### Rumore di Quantizzazione

La power spectral density del rumore di quantizzazione è

$$S_q = \frac{LSB^2/12}{f_s}$$



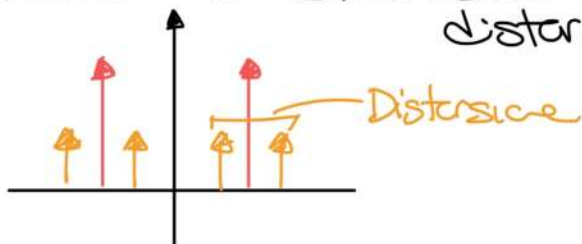
La power spectral density calcolata è un' approssimazione per segnali casuali. Questo è vero quando  $f_s$  e  $f_{in}$  non sono multipli esatti (interi). Perché se fossero multipli esatti interi lo quantizzerevi sempre quel valore e quindi zero sempre quei tipi di errore di quantizzazione. Nella realtà stessa cosa succede se faccio un sampling a una frazione razionale perché comunque non gli errori periodici. Per risolvere questo devo fare un sampling a un valore irrazionale (allora così l'errore di quantizzazione è effettivamente bianco)

$$f_s = 4f_{in} \text{ (male)}$$

$$f_s = \frac{17}{4}f_{in} \rightarrow 4f_s = 17f_{in} \text{ (periodico)}$$

$$f_s = \pi f_{in} \text{ (top)}$$

Un altro errore del DAC può essere la distorsione del DAC (i problemi di matching danno la distorsione)

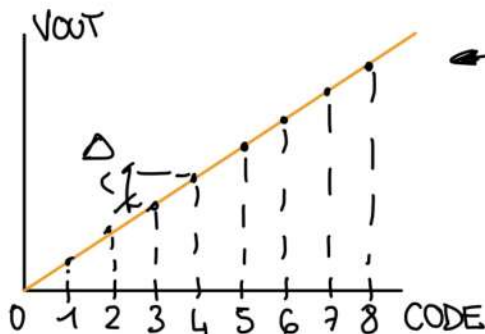


Una roba fondamentale da ricordare è che noi possiamo avere 20 bit digitali, ma se il DAC ha un rumore (tipo quello termico) maggiore dell' LSB non ha senso usare tutte le 20 linee. Concetto dell' Equivalent Number of Bit (ENOB).

### Distortion non idealities



Questa analisi non basta perché è statica, noi dovremo anche vedere l'analisi dinamica.

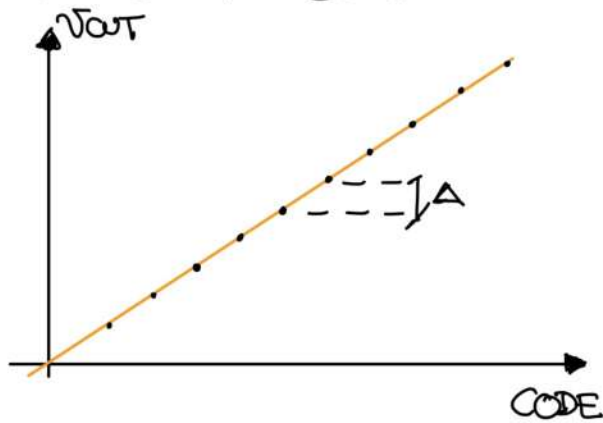


Per non avere distorsione lo vorrei una roba così.

Il mismatch creerà problemi in questa retta e questo farà sì che la caratteristica non sia più lineare e creerà armoniche ulteriori.



## Non idealità della caratteristica statica



ideale

- Diverse non idealità possono modificare la caratteristica statica
- Se il minimo step è diverso da quello cui ci aspettiamo abbiamo un errore (gain error). È un errore ma è lineare (di base varia la pendenza della curva)

- Offset error: Sono degli errori che shiftano la retta su e giù o destra e sinistra

A noi questi 2 errori non ci interessano e di tanto perché il tutto è ancora lineare. (non ci interessa per modo di dire perché in alcuni casi abbiamo bisogno di un valore preciso e non di un valore con errore lineare)

Esistono anche errori che affliggono i primi e gli ultimi bit del convertitore, infatti noi cercheremo di usare la zona centrale della caratteristica.

Un parametro usato per valutare l'errore è la **DIFFERENTIAL NON IDEALITY** che è la differenza tra lo step reale e la media di tutti gli step.

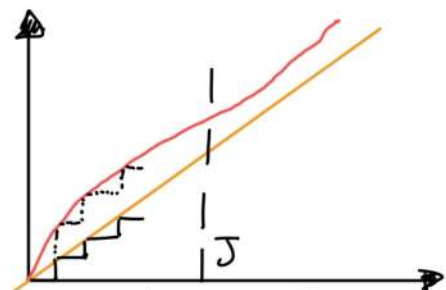
$$DNL_i = \Delta_i - \frac{\sum_{k=1}^N \Delta_k}{N}$$

Vi preferiamo dire che la DNL è rispetto alla media degli step piuttosto che il valore nominale dello step.

Noi facciamo questo perché se avessimo tutti gli step sbagliati del 5% rispetto allo standard ci verrebbe una DNL grande ma non è vero perché il tutto è ancora lineare (dato che tutti gli step sono sbagliati uguali) e quindi la DNL dovrebbe essere 0 (cosa che abbiamo se usassimo la media)

L'accumulazione di questo errore dà la **INTEGRAL NON IDEALITY**

$$INL_J = \sum_{i=0}^J DNL_i$$



In pratica siamo tutti gli errori tra 0 e J. (dato che l'errore può essere positivo e negativo non è detto che  $J > |INL| > 0$ )

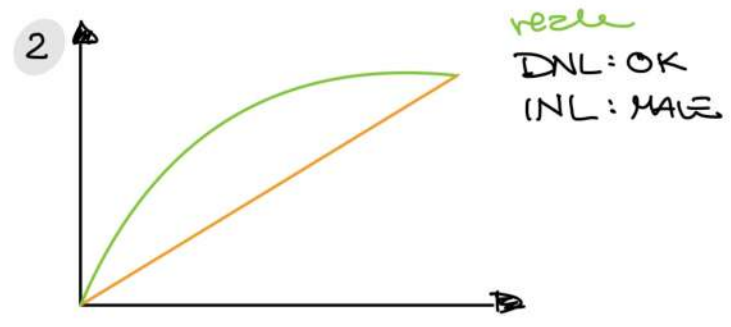
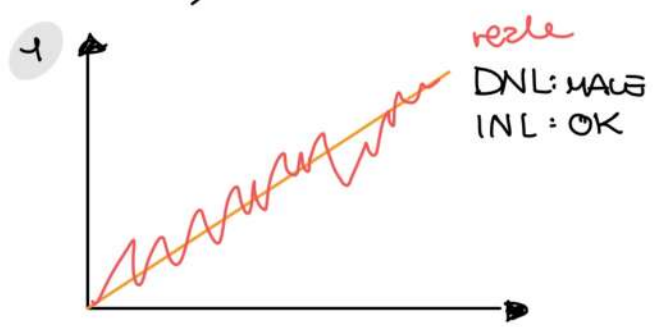
Tipicamente noi diciamo solo l'INL e  $\bar{x}$ , in questo caso ci riferiamo al  $\bar{y}$  che da INL con il valore + zero. (stessa roba per la DNL)

Per calcolare la INL noi in pratica tiriamo una linea tra il punto iniziale e finale e l'INL e' l'area sopra sottratta a quella sotto della linea. (nella realtà si dovrebbe fare un best fit.)

Vediamo che tuttavia l'INL e la DNL non caratterizzano perfettamente la caratteristica possono solo tenere fuori possibili comportamenti in media.

La DNL ci dice qual'è la variazione della caratteristica rispetto a un comportamento lineare

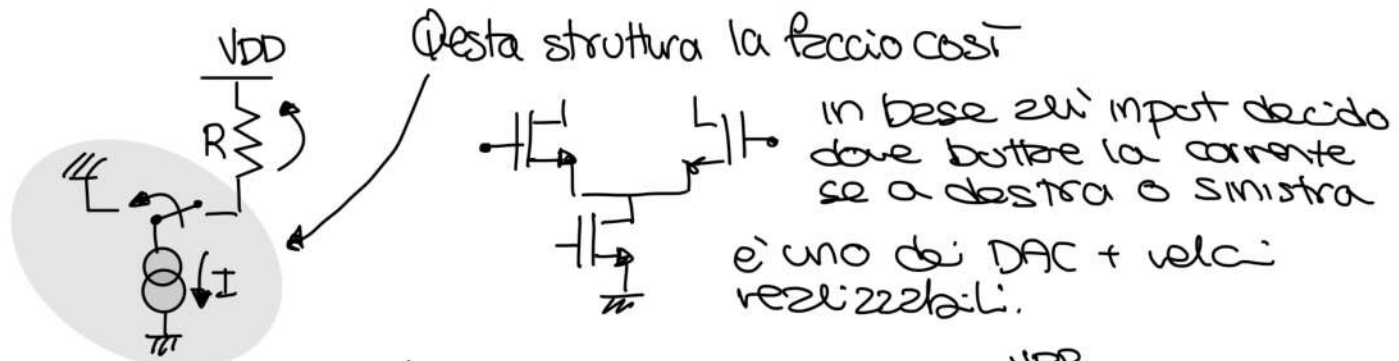
(Possò anche avere che la caratteristica non sia monotonicamente crescente ma che se aumento il codice l'uscita mi diminuisce, questo può dare problemi quando vedo faccio un feedback e potrei avere un feedback positivo momentaneo)



è peggio la DNL o l'INL? Dipende cosa vogliamo!  
 Tipo 2 induce armoniche mentre 1 è + un rumore bianco.  
 2 è meglio da usare in feedback perché è monotonicamente al contrario di 1

La differenza tra DNL e INL può essere data dalla differenza di topologia con cui viene creato il DAC.

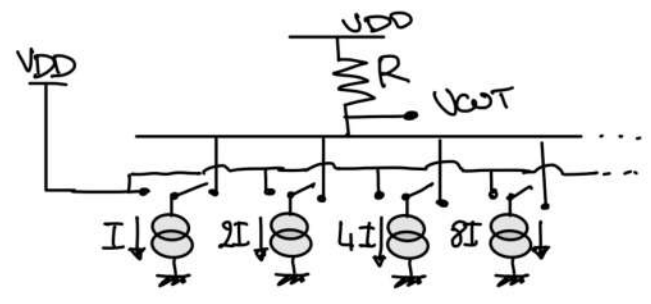
Esempio: Current steering DAC



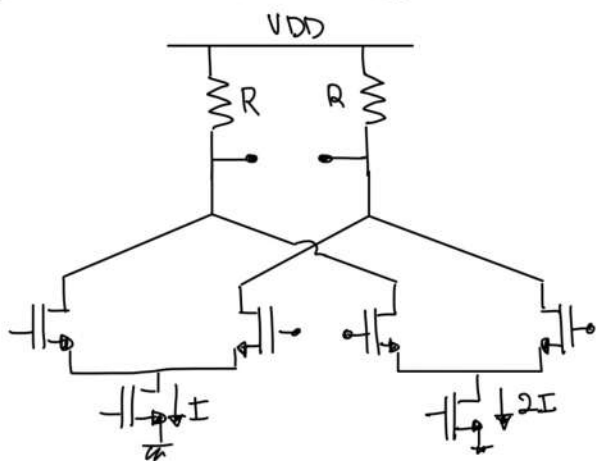
In base all'input decido dove buttare la corrente se a destra o sinistra  
 è uno dei DAC + veloci realizzabili.

Se voglio fare + bit è easy:

Semplicemente facciamo dei generati di corrente + grandi



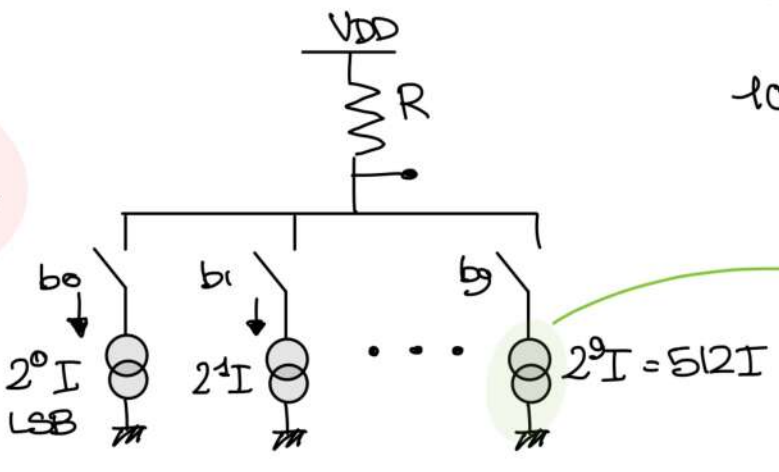
Nella realtà il vero circuito è fatto così (e non tutto via corrente)



è il + veloce da fare.  
 Non spengo la corrente solo cambio da due vie (la corrente da VDD non cambia mai in questo caso)

Ma però consideriamo l'architettura semplificata.

Binary Weighted



1023 Levels

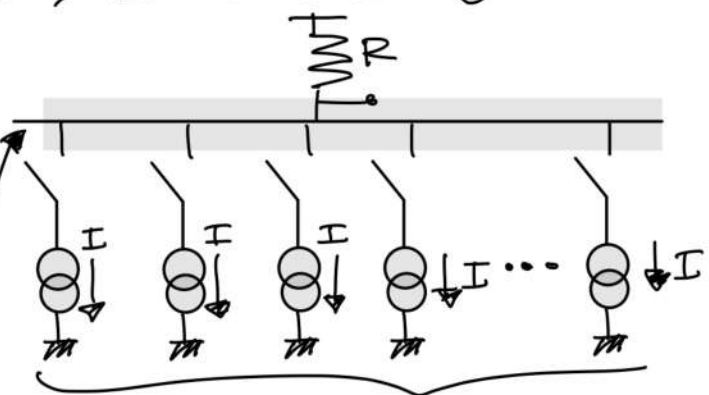
Fatto con un mos (in prima approx)



Una prima cosa da notare è il rumore dei generatori fatti a mos cioè valutare il rumore del MOS rispetto alla corrente I.  
 Per valutare il rumore devo integrarlo sulla banda data dalla capacità parassita del DAC.

Ma posso fare 1023 Levels in modo diverso senza avere un gen pari a 512 I?

Sì!, faccio 1023 generatori di corrente



1023

Per fare uno qualsiasi di questi valori io posso scegliere a caso uno dei generatori di corrente questo mi permette (in teoria) di scegliere i gen di corrente che voglio in modo da poter cancellare i mismatch

Thermometric weighted

Si chiama termometrico perché

BIN	TERMOMETRICO
11	0111
10	0011
01	0001
00	0000

Vediamo che per fare 4 bit ci servono 3 generatori di corrente uguali (non ci serve il 4o perché il bit pari a 0 lo facciamo con tutti i generatori spenti)

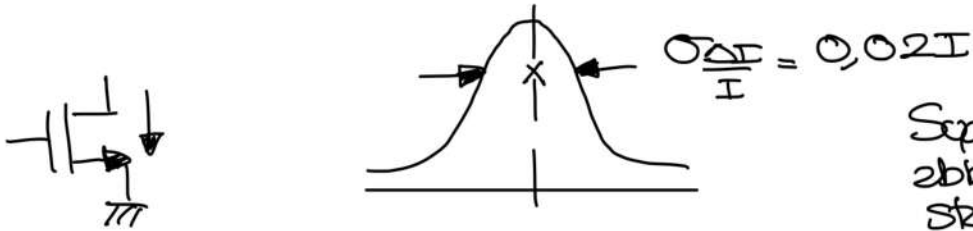
Si chiama termometrico perché gli I servono come un termometro

Nei 2 casi l'area dei generatori di corrente è uguale (perché per fare 512 I collego 512 MOS che danno I)

La differenza sta che qua ho 1023 connessi al posto di 10.

la topologia binaria è quella con gli ch + grandi soprattutto quando passiamo da 511I a 512I (01111... → 10000...) per fare questo devo switchare tutte le correnti e quindi ho + glitch.  
 Nella topologia termometrica ho stesso glitch per tutti i codici.

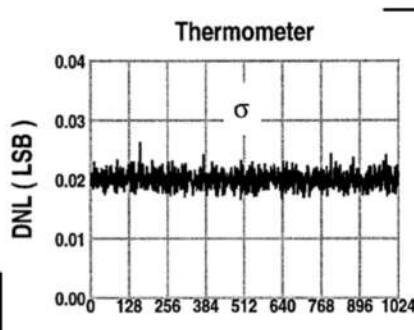
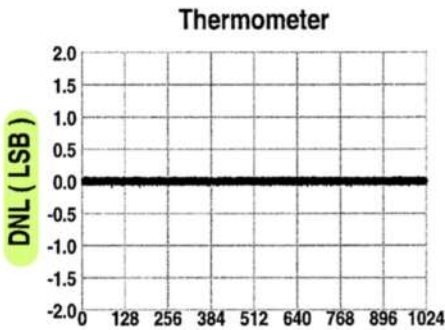
Per l'1mo del matching



Suppongo che i generatori abbiano questa deviazione standard.

E quale sarà la DNL nel caso delle 2 topologie?

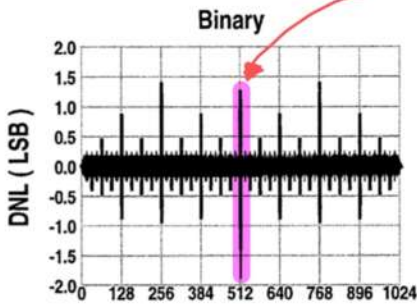
Nel caso di quella termometrica ho che la DNL è pari a  $\frac{\sigma_{DIP}}{I}$



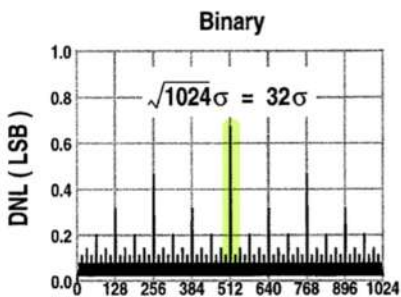
Come vediamo la signa della mia DNL è ~ costante ed è la  $\sigma$  del mio generatore di corrente

Qual'è la DNL di quello binario?

La situazione è diversa perché non aggiungo un generatore di corrente per ogni step.



Come abbiamo detto prima nel codice centrale è quello con + glitch perché chiudiamo tutti i gen di corrente e apriamo il + grande. Quindi il mismatch si sente tutto. A sua volta nella metà della metà mi aspetto un glitch alto sempre per lo stesso discorso.

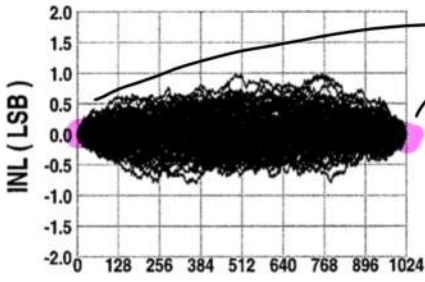
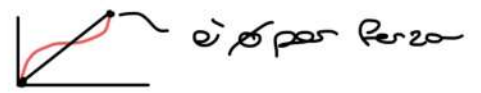


A metà abbiamo una varianza pari a  $\sqrt{1024} \sigma$  questo perché noi passiamo da 511I a 512I e dunque ho che le varianze delle 2 correnti si sommano

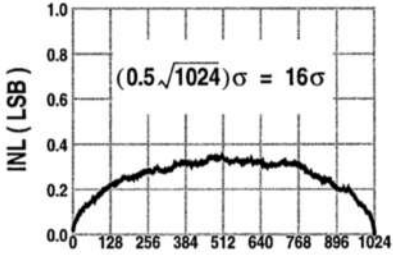
$$511\sigma^2 + 512\sigma^2 = 1024\sigma^2$$

Ma cosa succede all'INL, sempre nei 2 casi?

Nel caso termometrico ottimizmo:



hai 2 lati l'INL è 0 per come la misuriamo infatti noi colleghiamo assieme il punto iniziale e finale della curva quindi l'INL è 0 per forza. Statisticamente noi poi ci aspettiamo il massimo e metà dinamica.



← Questa è la deviazione standard.

Cosa succede nel caso binario? Ho praticamente gli stessi comportamenti che nel caso del termometrico.

Quindi quale dei 2 prendo?

A vederli così direi il termometrico che è uguale in INL e molto meglio in DNL. Conosciamo ho molta + area a causa delle intercommissie (e NON dei generati di corrente)

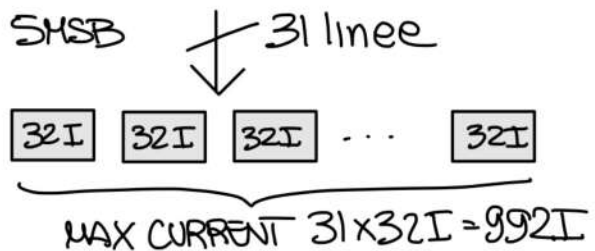
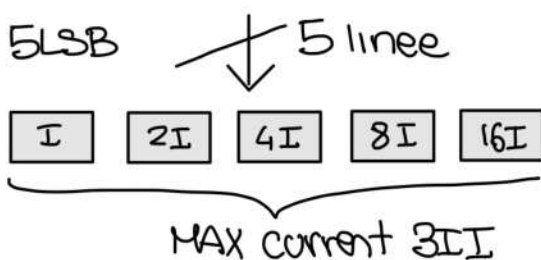
Allora noi pensiamo in questo modo: lo voglio una certa DNL e INL, quale area devo avere nelle 2 tipologie?

AREA GEN. DI CORRENTE

	TERMICO	BIN	
DNL = 0,5 LSB	A	1024A	(perché ho $\sigma$ e $\sqrt{1024} \sigma$ e $\sigma$ va come $\sigma^2 \propto \frac{1}{WL}$ )
INL = 0,5 LSB	256A	256A	(perché $\frac{1}{2} \sqrt{1024} \sigma$ )

Sia puro termometrico che puro binario noi ci danno soluzioni accettabili. Usiamo un architettura segmentata che è fatta in metà in binario e metà in termometrico.

Ma noi come mettiamo il binario, nella metà bassa o in quella alta del codice? Tipicamente il metro come LSB e i bit + sig. Restanti sono messi come termometrici.



$992 + 31 = 1023I$  ok

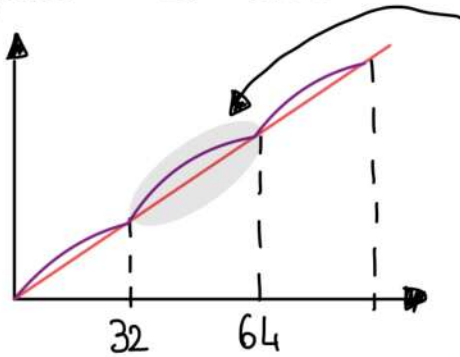
Nel Full binary abbiamo 10 linee.

Nel Full thermo abbiamo 1024 linee

Nel segmented abbiamo 36 linee ← Ci piace, meno interconnessioni

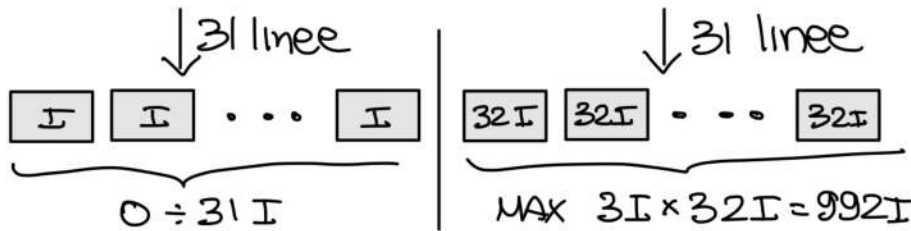
La caratteristica della DNL e INL del caso segmentato è a metà tra le 2 viste in precedenza (ma è un disastro da calcolare).

Si può vedere come



In pratica il grosso della caratteristica è dato dal termometrico (i salti tra 32/64...) 20' interno di questi salti ho la DNL e INL del binario. Quindi questa si ripete periodicamente ogni salto.

Posso anche fare un DAC segmentato ma con 2 termometrici



Uso 62 linee ma ho 2 termometrici: ce ne sono meglio del binario.

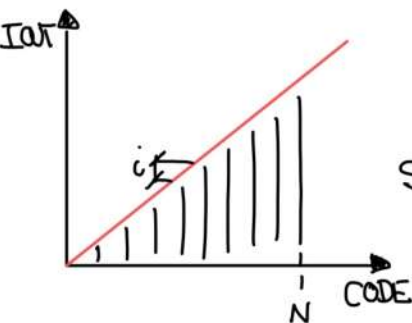
Ma noi fino ad ora abbiamo visto solo errori statistici ma ci sono anche errori deterministici come il gradiente dell'ossido che può variare la VT.

Questo può essere un problema per i mosfet che fanno da generatori di tensione. Un modo possibile per rendere statistico il rumore è scegliere a caso la posizione sul wafer del mas per ogni mosfet in modo da non averli vicini.

21-11-2021

3h

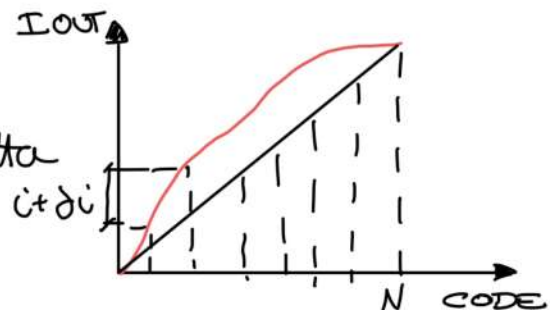
Dimostrazione della deviazione standard massima della INL.



Abbiamo molti step e ognuno di questi step è dell'ampiezza minima che riusciamo a rilevare.

$$SL = i \text{ (pendenza)}$$

Noi facciamo l'INL prendendo l'area sotto la retta che collega inizio e fine della curva (linear interpolation)



Allora  $S_L = \frac{N\dot{u} + \sum_{j=0}^N \delta_j \dot{u}}{N} \rightarrow S_L = \dot{u} + \frac{1}{N} \sum_{j=0}^N \delta_j$   

il valore reale all'  $N/2^{\circ}$  step è  $\text{Valore reale} = \frac{N}{2} \dot{u} + \sum_{j=0}^{N/2} \delta_j$   

mentre il valore ricavato dall' interpolazione lineare è la pendenza per  $N/2$

$\text{Valore Interpolato} = \frac{N}{2} \dot{u} + \frac{1}{2} \sum_{j=0}^N \delta_j$   

Forse è 1/2 perché io con l'interpolazione considero che l'errore a metà dinamica sia l'errore totale diviso 2

L'errore è la differenza tra valore reale e valore interpolato:

$$\epsilon = \sum_{j=0}^{N/2} \delta_j - \frac{1}{2} \sum_{j=0}^N \delta_j$$

Quindi otteniamo che l'errore è:  $\epsilon = \frac{1}{2} \sum_{j=0}^{N/2} \delta_j - \frac{1}{2} \sum_{j=N/2+1}^N \delta_j$

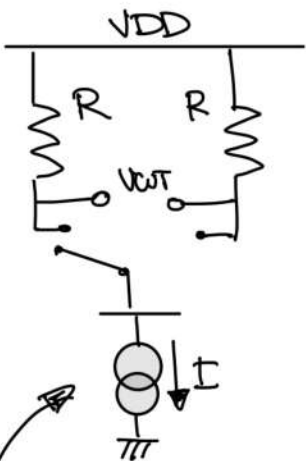
Se noi sappiamo che tutti gli errori sono incorrelati possiamo calcolare la varianza come

$$\sigma_{\epsilon}^2 = \frac{1}{4} \frac{N}{2} \sigma_{\delta}^2 + \frac{1}{4} \frac{N}{2} \sigma_{\delta}^2 = \frac{1}{4} N \sigma_{\delta}^2$$

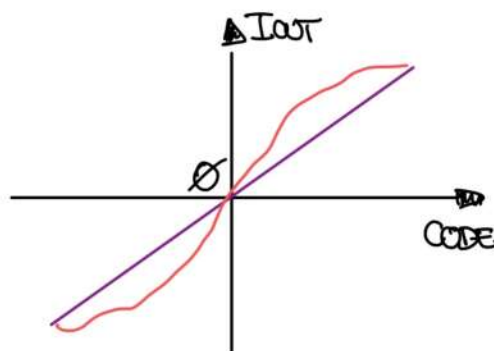
Abbiamo dunque ottenuto la varianza dell' INL nel punto massimo.

Noi possiamo ridurre l'impatto di questo errore statistico facendo i mos + grandi così la loro varianza va riducendosi.

Nel mondo reale per i DAC non sono single ended ma sono tipo fully differential



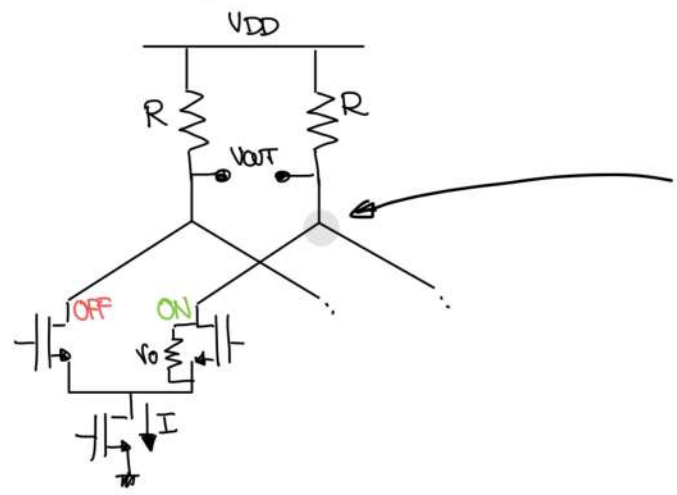
Questo significa che la caratteristica del DAC è simmetrica attorno allo zero



questo è come si presenta l'INL in questo caso

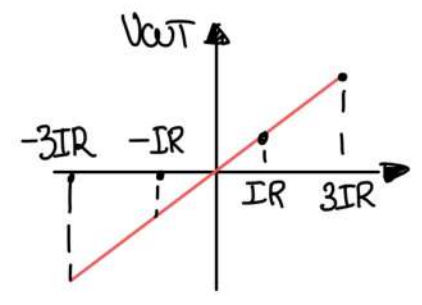
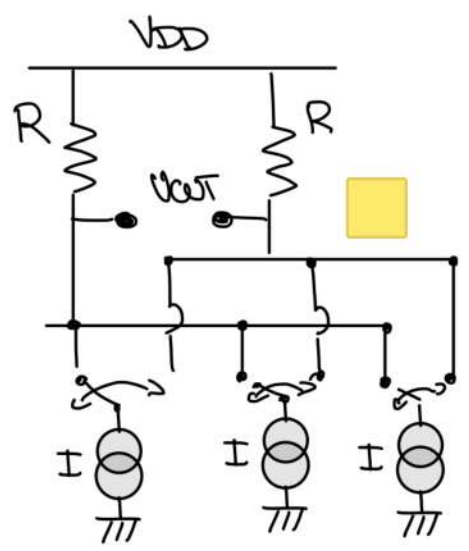
Con questo circuito noi non buttiamo mai via la corrente come succedeva nel caso single ended.

# Errori Sistematici



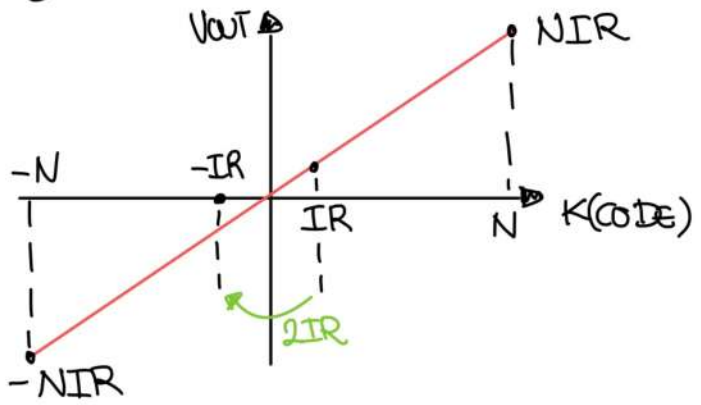
il problema in questo caso è dato dalle resistenze  $r_o$  dei MOS.  
 Infatti l'impedenza connessa al nodo cambia dipendentemente del n° di mos accessi che sono connessi allo stesso

Esempio nel caso di DAC a 2 bit



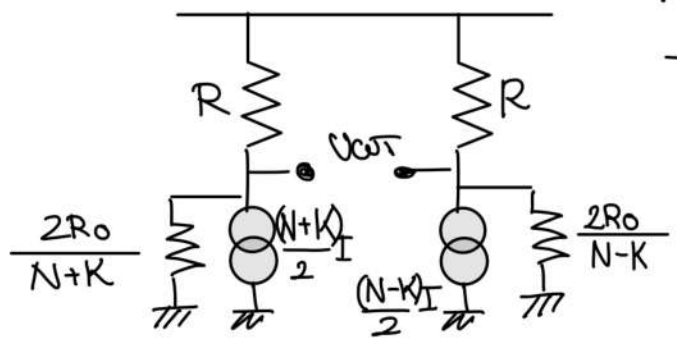
Ogni step noi saltiamo di  $2IR$  perché all'output è come se vedessi 2 resistenze in serie (vediamo che non abbiamo il codice per 0) (ha considerato 2 gate e non 3)

Aggiungendo N generatori otterremo ricreare questa caratteristica

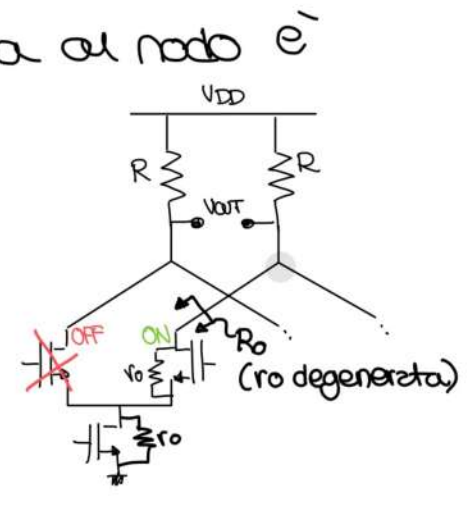


Allora il codice va da N a -N in salti da  $2IR$

Un possibile modello della variazione di impedenza al nodo è esprimibile in questo modo  
 Possiamo vedere il tutto in questo modo



$$-NI - K - IN$$





Abbiamo che il codice va da  $N$  a  $-N$ , vedendo gli estremi vediamo che del caso di codice  $N$  abbiamo un  $R_0$  infinito da un lato (che non mos off) e  $R_0/N$  che non  $N$  mos connessi in parallelo.

Questo è un errore sistematico!! Ci aspettiamo distorsioni di 3<sup>a</sup> armonica (non di 2<sup>a</sup>) non ho inteso bene x!

Qual'è la output voltage in funzione di  $k$ ?

$$V_{out}(k) = \frac{I(N+k)}{2} \cdot \frac{R \cdot \frac{2R_0}{N+k}}{R + \frac{2R_0}{N+k}} - \frac{I(N-k)}{2} \cdot \frac{R \cdot \frac{2R_0}{N-k}}{R + \frac{2R_0}{N-k}}$$

SE  $R_0 \gg NR_L$  (CONDIZIONE NON BANALE), ALLORA:

$$V_{out}(k) \approx IRN \left[ \left(\frac{k}{N}\right) + \left(\frac{k}{N}\right)^3 \left(\frac{N \cdot R}{2R_0}\right)^2 \right]$$

$k$  è un numero, ma è il nostro input.

La condizione non è banale perchè  $N$  è il numero totale non il numero di bit

ERRORE SISTEMATICO NON LINEARE! (è quello che mi dà la 3<sup>a</sup> armonica)

Vediamo che se  $R_0 \rightarrow \infty$  abbiamo che il sistema è lineare.

Posso vedere anche  $V_{out}$  come  $V_{out} \approx G[x + \alpha_3 x^3] \quad -1 \leq x \leq 1$

La distorsione di 3<sup>a</sup> armonica si può vedere come

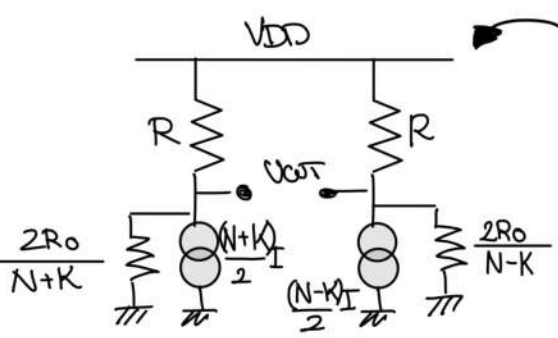
$$HD_3 = \frac{1}{4} \frac{\alpha_3}{\alpha_1} \cdot A^3 \quad \text{con } \alpha_1 = 1 \text{ e } A = 1$$

$$= \left[ \frac{NR_L}{4R_0} \right]^2$$

( $A$  deve essere un'ampiezza di qualcosa ma mi sono perso cosa, presumo che sia la massima  $x$  che posso avere. Se metto la max  $x$  lo ottengo la max Harmonic Distortion)

Se io volessi  $HD_3 < 60\text{dB}$ , allora:  $4R_0 > 10^3 NR \rightarrow R_0 > 8NR$

Queste formule valgono sia nel caso termometrico che in quello binario senza particolari differenze.



Studiamo la variazione di  $V_{out}$  data dal partitore a  $V_{DD}$  quando cambia la resistenza.

$$V_{out}(k) = \frac{V_{DD} \cdot \frac{2R_0}{N-k}}{R + \frac{2R_0}{N-k}} - \frac{V_{DD} \cdot \frac{2R_0}{N+k}}{R + \frac{2R_0}{N+k}}$$

SE  $R_o \gg NR$ , allora

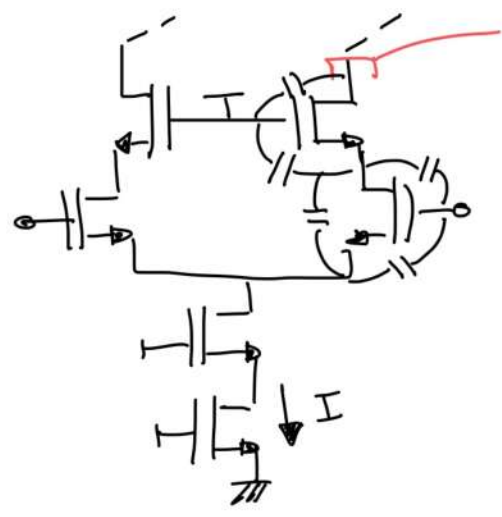
$$V_{out}(K) \approx V_{DD} \cdot \frac{RN}{R_o} \left[ \left(\frac{K}{N}\right) + \left(\frac{K}{N}\right)^3 \left(\frac{NR}{2R_o}\right)^2 \right]$$

L'unica differenza rispetto al caso precedente è il valore del coeff iniziale  
 Noi vediamo che questo fattore è << rispetto a quello ricreato prima

$$I_{RN} \gg V_{DD} \frac{RN}{R_o} \rightarrow I_{R_o} \gg V_{DD} \text{ (vero)}$$

perché questo 2° effetto è trascurabile

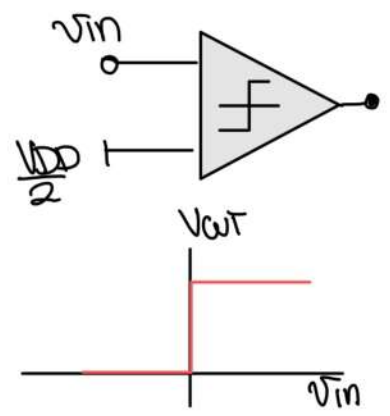
Tutto questo ci fa capire che noi dobbiamo avere  $R_o$  grande quindi dobbiamo fare un cascode.  
 Perché i generatori di corrente sono fatti così



Potremo dire subito che  $R$  è grandissima. tuttavia dobbiamo ricordare che con esso qui possiamo avere un segnale e definire altre frequenze. Questo fa sì che veda le capacità parassite.  
 Capiamo quindi perché hanno fatto così tanti cascode.  
 Infatti se aumentiamo la frequenza del segnale di out noi peggioriamo la distorsione.

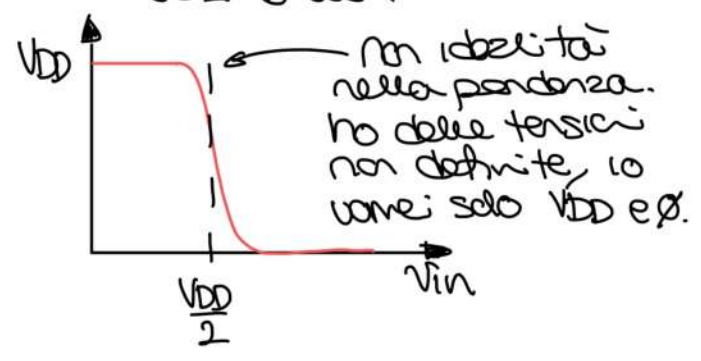
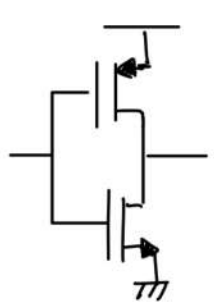
## COMPARATORI

Sono dispositivi che ci devono dare una caratteristica a threshold.



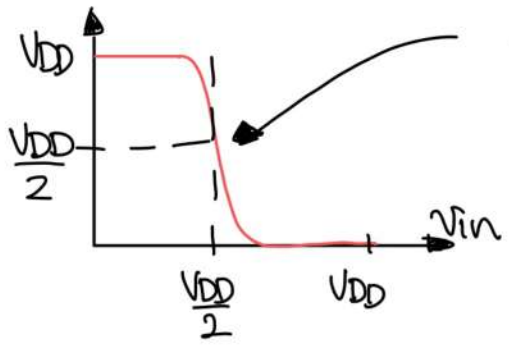
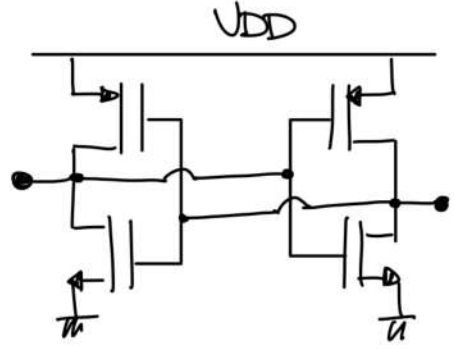
L'input è un segnale analogico, l'output è un segnale "digitale".

Ma se noi volessimo una caratteristica così perché non usiamo un invertor?



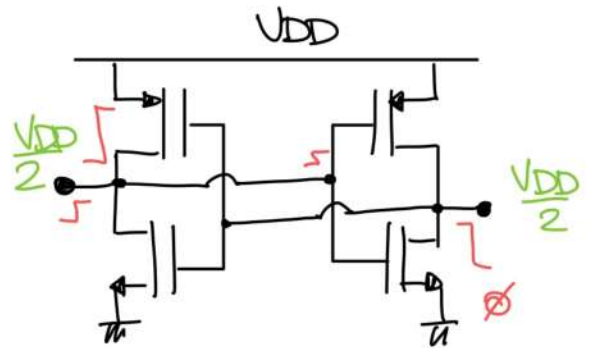
Non dobbiamo fare il detect di segnali molto piccoli quindi non posso fare un comparatore con un source comune mandandolo in saturazione.

Possiamo sfruttare la potenza del feedback positivo per fare il comparatore (latch).

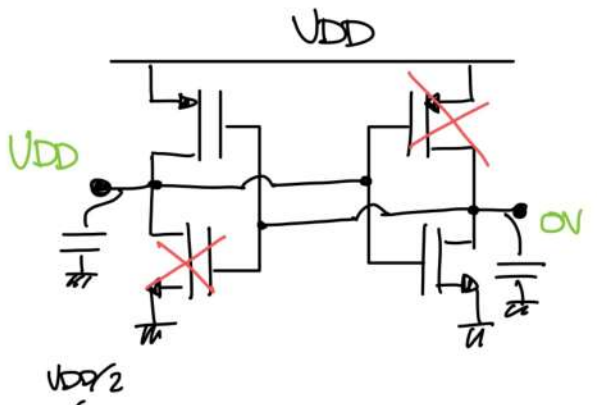


Non perdiamo l'inverter e supponiamo di essere in questo punto esatto

Questa situazione non è stabile, basta una piccola perturbazione e tac, setta da un lato o dall'altro.

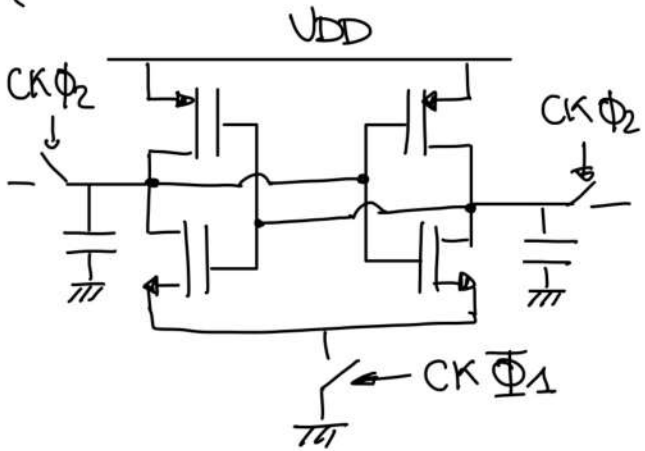


Una situazione stabile è questa. Possiamo vedere sta roba come una memoria a 1 bit.



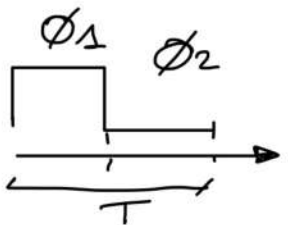
Come possiamo usare sta cosa come comparatore?

Partiamo dal circuito in un punto stabile e introduciamo una piccola variazione facendo sì che il circuito si risolva da solo.

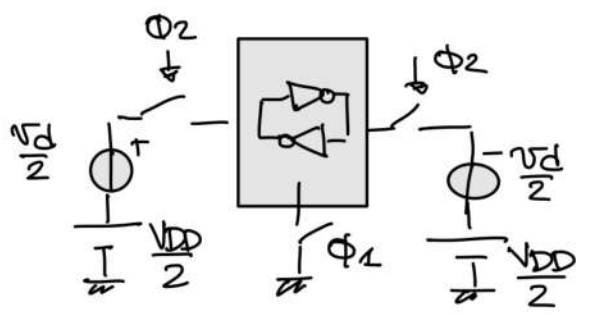


1. Non perdiamo i condensatori con le fasce da comparare (Switch att Φ<sub>1</sub>)
2. attacco lo switch che mi compara le 2 fasce servete sui condensatori

Allora posso vedere il tutto come

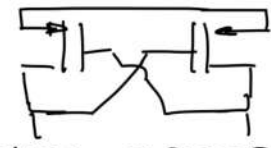


Se il segnale  $v_d$  è troppo piccolo il tempo per rigenerare il comparatore può non essere abbastanza (metastabilità)

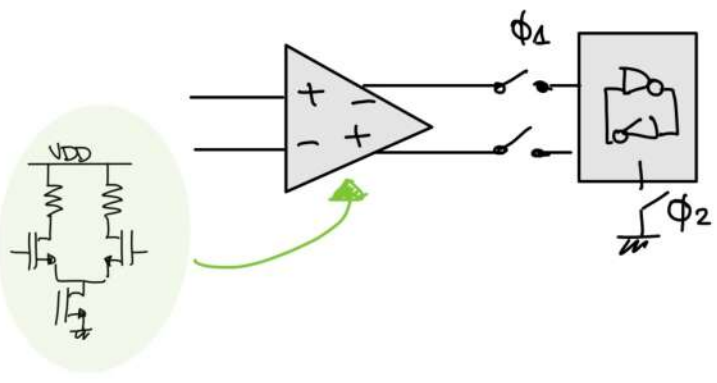


Vediamo subito che l'offset dei mosfet deve essere minore del segnale che andiamo a comparare.  
 Vediamo poi che anche gli switch non sono ideali e danno della charge injection (questa charge injection deve essere < del segnale che andiamo a comparare).

Posso anche fare un half latch :



Pri prima di un comparatore ho un semplice preamplificatore



Ma perché usiamo questo preamplificatore (che è tutto amplifica poco 10/20)?

1. Dividiamo l'offset del latch per il guadagno dell'ingesso. Abbiamo anche l'offset del preamplificatore però (tuttavia possiamo ridurre l'offset con dei trick perché è un circuito lineare mentre il latch no)

2. Kickback: è un problema del comparatore. Ho molti disturbi che mi tornano indietro verso la mia segnale (disturbi >> del mio segnale) devo fare una reverse isolation e lo faccio con il preamplificatore

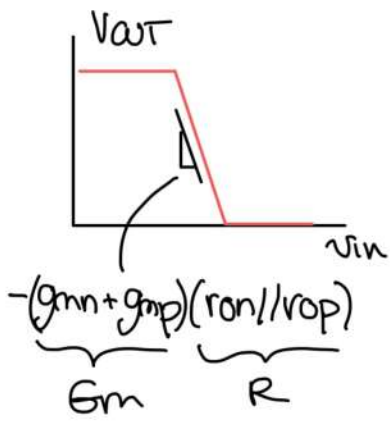
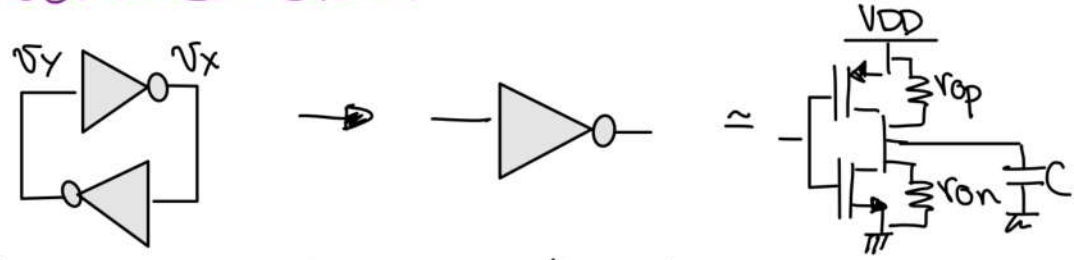
22-11-2022

2h

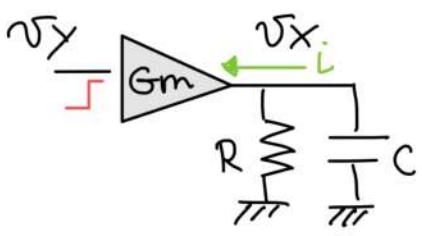
Altre cose importanti per i comparatori sono potenza e velocità (dipendono dall'applicazione)

L'offset di un comparatore in un delta-sigma non è importante dato che il comparatore è dopo un integratore (Credo) e noi sappiamo che l'integratore ha  $G \rightarrow \infty$  in DC. Quindi riportando l'offset all'input dell'integratore ho che mi va a 0 (perché diviso per  $\infty$ ).

Velocità del latch.



Allora posso vedere un inverter così:



Se l'input sele ho una corrente entrante

Urendo in feedback i 2 inverter, possiamo scrivere le equazioni:

$$\begin{cases} G_m v_y = -\frac{v_x}{R} - \left(\frac{\partial v_x}{\partial t}\right) C \\ G_m v_x = -\frac{v_y}{R} - \left(\frac{\partial v_y}{\partial t}\right) C \end{cases} \xrightarrow{\cdot R} \begin{cases} G_m R v_y = -v_x - RC \left(\frac{\partial v_x}{\partial t}\right) \\ G_m R v_x = -v_y - RC \left(\frac{\partial v_y}{\partial t}\right) \end{cases}$$

$\tau$

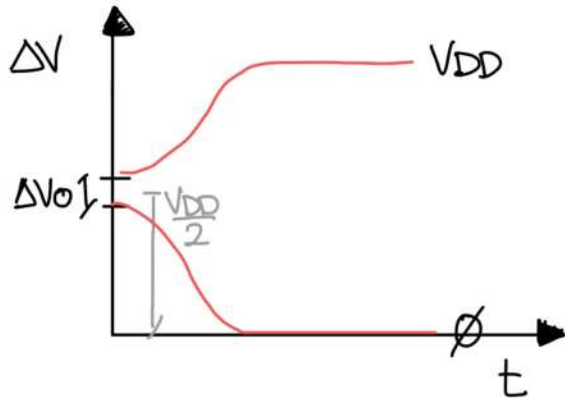
Se ci facciamo la sottrazione delle 2 eq per ottenere  $\Delta v = v_x - v_y$  ricaviamo

$$\tau \frac{d(\Delta v)}{dt} = \Delta v [A_v - 1]$$

Allora ricaviamo l'espressione di  $\Delta v$

$$\Delta v = \Delta v_0 e^{\frac{(A_v - 1) \cdot t}{\tau}}$$

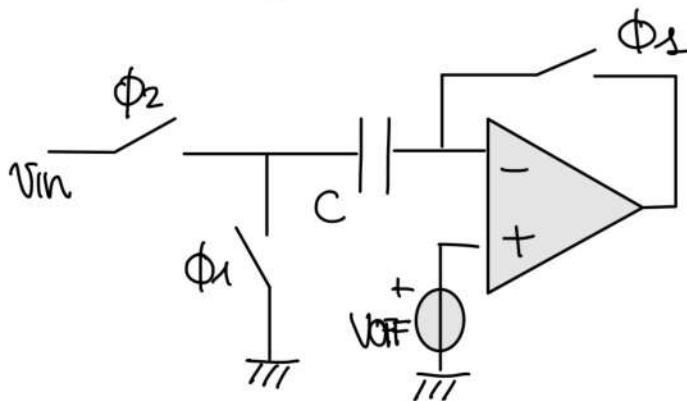
Da  $\Delta v_0$  era il piccolo unbalance iniziale



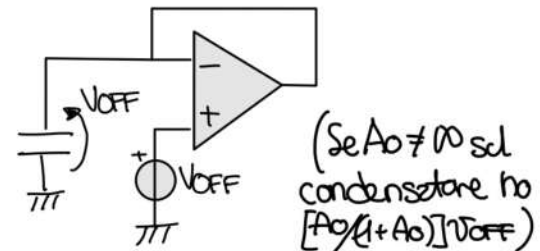
Ho metastabilità quando il segnale d'ingresso  $\Delta v_0$  è troppo piccolo.

### Riduzione dell'offset sfruttando un amplificatore

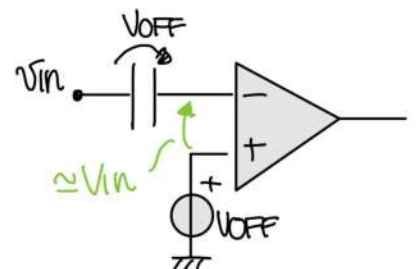
Auto zeroing (2nd order correlated Double sampling)



Fase 1: Facciamo il sensing dell'offset



Fase 2:

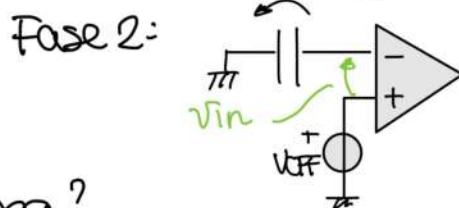
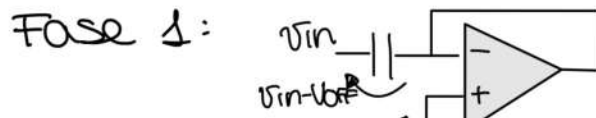
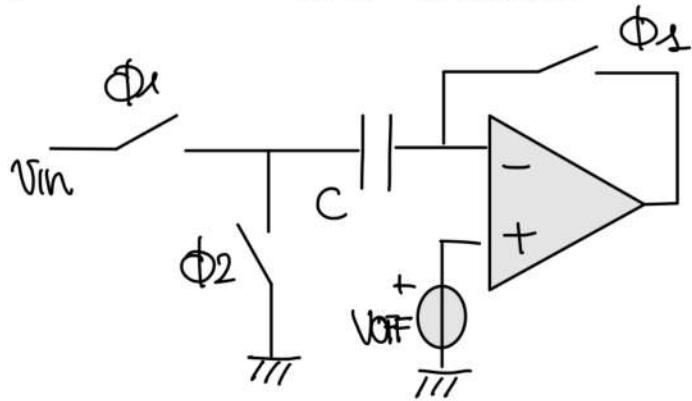


Se  $A \neq \infty$  noi sul condensatore abbiamo  $\left(\frac{A_0}{1+A_0}\right) V_{OFF}$ . In questo caso la differenza

$$\text{tra i 2 pin è } V_{OFF} \left[ \frac{A_0}{1+A_0} - 1 \right] = -\frac{V_{OFF}}{1+A_0}$$

(ricomincia una riduzione dell'offset)

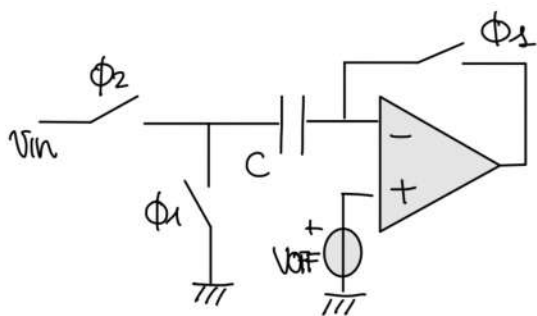
Posso anche fare la stessa roba ma con fasi diverse



Cosa cambia col rispetto al circuito prima?

Se opamp ideale niente, se opamp reale vedere cosa cambia.

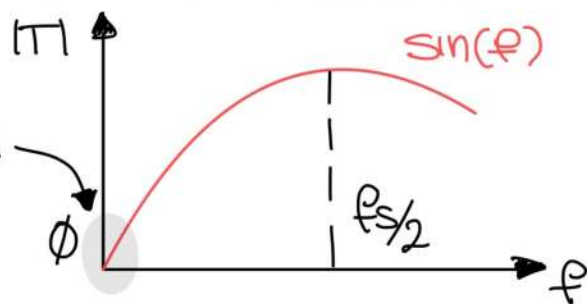
Ma però ora lavoriamo sul circuito ricavato prima



Di base noi assumiamo che l'offset non cambia tra le 2 fasi.

Low frequency noise è ridotta!!

Vediamo che a basse freq il rumore è molto ridotto



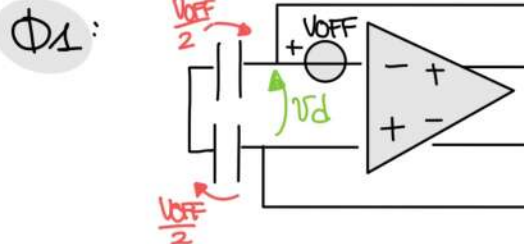
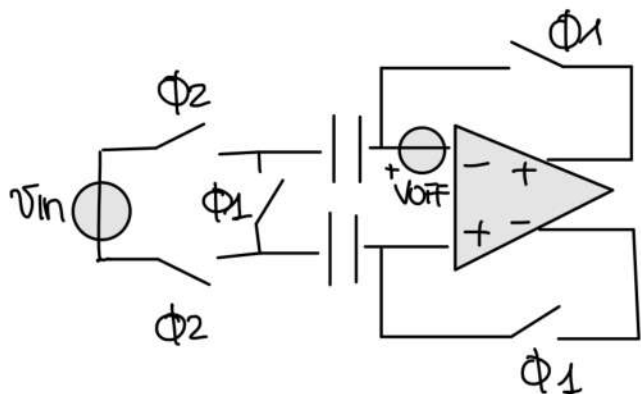
Ma possiamo anche usare questo circuito prima del latch



$$\frac{V_{OFF}}{A_0} + \frac{V_{OFF_{cos}}}{1+A_0}$$

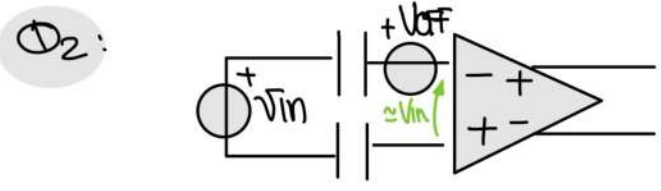
Vediamo che i 2 offset sono circa comparabili come grandezza all'input

Come facciamo un Correlated Double sampling circuit fully differential?

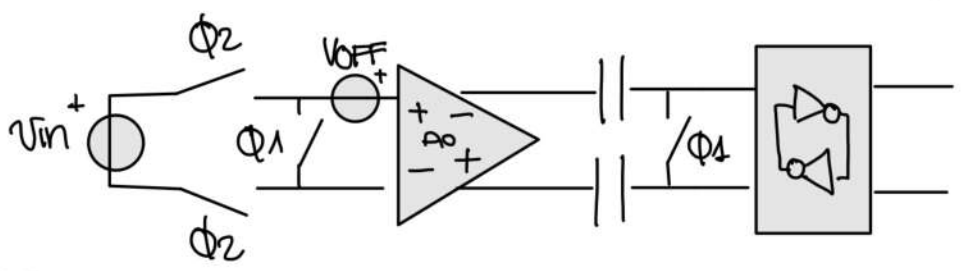


$$(V_d - V_{OFF})(A_0) = V_d$$

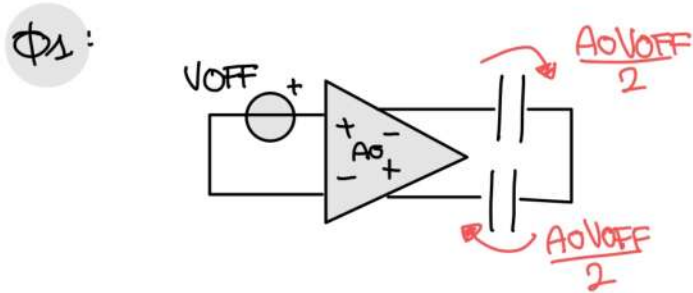
$$V_d = \frac{A_0}{1+A_0}$$



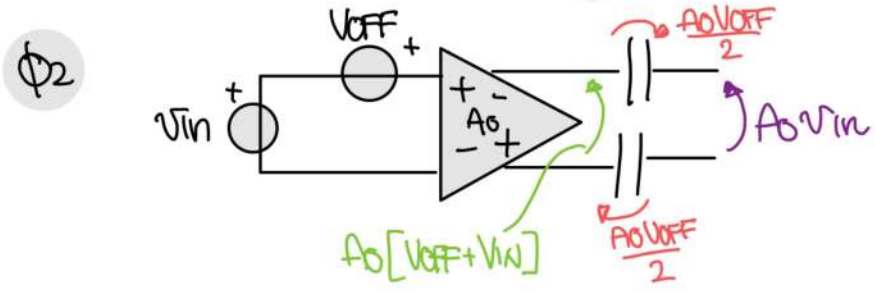
Con un trucco è possibile cancellare completamente l'offset del comparatore anche con  $A_0$  non infinito. Si chiama output offset sampling.



il gain è certamente finito e non infinito ( $A_0$  deve pure essere piccolo)



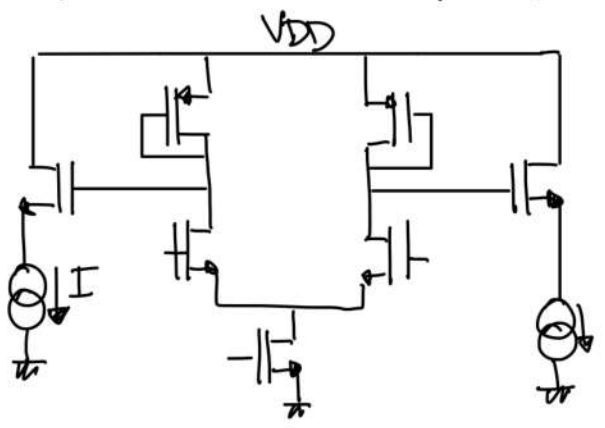
Vediamo che  $A_0$  deve essere piccolo perché siamo saturato



il trucco è che noi facciamo il sampling all'out e quindi anche con  $A_0 \neq \infty$  noi riusciamo a eliminare il tutto.

L'offset totale in ingresso è l'offset del latch che colleghiamo dopo diviso per  $A_0$ .

Come possiamo fare l'opamp? Un'idea è quella di farlo così:

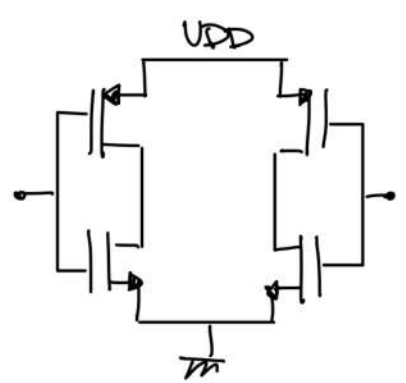


Con dei buffer di output per fornire la corrente

Poi abbiamo il latch a 2 inputti

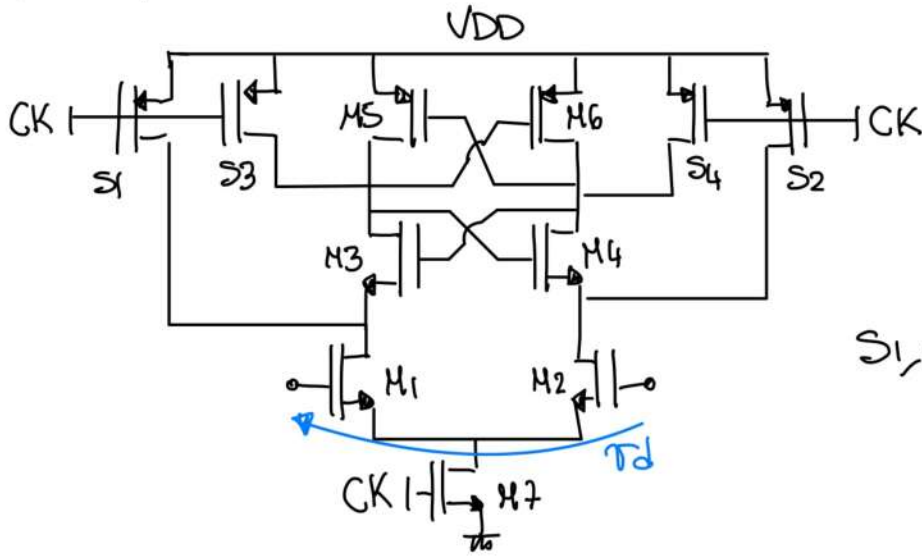
La domanda ci sorge spontanea. Possiamo fare anche un sampling del latch e eliminare il suo offset?

Sì ma è un disastro per nulla bene.



# Strong Arm Comparators

il preamplificatore e il latch sono nella stessa architettura.

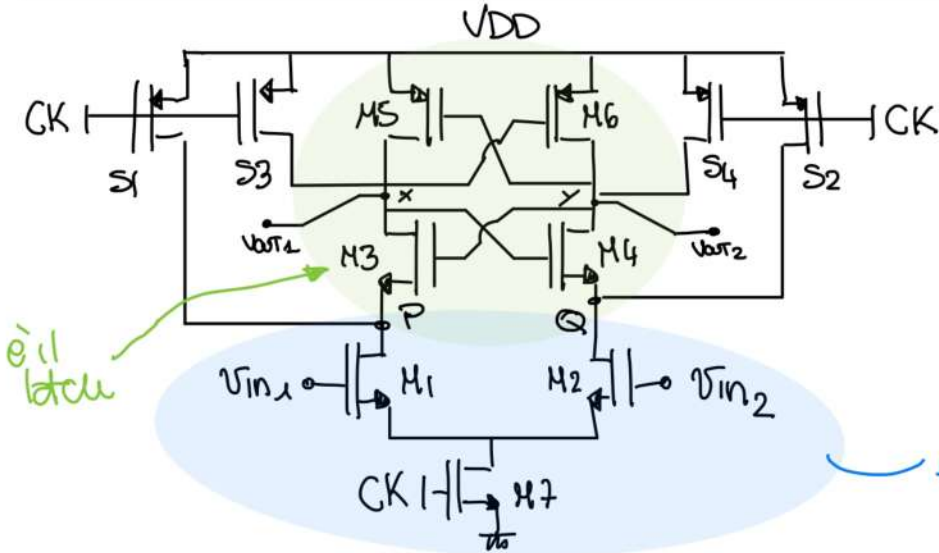


M7 non è uno switch perché quando il clock è zero è un cement generator non un interruttore.

S1, 3, 4, 2 sono degli switch.

23.11.2022

3h

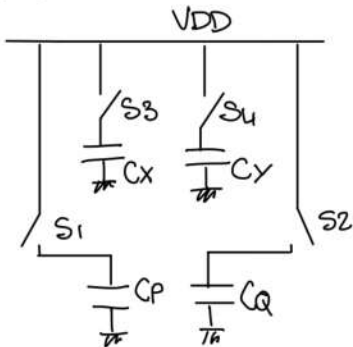


fare l'analisi del rumore di questa cosa è un casino perché il sistema è switched.

Questo circuito è popolare perché consuma relativamente poca corrente.

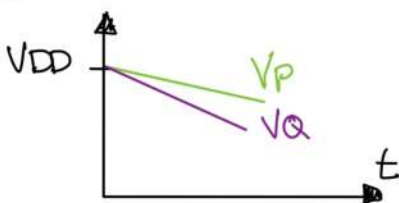
È il preamplificatore

C'è una fase in cui il circuito è preparato per la comparazione in questo caso gli switch sono chiusi e M7 è OFF. In questo caso abbiamo che le capacità ai nodi x, y, P, Q sono a VDD.

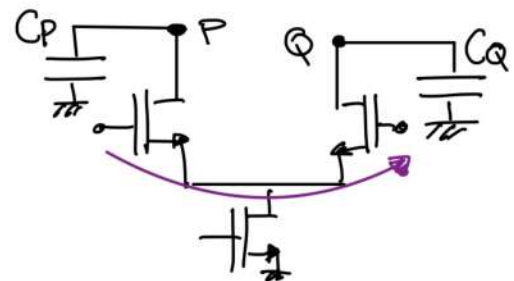


Caricare e scaricare i condensatori è la cosa che dà la maggiore power dissipation nel circuito.

Poi apriamo gli switch e M7 diventa un gen di corrente VP, VQ



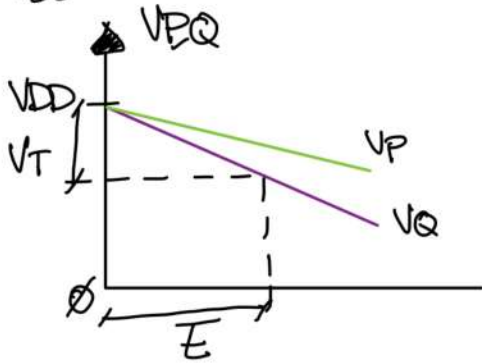
Vediamo che le capacità si scaricano ma non della stessa quantità.





La media di discesa delle 2 curve è circa  $I_{CM}/C$  dove  $I_{CM} = I_{M3}/2$

Arriveremo a un punto in cui uno dei 2 transistor scende di  $V_{DD} - V_T$  e uno tra ( $M3/M4$ ) sarà acceso (ricordiamo che questi transistor hanno i Drain a  $V_{DD}$  perché  $C_x$  e  $C_y$  sono caricate a  $V_{DD}$ ).



Facciamo un' approssimazione e diciamo che

$$V_T = \frac{I_{CM}}{C_{PQ}} \cdot \bar{t} \rightarrow \bar{t} = \frac{C_{PQ} \cdot V_T}{I_{CM}}$$

Ma adesso cerchiamo di ricavare ( $V_Q - V_P$ ) in funzione della  $V_{in}$ . (una sorta di Guadagno)

Ma sappiamo che  $\bar{t}$  è il tempo in cui c'è questo comportamento di rampe con + pendenza dell' altra.

Dato che le rampe sono diverse perché nei condensatori passano correnti diverse (di poco) a causa della corrente differenziale data dal segnale d'ingresso.

Allora so che la diff di corrente nei 2 condensatori è  $\Delta i = g_{m1,2}(V_{in})$

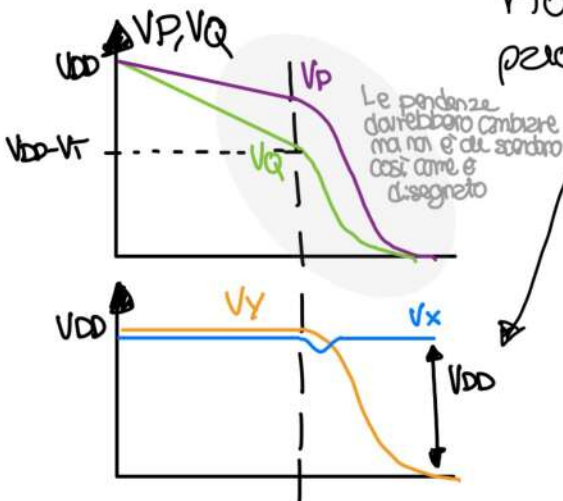
Allora posso vedere che  $|V_P - V_Q| = \frac{g_{m1,2}(V_{in}) \cdot \bar{t}}{C_{PQ}}$

Dunque posso ottenere che

$$A_V = \frac{|V_P - V_Q|}{|V_{in}|} = \frac{g_{m1,2}}{C_{PQ}} \cdot \frac{C_{PQ} \cdot V_T}{I_{CM}} = \frac{g_{m1,2} \cdot V_T}{I_{CM}}$$

Cosa succede poi quando un mosfet tra ( $M3, M4$ ) si accende? Se  $M4$  si accende succede che scricco il condensatore  $C_y$  (avrei un feedback positivo)

no che  $V_Q, V_P$  e  $V_X$  si scaricano a causa del picco differenziale.



Questo grande segnale qua può trasmettersi sulle capacitivi e darci un forte kick back.

INTERESSANTE! Una volta che sono lockato nello stato non ho potenza dissipata dal circuito. Questo perché  $M1$  e  $M2$  vanno OFF perché  $V_P$  e  $V_Q$  vanno a 0.

Consumo quando resettò il tutto.

il consumo è  $P = f_{ck} \cdot V_{DD}^2 [2C_{P,Q} + C_{x,y}]$

E per il rumore?

Nei casi ad esempio ci immaginiamo che il tutto sia dominato dal polo in ingresso.

E se ho dell'offset in ingresso?

Questo vuol dire che quando  $V_{in} = 0$  ho + corrente da un lato che dall'altro (no bene), allora noi possiamo fare  $C_P$  o  $C_Q$  un po' più grande in modo che la rampa discendente sia veloce.

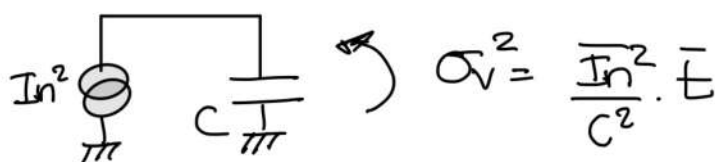
Questo si può fare avendo delle capacità selezionabili con degli switch.

• Rumore riferito all'ingresso.

Noi sappiamo che abbiamo un tempo  $\bar{T} = \frac{C_{P,Q} \cdot V_T}{I_{CM}}$  prima dello switch.

Durante questo tempo il rumore dello stadio di differenziale  $M_1$  e  $M_2$  sono messi sui condensatori  $C_P$  e  $C_Q$ .

ricaviamo la varianza del rumore



Allora possiamo dire che

$\sigma_{P,Q}^2 \propto 2 \times \frac{4KT \delta g_{m1,2}}{C_{P,Q}^2} \cdot \bar{E} \quad [V^2]$

dato che  $\bar{E} = \frac{C_{P,Q} \cdot V_T}{I_{CM}}$

*C'occhio che non è  $V_T^2$  ma è solo  $V_T$  e già stato "integrato".*

Allora abbiamo che

$\sigma_{EQ}^2 \propto \frac{8KT \delta g_{m1,2}}{C_{P,Q}^2} \frac{C_{P,Q} \cdot V_T}{I_{CM}}$

è un' approssimazione ma non è male

E se volessimo riferire all'input questa varianza? Cosa facciamo? Dividiamo per il Gain di prima  $A_V = \frac{g_{m1,2} \cdot V_T}{I_{CM}}$

Perciò  $\sigma_{in_{DF}}^2 \approx \frac{8KT \delta \cdot g_{m1} \cdot V_T}{C_{P,Q}} \cdot \frac{1}{I_{CM}} \cdot \frac{1}{A_V^2}$   
 $\approx \frac{8KT \delta \cdot g_{m1} \cdot V_T}{C_{P,Q}} \cdot \frac{1}{I_{CM}} \cdot \frac{I_{CM}^2}{g_{m1}^2 \cdot V_T^2}$

Noi sappiamo che  $g_{m1,2} = \frac{2I_{CM}}{V_{ov}}$ , allora

$$\sigma_{in,DF}^2 \approx \frac{4KT\delta}{C_{PQ}} \cdot \frac{V_{OV1,2}}{V_T}$$

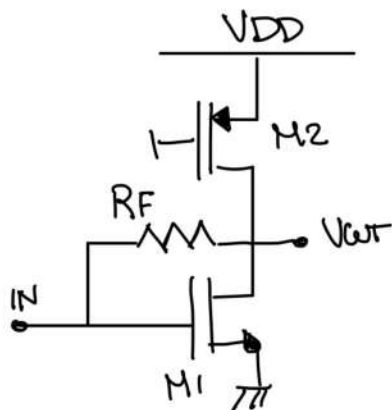
Poi abbiamo anche un rumore sui condensatori dato dagli switch  $S_1, S_2$ .

$$\sigma_{sw,s}^2 = \frac{2KT}{C_{PQ}} \rightarrow \text{Riferito all'input} \rightarrow \sigma_{in,s}^2 = \frac{2KT}{C_{PQ}} \cdot \frac{I_{ov}^2}{g_{m1}^2 \cdot V_T^2}$$

Allora la total input noise è:

$$\sigma_{IN,V}^2 = \frac{4KT\delta}{C_{PQ}} \cdot \frac{V_{OV1,2}}{V_T} + \frac{KT}{2C_{PQ}} \cdot \frac{V_{OV1,2}^2}{V_T^2}$$

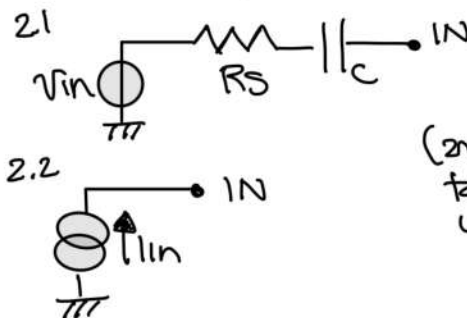
## ESERCIZIO



Ricavare l'input noise

1) Senza avere idea del generatore

2) Avendo queste 2 sorgenti

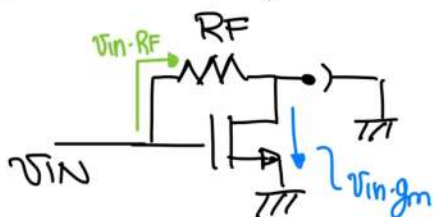


(capacità di decoupling (andiamo a f alte tale che C sia un corto))

Suddentalmente il prof vuole che ricaviamo il  $g_{m1}$  e il  $g_{m2}$  equivalenti.

Iniziamo dal punto 1) e ricaviamo l'equivalent noise generator

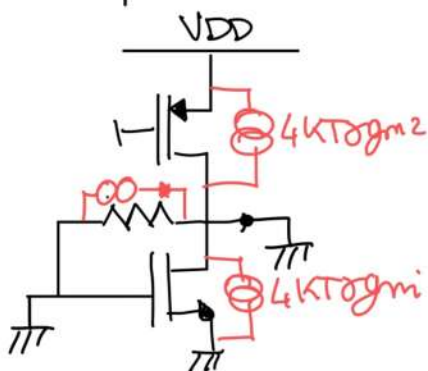
Calcoliamo l'equivalent voltage noise all'input?



$$i_{out} = v_{in} \cdot R_F - v_{in} \cdot g_{m1}$$

$$\frac{i_{out}}{v_{in}} = \frac{1 - g_{m1} R_F}{R_F}$$

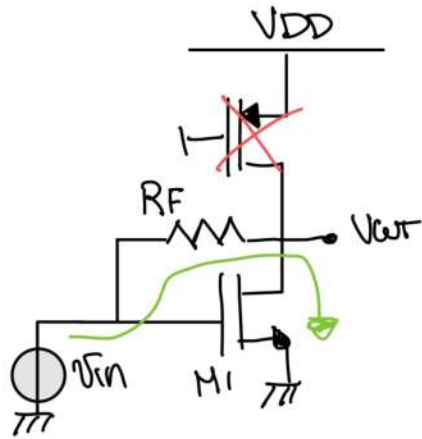
Valutato questo possiamo vedere i contributi di rumore riferiti all'input.



il corto all'input è fondamentale, quello all'output NO! Ma noi lo facciamo per semplificare la vita

$$E_n^2 = \frac{4KT\delta g_{m1}}{\left(\frac{1 - g_{m1} R_F}{R_F}\right)^2} + \frac{4KT\delta g_{m2}}{\left(\frac{1 - g_{m1} R_F}{R_F}\right)^2} + \frac{4KT}{R_F} \cdot \left(\frac{R_F}{1 - g_{m1} R_F}\right)^2$$

Vediamo se ricaviamo lo stesso risultato ricavando l'output voltage

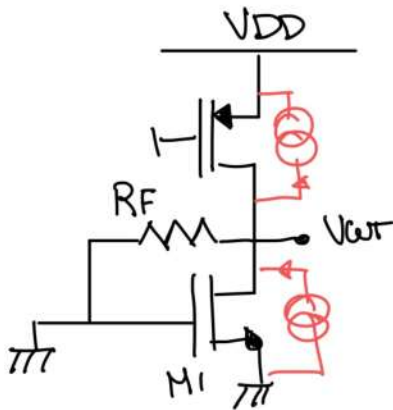


$$g_m v_{in} = \frac{v_{out} - v_{out}}{R_F}$$

$$v_{in} \left[ g_m - \frac{1}{R_F} \right] = -\frac{v_{out}}{R_F}$$

$$\text{Quindi: } \frac{v_{out}}{v_{in}} = 1 - g_m R_F$$

Ricaviamo adesso il noise generator all'output



ESSENZIALE CHE L'INPUT SIA A TERRA!

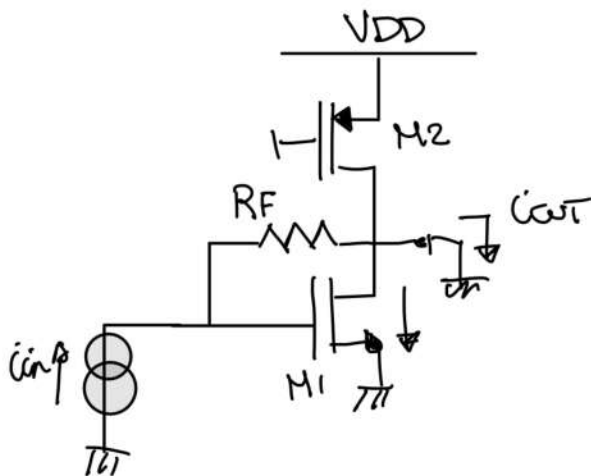
$$R_{out} \approx R_F$$

Allora

$$E_{out}^2 = 4kT\delta g_{m1} R_F^2 + 4kT\delta g_{m2} R_F^2 + 4kT R_F$$

e per ricavare all'input? dividiamo il tutto per  $\left(\frac{v_{out}}{v_{in}}\right)^2$  che sarebbe  $(1 - g_m R_F)^2$

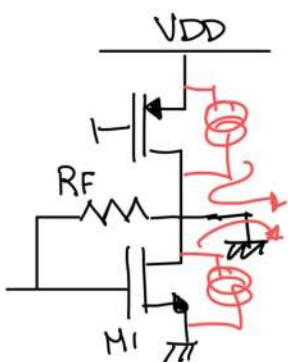
CONSIDERIAMO ORA L'INPUT SOURCE = GEN DI CORRENTE



$$i_{out} = i_{in} - i_{in} R_F g_{m2}$$

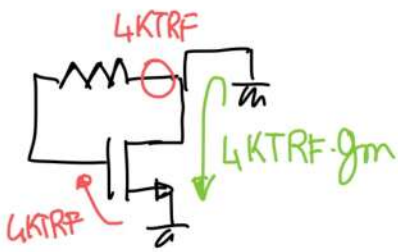
$$\text{Quindi: } \frac{i_{out}}{i_{in}} = 1 - g_{m1} R_F$$

Input current noise

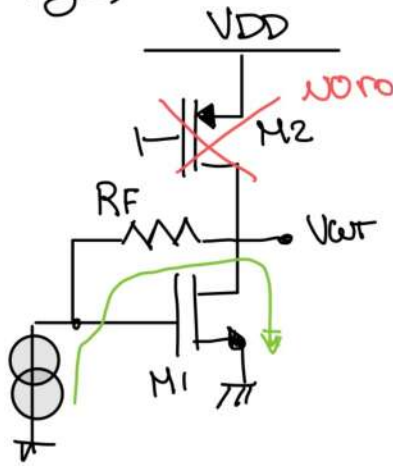


L'INPUT È aperto!

$$\bar{I}_n^2 = \frac{4kT\delta [g_{m1} + g_{m2}]}{(1 - g_{m1} R_F)^2} + \frac{4kT R_F g_{m1}^2}{(1 - g_{m1} R_F)^2}$$



FACCIAMO ORA LA STESSA COSA CON INPUT APERTO E OUTPUT APERTO (Dobbiamo valutare il gain tra corrente e output voltage)

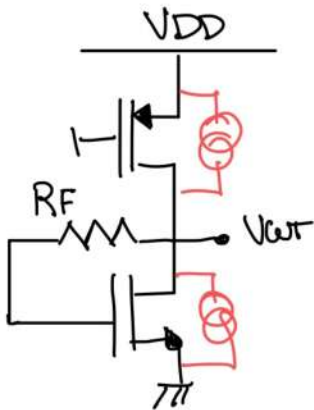


Allora  $V_a = \frac{i_{in}}{g_{m1}}$

La  $V_{out} = V_a - R_F i_{in}$   
 $= \frac{i_{in}}{g_{m1}} - R_F i_{in}$

Per cui  $\frac{V_{out}}{i_{in}} = \frac{1 - g_{m1} R_F}{g_{m1}}$

Calcoliamo adesso la noise su out ma con l'input aperto



$R_{out} = \frac{1}{g_{m1}}$

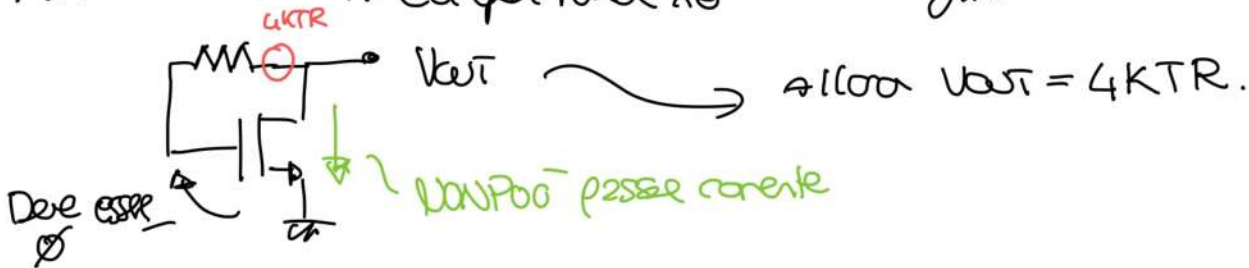
Allora

$\overline{E_{n_{out}}^2} = 4KT [g_{m1} + g_{m2}] \cdot \frac{1}{g_{m1}^2} + 4KTR_F$

Allora

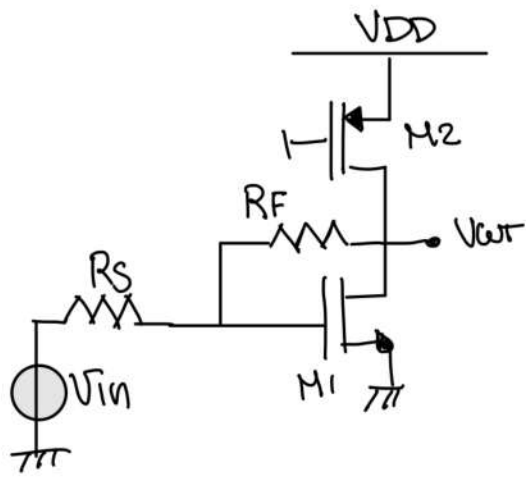
$\overline{I_{in}^2} = \frac{4KT [g_{m1} + g_{m2}]}{(1 - g_{m1} R_F)} \cdot \frac{1}{g_{m1}^2} + \frac{4KTR_F}{1 - g_{m1} R_F} \cdot g_{m1}^2$

Attenzione che  $R_F$  da quel ramo no

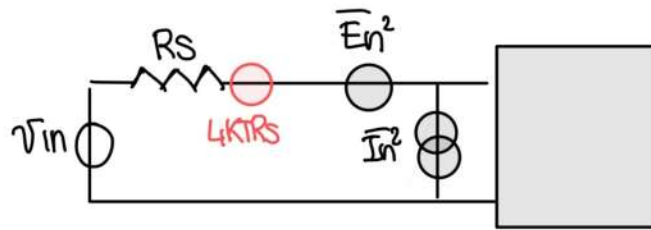


E SE ABBIAMO LA SORGENTE RESISTENZA + CONDENSATORE?  
 (che per noi e' in corto)

Allora:



Non pensiamo di fare



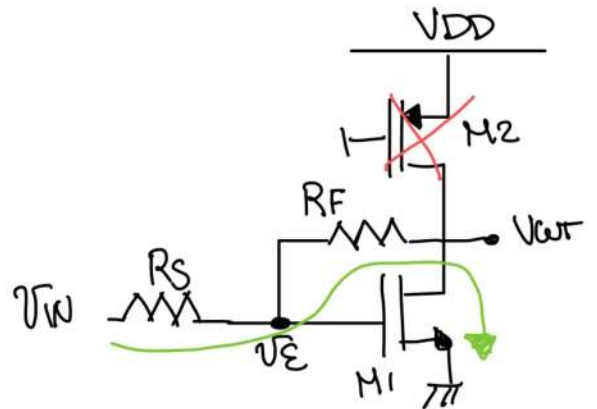
$$\overline{V_{in}^2} \approx 4kTRS + \overline{E_n^2} + \overline{I_n^2} \cdot R_s^2$$

(Ma è un approx sbagliata perché i somizzmo come indipendenti ma in realtà non lo sono).

Come facciamo a essere precisi? Dobbiamo ricavarla da zero d'inverso tutto.

Ricaviamo  $\frac{V_{out}}{V_{in}}$

$$\begin{cases} \frac{V_{in} - V_E}{R_S} = g_{m1} V_E \\ \frac{V_E - V_{out}}{R_F} = \frac{V_{in} - V_E}{R_S} \end{cases}$$



Quindi:

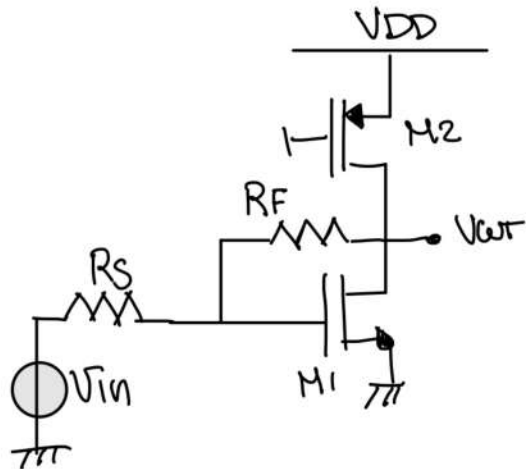
$$\frac{V_{out}}{V_{in}} = \frac{1 - g_{m1} R_F}{1 + g_{m1} R_S} = \frac{\frac{-R_F}{R_S}}{1 + \frac{1}{g_{m1} R_S}} + \frac{1}{1 + g_{m1} R_S}$$

Guadagno Diretto

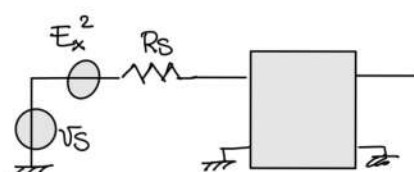
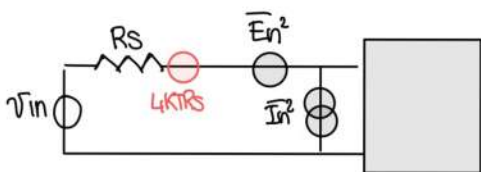
28.11.2022

3h

Continuamo il circuito della scorsa volta.



Quando noi non sappiamo la input impedance (Rs) noi abbiamo bisogno di 2 guasti per identificare il rumore  $\overline{E_n^2}$  e  $\overline{I_n^2}$ .  
Una volta che so qual'è Rs non ho bisogno di fare questo.  
Nel nostro caso posso fare un generatore equivalente di rumore (dato che entro in tensione)

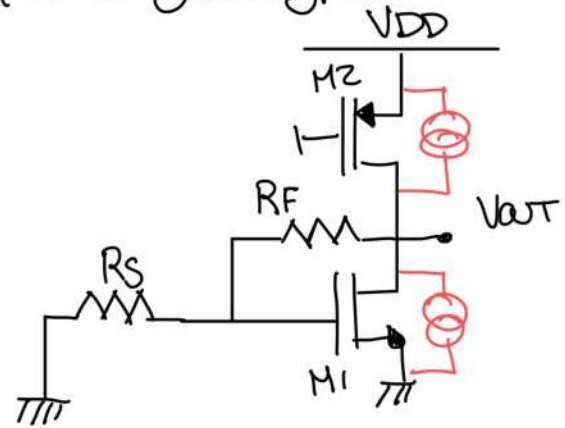


Potei scrivere che

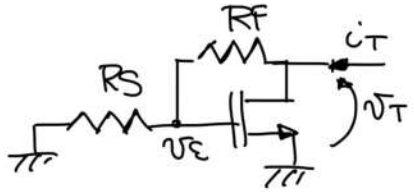
$$E_x^2 \approx 4kTRS + \overline{E_n^2} + \overline{I_n^2} \cdot R_s$$

(Non è uguale perché In e En sono correlati)

Ma noi in questo es. vogliamo essere precisi.  
 La scorsa volta abbiamo calcolato il guadagno tra ingresso e uscita, adesso calcoliamo il rumore all'output e dividiamo per il guadagno.



Vedo che i rami di  $M1$  e  $M2$  spingono sull'output e quindi ci basta ricavare  $R_{out}$ .  
 (Ricorda: il nostro gain è  $V_{out}/V_{in}$ , per quello calcoliamo il rumore in  $V_{out}$ )



$$\begin{cases} i_T = \frac{v_E}{R_S} + g_{m1} v_E = v_E \left[ \frac{1}{R_S} + g_{m1} \right] \\ \frac{v_E}{R_S} = \frac{v_T - v_E}{R_F} \end{cases} \rightarrow R_{out} = \frac{R_F + R_S}{1 + g_{m1} R_S}$$

Perciò il rumore dato dai 2 MOS è

$$\overline{E_{noise}^2} = 4KT\gamma(g_{m1} + g_{m2}) \cdot \left( \frac{R_F + R_S}{1 + g_{m1} R_S} \right)^2$$

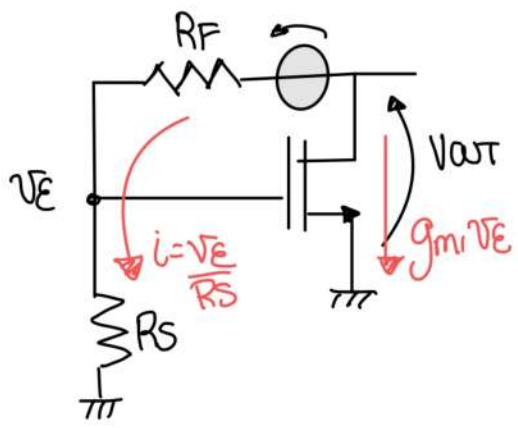
Attenzione qui ci va il modulo quadro (se abbiamo una capacità NON abbiamo  $j^2 = -1$ )

Quindi all'ingresso abbiamo

$$\overline{V_{n_{MOS}}^2} = \frac{\overline{E_{noise}^2}}{G^2} = \frac{4KT\gamma(g_{m1} + g_{m2})(R_F + R_S)^2}{(1 + g_{m1} R_S)^2 \cdot \frac{(-1 - g_{m1} R_F)^2}{(1 + g_{m1} R_S)^2}}$$

Ma sappiamo che il rumore di  $R_S$  è uguale a quello del caso precedente (quindi non lo facciamo)

Noi adesso calcoliamo il rumore di  $R_F$ .



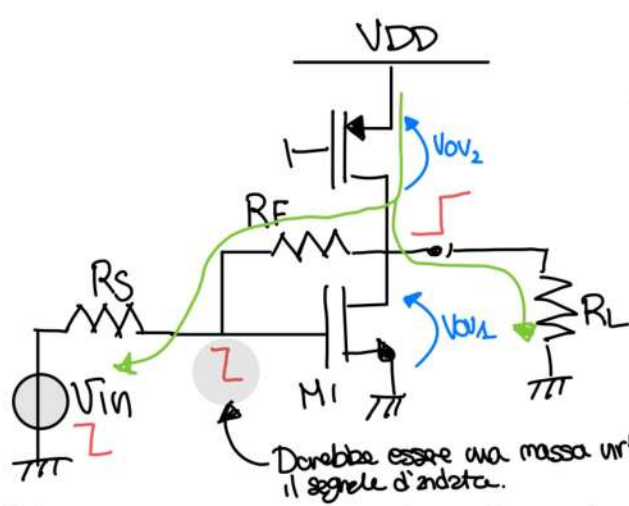
$$\frac{v_E}{R_S} = -g_{m1} v_E \quad \text{IMPOSSIBILE!}$$

Non può scorrere corrente,  $v_E = 0$ .

$$\text{Allora } v_{out} = 4KT R_F$$

Allora il rumore all'input è  $\frac{4kTRF}{(1-g_{mi}R_F)^2} (1+g_{mi}R_S)^2$

Abbiamo limitazioni di tensione e corrente all'output?



$$\begin{cases} V_{OUT\ MAX} = V_{DD} - V_{ov2} \\ V_{OUT\ MIN} = V_{ov1} \end{cases}$$

Quando mi avviciniamo a questi valori ho una distorsione di 3a armonica

Abbiamo anche dei limiti sulla corrente. Ci avviciniamo a guadagno negativo.

Nel caso peggiore M1 è OFF e M2 deve fornire corrente sia a RL sia a RS + RF.

Perciò la vera limitazione sulla tensione d'output è

$$I_{bias} [(R_S + R_F) \parallel R_L]$$

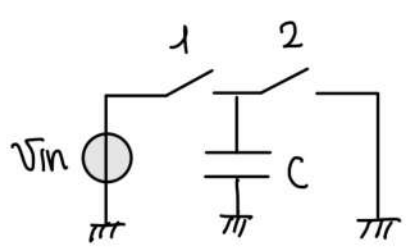
Tipicamente il problema della corrente è tipico degli stage di output.

M1 non limita la corrente (di norma) quando Vin sale perché non è un generatore di corrente fisso come lo è M2.

### SWITCHED CAPACITORS.

Ricordiamo che noi lavoreremo con il segnale campionato (non con un segnale continuo)

Dobbiamo stare attenti perché se abbiamo la sampling frequency troppo bassa abbiamo problemi (es. Aliasing)



Posso fare il solito discorso sulla corrente media.

$$\bar{I} = \frac{V_{in} \cdot C}{T_{CK}} = \frac{V_{in}}{R_{eq}} \rightarrow R_{eq} = \frac{T_{CK}}{C}$$

Vin deve cambiare lentamente rispetto alla frequenza di clock.

Qui abbiamo che la corrente e la tensione sono in fase (NON in quadratura) perché è uno switched cap.

Infatti con uno switched cap abbiamo power dissipation.



A noi piace fare le resistenze con gli switch cap perché quando facciamo un integratore abbiamo che la FDT dipende dal rapporto tra 2 capacità.

$$FDT = \frac{C_1}{C_2} \cdot f_{ck}$$

Ci serve anche fon molto precisa. Ma quella riusciamo a farla senza troppo casino.

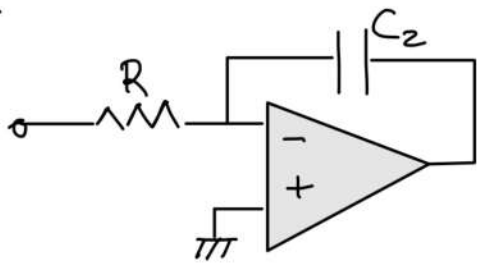
E come calcolo il rumore?

Posso provare a calcolare normalmente il rumore della resistenza equivalente.

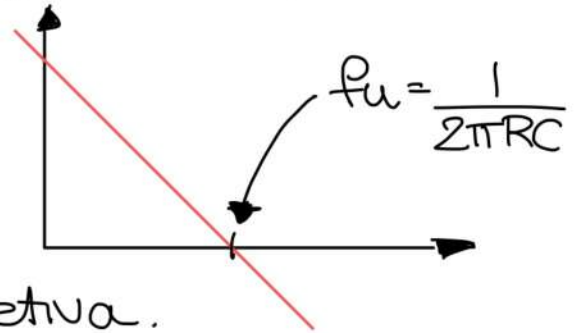
$$4kTReq = 4kT \cdot \frac{1}{f_{ck}} \quad (\text{dimensionalmente è corretto})$$

Diciamo che come rumore ci sta.

Vediamo come fare il design di un integratore con gli switched cap.

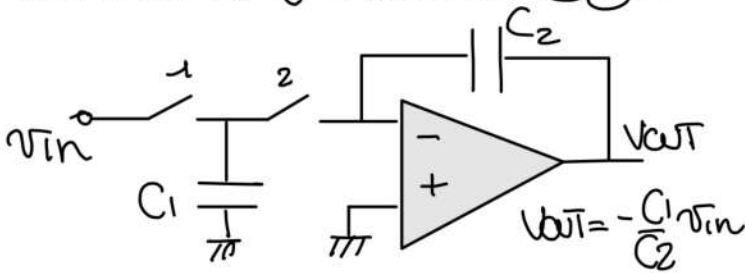


$$\frac{V_{out}}{V_{in}} = \frac{1}{sRC_2}$$



Se  $V_{in} = \text{costante}$  ho una rampa negativa.

Nella realtà non si usano gli integratori in open loop perché saturano (2 causa degli offset)



Nella realtà nessuno usa switched cap single ended.

In fase 2 dato l'opamp ideale abbiamo che tutta la carica di  $C_1$  va su  $C_2$

(Se l'opamp non è ideale non tutta la carica viene rimossa)

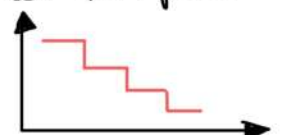
In fase 1 abbiamo l'opamp connesso a buffer con una capacità e importante studiare la stabilità di questa configurazione!!

Supponiamo di stabilizzare la fase 1 quel problema abbiamo in fase 2. Nella fase 2 abbiamo modi per il circuito che risulta stabile di quello in fase 1. tuttavia ci dobbiamo fare il polo dominante dato della fase 1.

Quindi perdiamo in setting time.

Ma la nostra uscita è  $V_{out} = -\frac{C_1}{C_2} \cdot v_{in}$ , cioè la rampa?

La rampa c'è quando metto in serie i valori di  $v_{out}$  siamo in un sistema discreto!

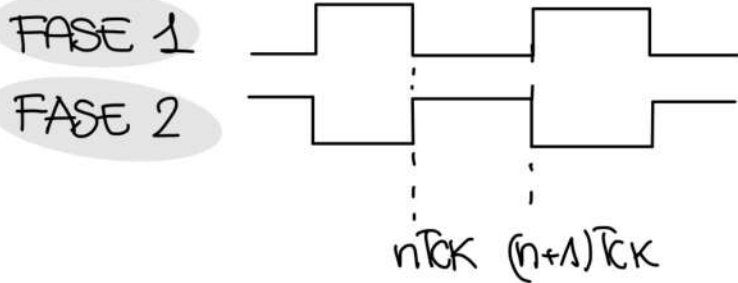


Qual'è la vera transfer function dello switched cap?  
 Mi aspetto sia

$$\frac{V_{out}}{V_{in}} = -\frac{1}{sC_2 \frac{1}{\alpha f_{ck}}} = -\frac{C_1}{sC_2} f_{ck}$$

Ma nella realtà la soluzione è più complessa.

Dobbiamo fare la trasformata zeta. (e comunque non è precisa perché è un modello)



Possiamo scrivere che la carica su  $C_2$  è data dalla carica su  $C_1$ . (Noi supponiamo che tutta la carica sia trasferita)

$$C_2 \{ V_{out}[nT_{ck}] - V_{out}[(n-1)T_{ck}] \} = -C_1 V_{in} [(n-1)T_{ck}]$$

Passiamo alla trasformata zeta

$$C_2 V_{out} (1 - z^{-1}) = -C_1 V_{in} z^{-1}$$

$$z \longleftrightarrow e^{j\omega T_{ck}}$$

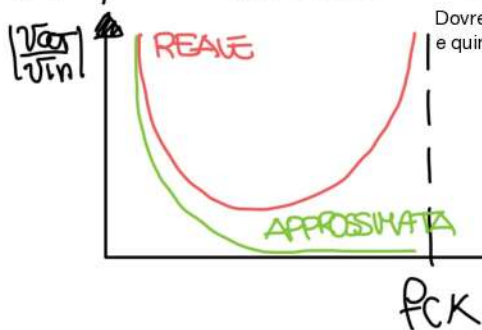
$$\frac{V_{out}}{V_{in}}(\omega) = -\frac{C_1}{C_2} \frac{e^{-j\omega T_{ck}}}{1 - e^{-j\omega T_{ck}}} = -\frac{C_1}{C_2} \cdot \frac{1}{e^{-j\frac{\omega T_{ck}}{2}}} \cdot \frac{e^{-j\omega T_{ck}}}{e^{j\frac{\omega T_{ck}}{2}} - e^{-j\frac{\omega T_{ck}}{2}}}$$

$$= -\frac{C_1}{C_2} \frac{e^{-j\frac{\omega T_{ck}}{2}}}{2j \sin(\frac{\omega T_{ck}}{2})}$$

Che è simile ma non uguale al risultato approssimato che abbiamo calcolato prima.

$$\frac{1}{sC_2 R_{eq}} = \frac{-C_1}{j2\pi C_2 T_{ck}} \frac{1}{f}$$

A basse frequenze le 2 espressioni sono uguali, mentre diventano sempre + diverse + c'è si avvicina a  $T_{ck}/2$ .



Dovrebbe essere giusto perché quando abbiamo  $\omega = 2\pi/T_{ck}$  abbiamo al denominatore  $\sin(\pi)$  che fa 0 e quindi la curva reale a infinito

$$\text{a basse freq } e^{-j\frac{\omega T_{ck}}{2}} \approx 1$$

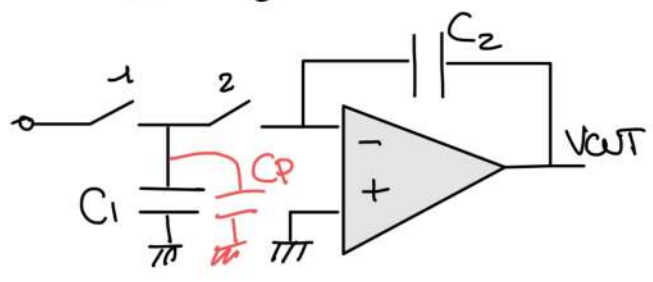
$$\text{e } \sin(\frac{\omega T_{ck}}{2}) \approx \frac{\omega T_{ck}}{2}$$

Controllare se Reale e Approssimata sono giuste.

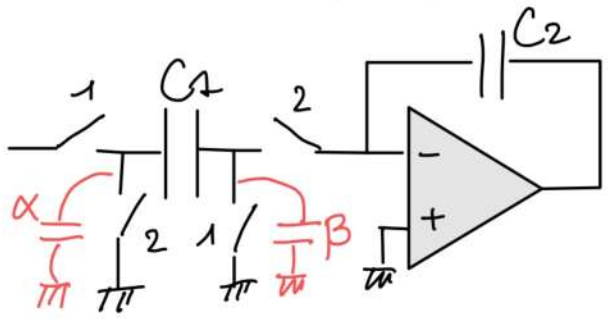
Quando facciamo un filtro dobbiamo considerare l'analisi nella trasformata zeta.

I problemi dei circuiti di switched cap sono le capacità parassite e il design degli switch.

≠ Capacità parassita della quale non sappiamo il valore e entra nella nostra FDT.



Esiste una topologia per non essere sensibile ai parassitismi



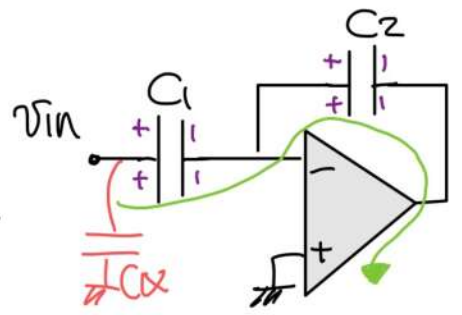
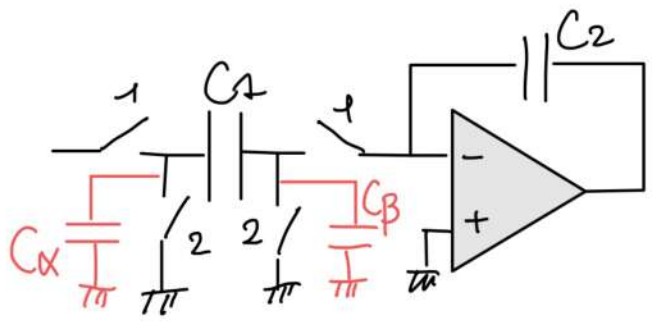
Durante la fase 1 Cx è caricata a Vin e Cb non vede niente. In fase 2 Cx viene scaricato a terra. Cb potrebbe rompersi la pelle ma SE l'Opamp è ideale io ho Cb tra terra e terra virtuale quindi non può essere carica.

Se facciamo la trasformata zeta di questo otteniamo

$$\frac{V_{out}}{V_{in}}(z) = + \frac{C_1}{C_2} \frac{z^{-1}}{1-z^{-1}} \quad \text{è un phase delay}$$

Esiste anche un'altra topologia parasitica insensibile.

(E' uguale ma le fasi sono cambiate)



Nella fase 1 abbiamo una direct connection. Allora abbiamo che

$$V_{out}/V_{in} = -C_1/C_2$$

Abbiamo che Cx è connessa a Vin e quindi si carica, ma non ha effetto sul nostro trasferimento, Cb è invece tra una terra e una terra virtuale.

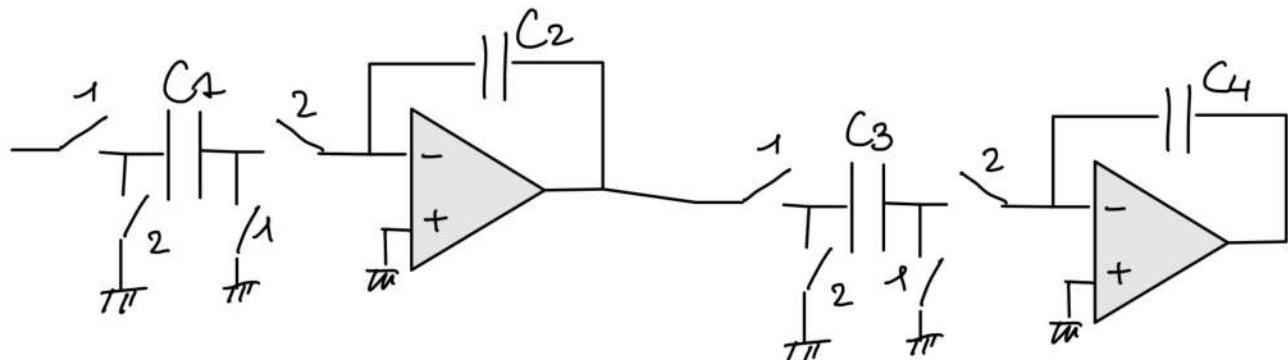
Nella Fase 2 andiamo a scaricare le capacità.

L'FDT di questo circuito è

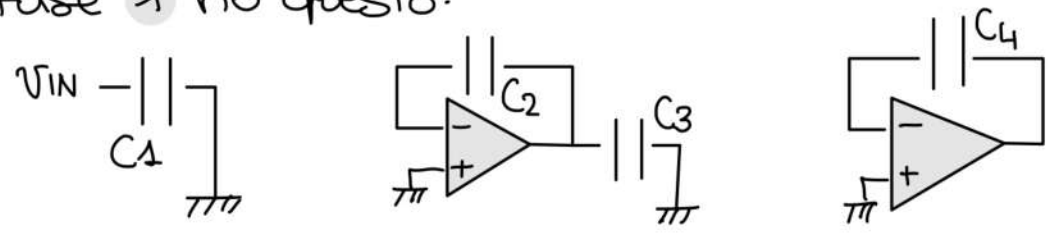
$$\frac{V_{out}}{V_{in}} = - \frac{C_1}{C_2} \cdot \frac{1}{1-z^{-1}}$$

Non ha delay!!

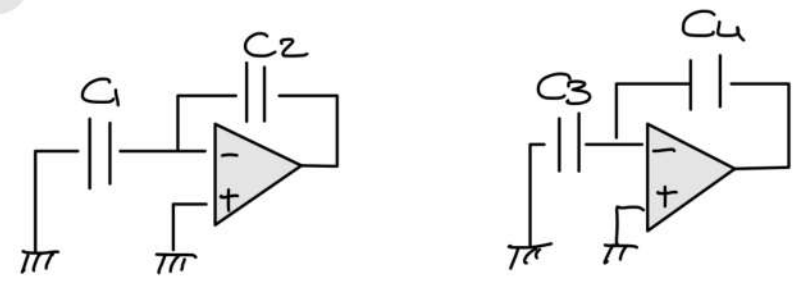
Vediamo che in questo caso la sorgente deve gestire la carica di 2 condensatori. E se ho + integratori in serie (stille filtro?)



Come gestiamo il timing?  
ES, in fase 1 ho questo:



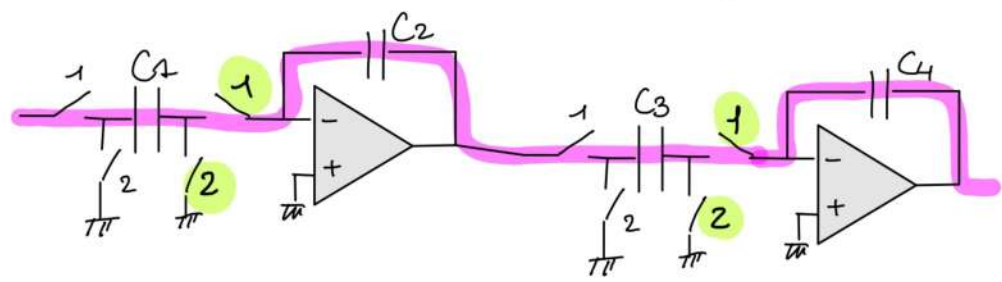
In fase 2 ho che



Devo aspettare il settling time del primo integratore prima di attaccare il 2°

Il settling time dipende da "RC" e della banda dell'OTA.

E cosa succede con l'altra topologia?

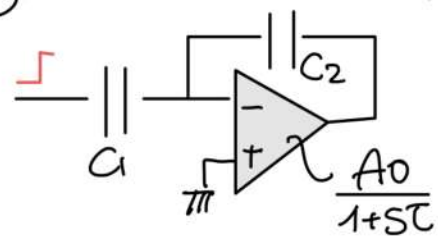


Vediamo che in fase 1 ho i 2 opamp connessi assieme. Mi serve aspettare il settling time di 2 opamp.

Se voglio anche rapido devo usare opamp con settling time veloce e quindi con una grande banda.

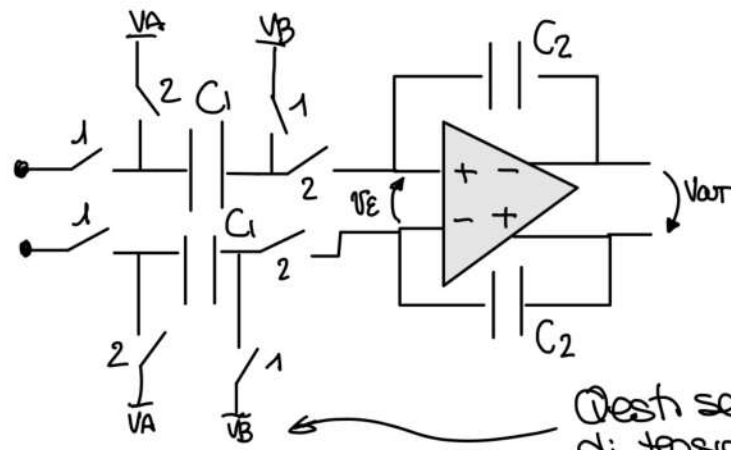
Noi per ora abbiamo parlato di integratori fathia switch cap ma si possono fare anche amplificatori normali.

Per studiare il settling time noi studiamo questo circuito con una step function



(Ricordarsi come si calcola il settling time)

# Fully differential switched cap



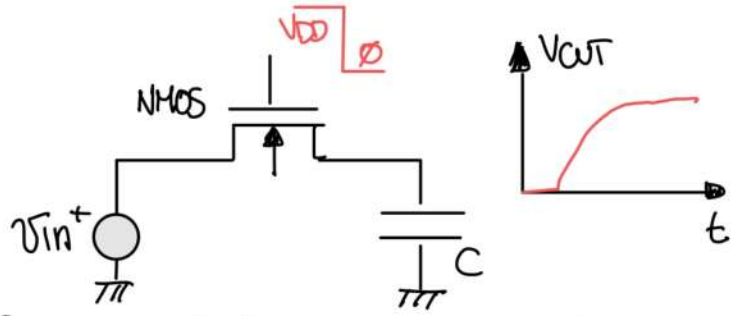
$$V_{out} = V_{in} \cdot \frac{Z^{-1}}{1 - Z^{-1}}$$

Questi segnali non sono GND, perché il valore di tensione qui è dipendente dalla common mode.

In un circuito Fully differential non importa la carica che ho su C1 importa la differenza di carica che ho sulle 2 capacità C1.

Ad esempio se VA è VDD allora gli switch 2 saranno PMOS. Importante è anche notare che la resistenza degli switch fa variare il settling time.

## Discussione sul design degli switch



Ma quando facciamo il sampling prendiamo anche il rumore  $\frac{kT}{C}$

(in realtà il sampling lo facciamo quando apriamo lo switch)

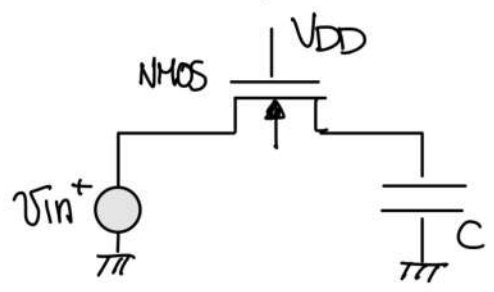
Se avessimo Rswitch = 0 non avremmo problemi, ma dato che ho una resistenza ho un settling time.

Questo settling time mi limita la mia massima frequenza di funzionamento.

Se volessi diminuire il settling time (e non posso toccare Tcr) allora devo ridurre C, ma se riduciamo C abbiamo che abbiamo + rumore.

Potrei anche fare R più piccola (quindi il transistor + largo) ma così facendo ho + charge injection.

Problema 1: il massimo segnale che possiamo sample è VDD - VT perché dobbiamo avere il mos ON.



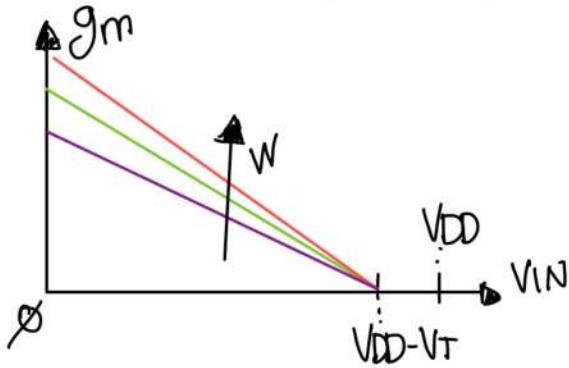
$$I = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[ (V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right]$$

Quando siamo vicini a 0  $\rightarrow \frac{V_{ds}^2}{2} \approx 0$

Allora la resistenza in questo caso è (conduttanza:)

$$g_m = \frac{I}{V_{DS}} = \mu_n C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_T) = \mu_n C_{ox} \left(\frac{W}{L}\right) [V_{DD} - V_{IN} - V_T]$$

Plottiamo adesso la conduttanza  $g_m$  in funzione di  $V_{IN}$



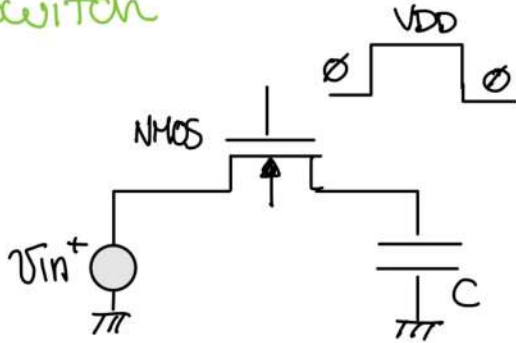
Vedo che per segnali vicino a  $V_{DD} - V_T$  la resistenza è troppo grande.

In + ho che se  $V_{IN}$  si muove anche la resistenza si muove. A noi sta vada non va bene per niente. (induce distorsioni)

30.11.2022

3h

### Switch



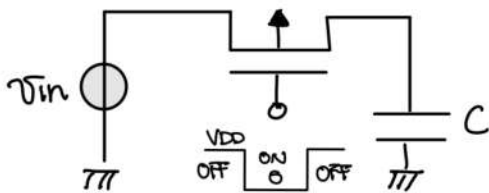
Abbiamo un sampler.

Abbiamo anche visto che

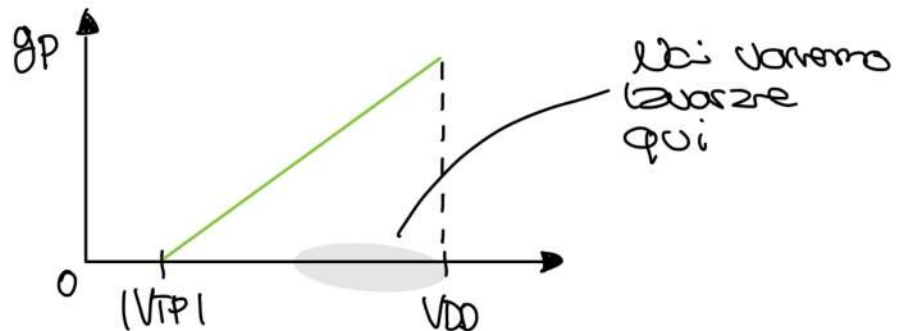
$$g_m = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[ \underbrace{V_{DD} - V_{IN}}_{V_{GS}} - V_T \right]$$

Possiamo anche usare gli switch fatti a PMOS.

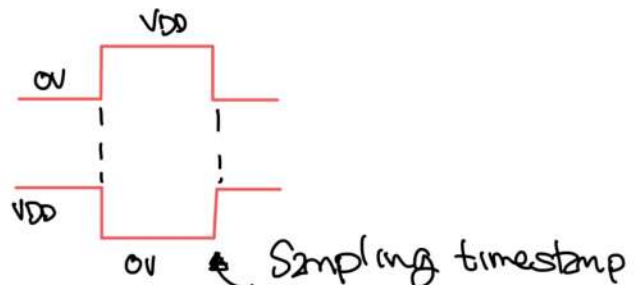
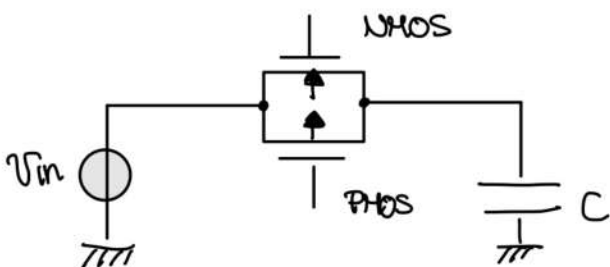
Ho la stessa situazione complementare.



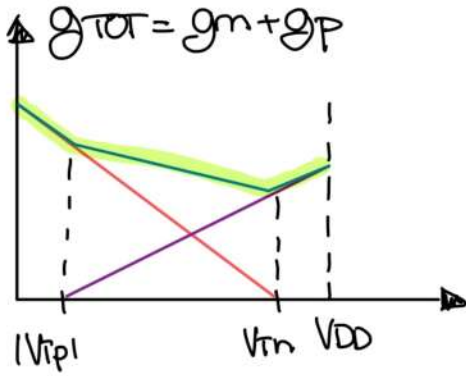
$$g_p = \mu_p C_{ox} \left(\frac{W}{L}\right) [V_{IN} - |V_{TP}|]$$



Cosa facciamo se abbiamo un segnale che va da 0 a  $V_{DD}$ ? Cerchiamo di non averlo!! Ma nel caso usiamo un transmission gate.



Qual'è la conduttanza di sta roba qua?

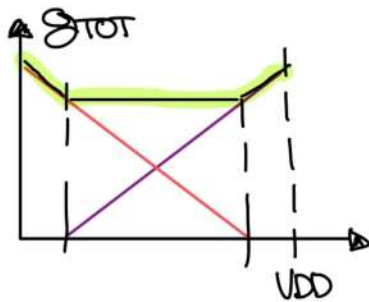


$g_{TOT} = g_m + g_p$

Dobbiamo stare attenti che  $V_{TN} + |V_{TPI}| < V_{DD}$

VANTAGGIO: ho che la charge injector + o - si bilancia (se NMOS e PMOS hanno lo stesso dimensionamento)

Vediamo che la conduttanza è molto migliore di prima. Si può fare meglio e avere che tra le 2 VT ho  $g_m$  costante. Per fare questo modifico l'aspect ratio del PMOS in modo da compensare la differenza di mobilità



$\mu_n \left(\frac{W}{L}\right) = \mu_p \left(\frac{W}{L}\right)_p$

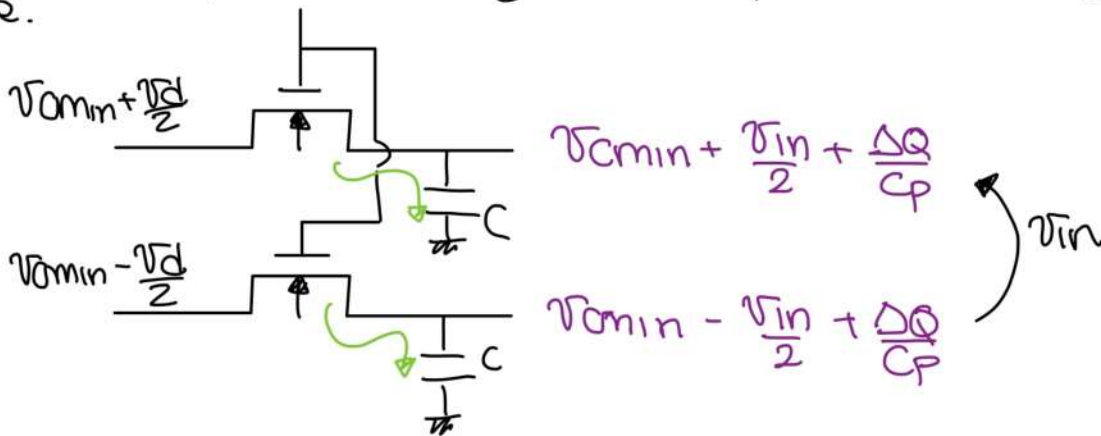
Qual'è lo svantaggio di fare sta roba? Che non ho il bilanciamento della charge injector e il fatto che il layout sia + complesso.

Vediamo che questo sistema ha molti vantaggi:

- Diminuiamo la charge injector
- $G_m$  è + costante e ha + range

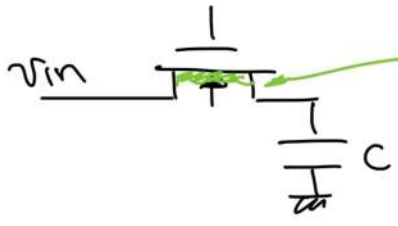
Tuttavia si cerca di evitare perché abbiamo il doppio del load sul clock. Dobbiamo avere 2 clock uno l'inverso dell'altro e sicuro non sono perfettamente uguali (clock skew).

Qual'è poi essere un top aiuto per la charge injector? Il fully differential!! perché noi abbiamo la charge injector in entrambi i path del segnale e quindi è un segnale di modo comune.



Questo è un enorme vantaggio per eliminare la charge injector.

Con questa topologia non possiamo aumentare troppo  $V_{in}$   
 Questo perché abbiamo tensioni diverse ai 2 rami del circuito e  
 quindi la capacità del mosfet è diversa nei 2 rami



$$Q = (C_{ox} \cdot W \cdot L) \cdot \alpha [V_{DD} - V_{in} - V_{Tn}]$$

Abbiamo dunque che non ho una cancellazione di carica  
 perassita completa. Cionondimeno ho che la differenza di carica è  
 proporzionale da  $V_{in}$  (diciamo che  $\frac{\Delta Q_1}{C_{P1}} - \frac{\Delta Q_2}{C_{P2}} = \beta V_{in}$ )

Allora possiamo sapere che l'output è

$$V_{out} = V_{in}(-1 + \beta)$$

Ma non ci da problemi perché il sistema è ancora lineare.

Un'altro problema è dato dall'effetto di body (la  $V_T$  dipende dalla  
 tensione in ingresso) allora abbiamo che la  $V_T$  non è uguale tra  
 i 2 MOS. Per di + la  $V_T$  non è lineare  $\rightarrow$  distorsione.

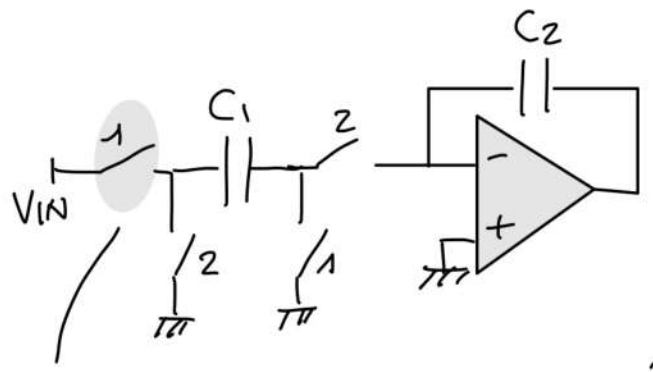
Un'altro problema è che noi chiudiamo gli switch + o - a tempi  
 leggermente diversi (dato che la  $V_T$  è diversa) quindi ho un  
 errore anche lì.

↑ Questi sopra sono tutti errori del 2° ordine ma che se  
 vogliamo essere molto risoluti ci scassinano le palle.

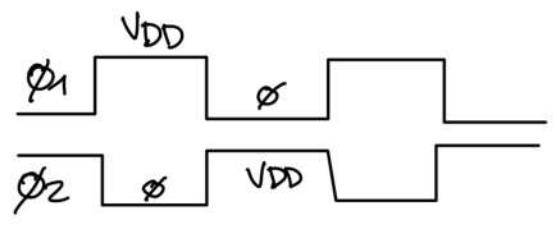
### Bottom Plate sampling

È una tecnica che può essere utilizzata in un integratore  
 un switched cap o dove vogliamo.

(Noi disegniamo solo un branch)



Come e quanti fasi abbiamo?  
 Io direi 2 (ma no)



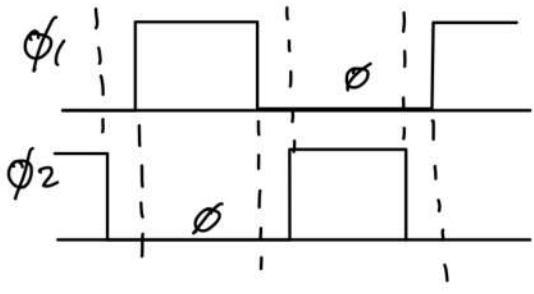
Tutti gli switch sono  
 1NMOS.

Ricordiamo che il NMOS è on quando  
 ho VDD.

Non possiamo fare così perché  
 abbiamo il clock skew, quindi devo  
 avere dello spazio di disoverlap



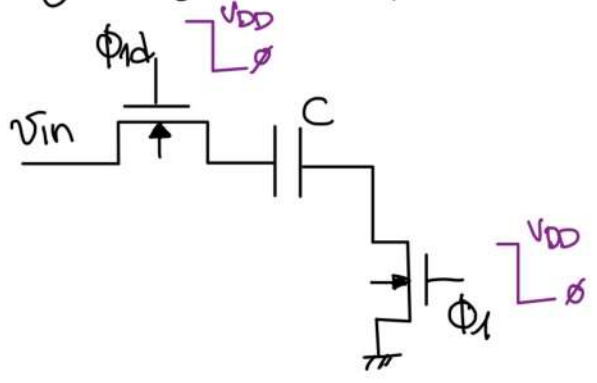
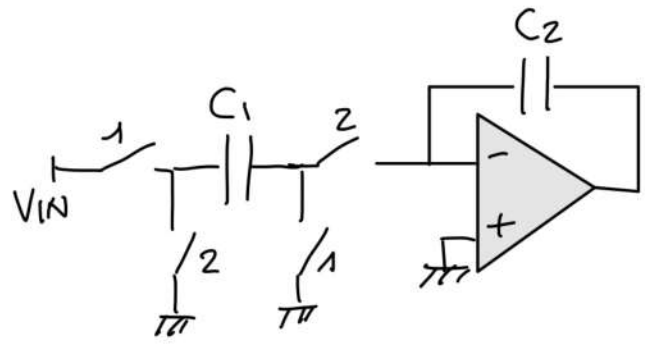
# Due fasi del circuito



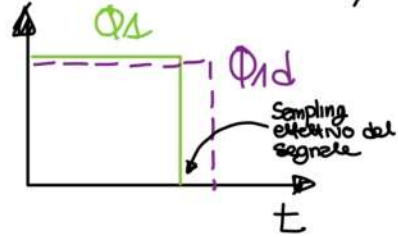
Questa cosa la posso fare easy con un circuito partendo direttamente da un solo clock.

il problema ce l'ho se entrambi sono ON nello stesso momento.

Noi prima abbiamo detto che la charge injector dipende da  $V_{in}$ .

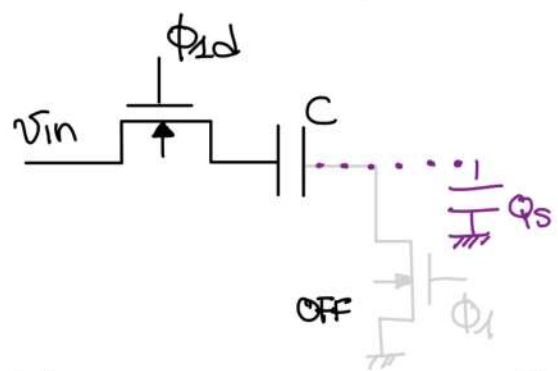


Abbiamo 2 fasi, la  $\phi_{1d}$  è la fase 1 con un delay.



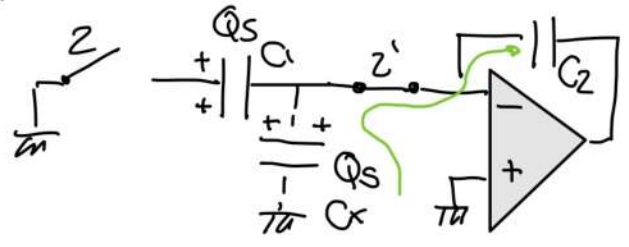
Allora vedo che faccio il sampling del segnale quando lo switch sotto è aperto

il vantaggio è che prima lo switch sotto che ha una  $V_{DS}$  costante quindi ho meno charge injector (nesso a eliminare parte  $R_{DS}$  differenziali). il 2° switch (quello connesso a  $V_{in}$  non induce carica perché quando lo switchio ormai il condensatore è staccato dalla terra e vedo quindi impedenza  $\approx \infty$ )



Nella realtà C non è completamente flottante ma sono presenti delle capacità parassite. Quindi ho la carica  $Q_s$  sulla capacità C.

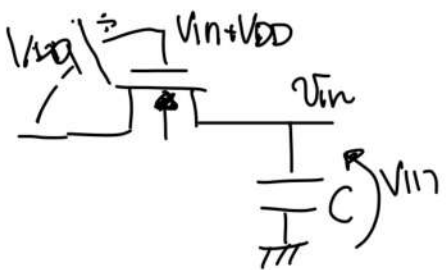
Allora se noi non facciamo sincroni nemmeno gli switch 2 possiamo eliminare la carica



Allora ho la carica  $Q_s$  su  $C_1$  e sulla capacità parassita. Quando chiudo 2' ho che  $C_x$  si scarica su  $C_2$ .

Poi chiudo l'altro switch e ho la carica di  $C_1$  che va su  $C_2$  e mi cancella  $Q_s$  che era su  $C_2$ .

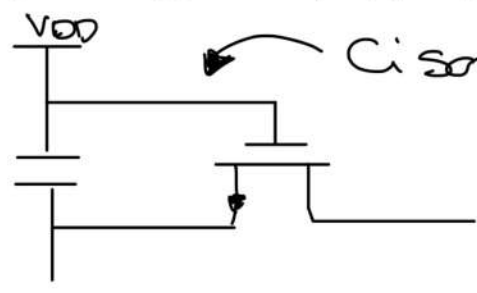
Se chiudo gli switch allo stesso tempo non so bene cosa possa succedere.



Posso fare il bootstrap facendo un generatore tra l'input e il gate del transistor

Questo lo posso fare con un circuitizzatore

Questa cosa mi porta il vantaggio che tutto il rgs circola costante



Recuperare lezione che mi si era rotta la Apple Pencil.

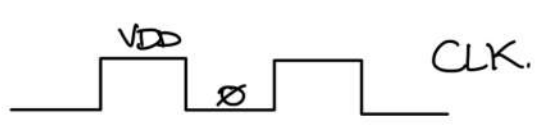
05.12.2022

3h

## Dettagli sul sampling

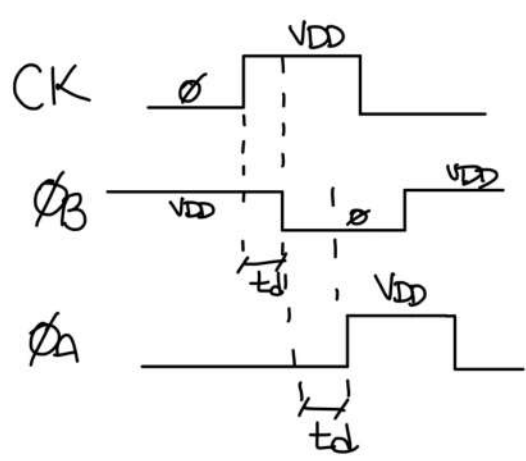
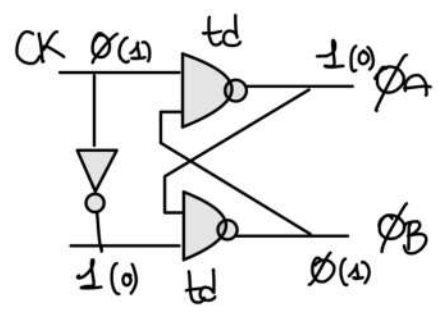
- Phase generator per fare il disoverlap

Usiamo un segnale con un duty cycle del 50%



Ad oggi il clock è + simile a una sinusoida perché le armoniche sono a frequenze molto alte e vengono filtrate

Le porte NAND sono quelle che mi danno il delay



Vediamo che phi\_A e phi\_B hanno duty cycle diversi

Vediamo che i segnali hanno un disoverlap. Vediamo che con questo segnale noi non abbiamo mai i 2 switch ON assieme quindi con questo noi comandiamo dei PMOS

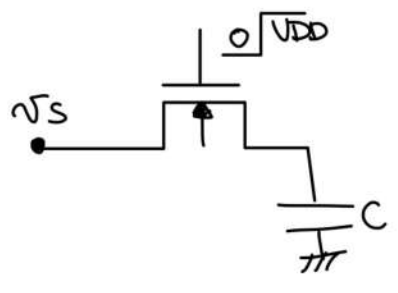
Se volessimo comandare degli NMOS invertiamo con degli inverter entrambe le uscite del circuito (non ho mai 2 mos ON assieme)

# Come possiamo implementare il bootstrap?

Abbiamo detto che ed oggi è importantissimo (ma non è usato negli switch cap).

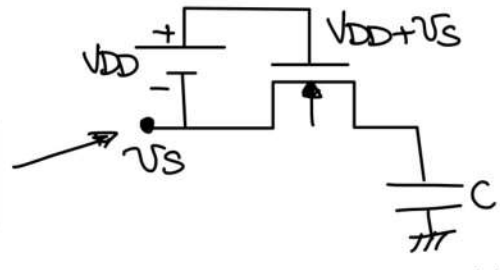
Noi facciamo il Bootstrap perché non vogliamo le distorsioni (Il motivo principale non è la charge injection) Se noi cambiamo la  $V_{gs}$  cambia la resistenza

Il Bootstrap ci aiuta con le distorsioni.



Ma non vogliamo usare un transistor gate a causa della distorsione

Allora noi possiamo usare un bootstrap

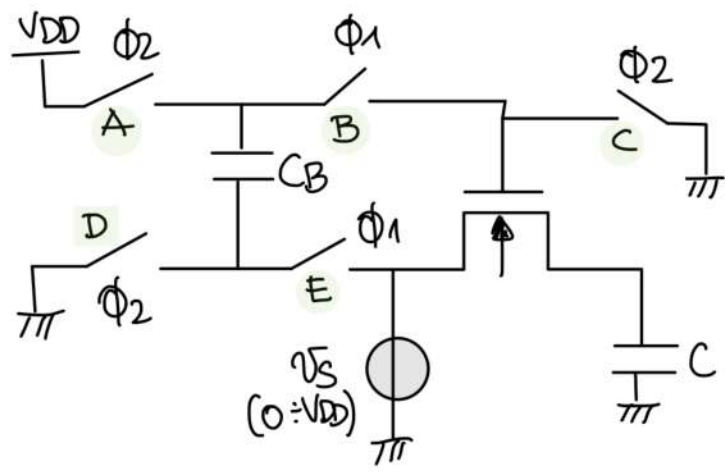


il segnale può andare da 0 a VDD

Tramite il bootstrap noi abbiamo sempre la stessa  $V_{gs}$ . Dato che abbiamo  $V_{gs}$  fissa abbiamo bassa distorsione.

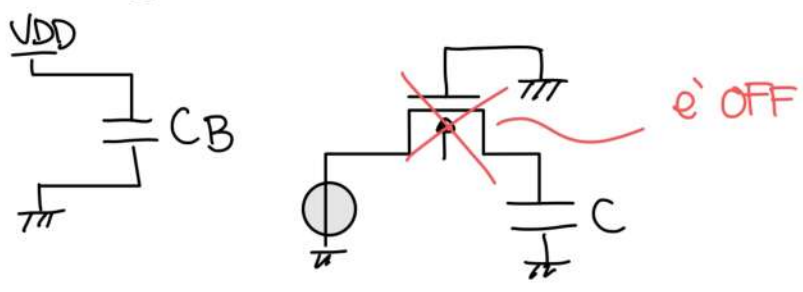
- Quando facciamo un bootstrap tipicamente usiamo un NMOS perché ha mobilità maggiore quindi meglio.
- Possiamo anche usare il bootstrap con un bottom plate sampling.
- Le fasi degli switch del bootstrap sono disallineate.

Come facciamo il generatore? Usiamo un condensatore. La struttura base di uno switch bootstrap è la seguente:

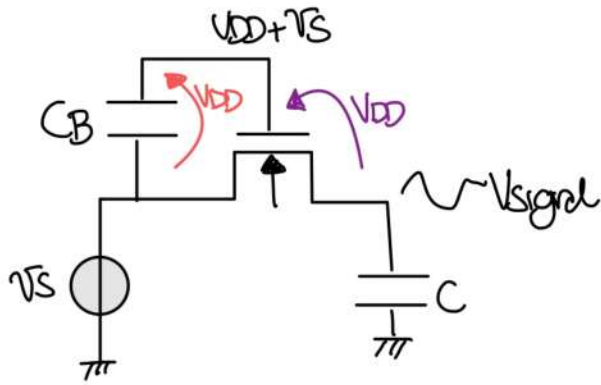


A e B sono gli switch + complessi perché hanno un grande segnale ai capi. Vanno usati con la negazione charge pump.

Quando gli switch di  $\phi_2$  sono chiusi ho che



Quando  $\Phi_1$  è chiuso ho che:



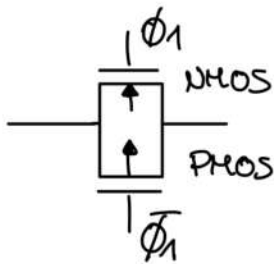
Questo circuito sta consumando corrente. Perché  $C_B$  passa carica all'impedenza (capacitiva) del gate del MOS.

Iniziamo ora ad analizzare come sono fatti gli switch.

Gli switch C, D sono facili perché devono scaricare a terra e quindi sono fatti da un semplice NMOS.

Come facciamo lo switch E?

Dato che il segnale  $V_S$  va da 0 a  $V_{DD}$  vediamo che dobbiamo usare un transmission gate.

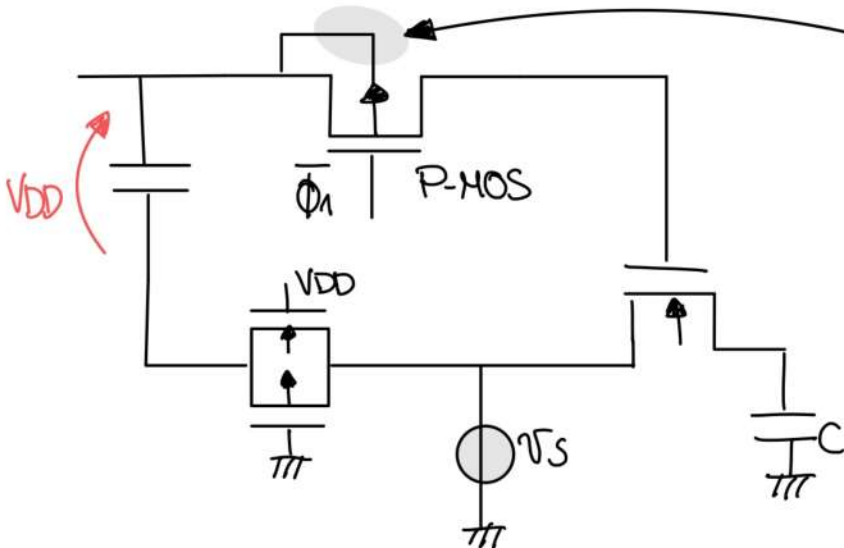


← Noi facciamo così lo switch E

E come facciamo il transistor B?

il problema è che ho 2 nodi dello switch  $V_{DD} + V_S$  che può raggiungere  $2V_{DD}$ .

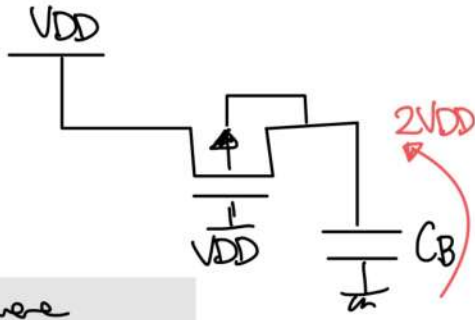
Noi B lo facciamo a PMOS (non ho capito bene perché)



Devo stare attento a collegare il bulk del PMOS non a  $2V_{DD}$  ma al suo source (che può raggiungere  $2V_{DD}$ ) altrimenti non va una para.

Come facciamo invece lo switch A?

Ma a naso diremo di usare un PMOS dato che ho 2 punti da connettere che sono ad alta tensione.



Il problema è quando lo switch dovrebbe essere OFF (gate a VDD)

il problema c'è perché il source è a un segnale a 2VDD (nel caso + sfiggato) e quindi in questo caso ho che il mos è ON e non va bene.

è come avere  
 $\frac{2VDD}{VDD}$   
 è ON questo MOS e a noi non va bene per niente

Quindi cosa facciamo?

Ma decidiamo di usare un NMOS e lo comandiamo con una tensione di gate che va da VDD a 2VDD.

Quando la tensione è VDD ho che l'NMOS è OFF mentre quando ho 2VDD è ON.

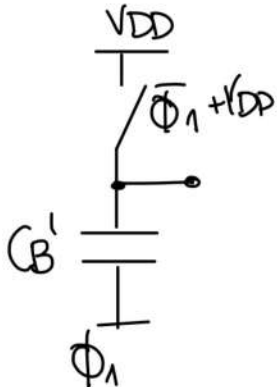
Quindi per fare un bootstep dobbiamo usare un bootstep (è un cane che si morde la coda).

Non possiamo usare un altro bootstep! Dobbiamo inventarci qualcosa.

Usiamo la **NAKAGOME CHARGE PUMP**

Ma abbiamo un clock tra 0 e VDD e noi vogliamo spartirlo fino ad avere VDD/2VDD.

Possiamo usare una capacità caricata a VDD.

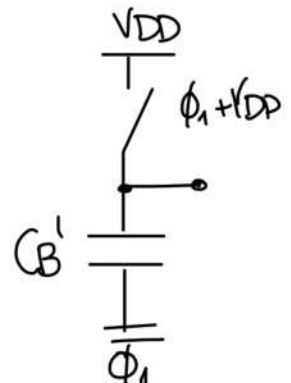


Quando  $\Phi_1$  è 0 chiudo lo switch e carico  $CB'$  a VDD. Quando  $\Phi_1$  è a VDD lo switch è aperto e ho 2VDD

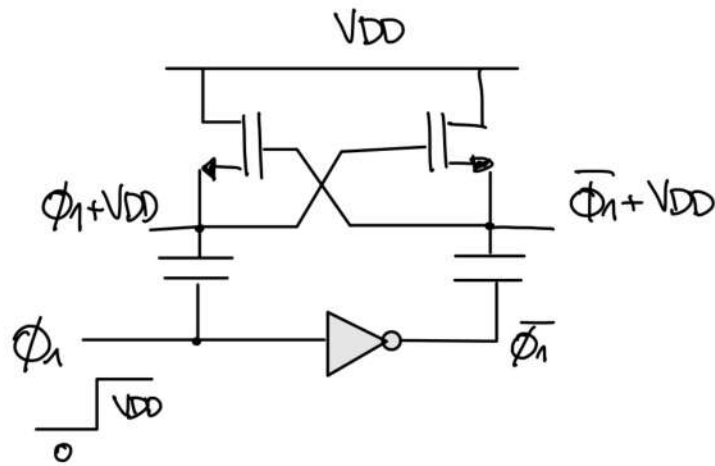
Quindi comando lo switch con  $\overline{\Phi_1} + VDD$

Ma siamo allo stesso identico punto di prima.

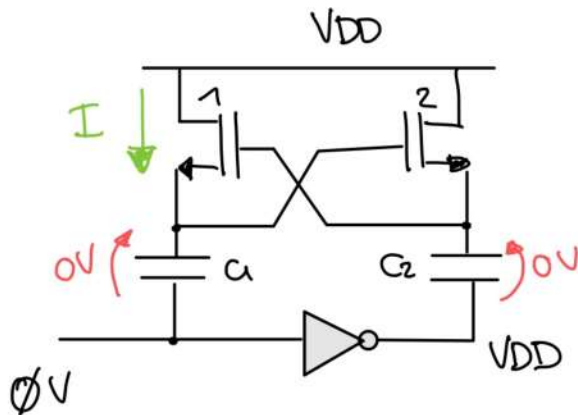
Allora duplico il circuito in antipase così da poter creare  $\overline{\Phi_1} + VDD$ . Solo che per fare quello mi serve comandare lo switch con  $\Phi_1 + VDD$ .



Allora posso fare



Studiamo il comportamento del circuito (capacità scarica)

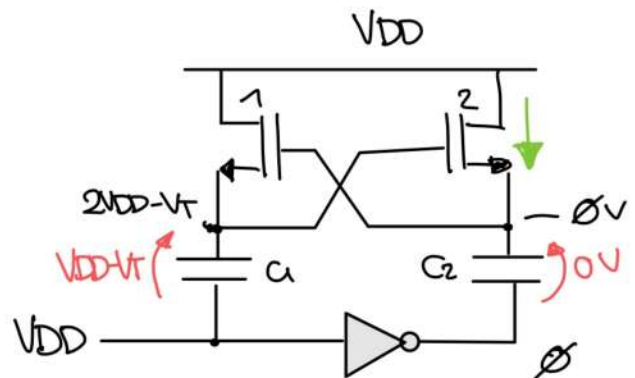


il mos 1 tira una corrente  
Perché ha il gate a VDD e  
il source a terra.

Allora carico C1 fino a  $VDD - V_T$

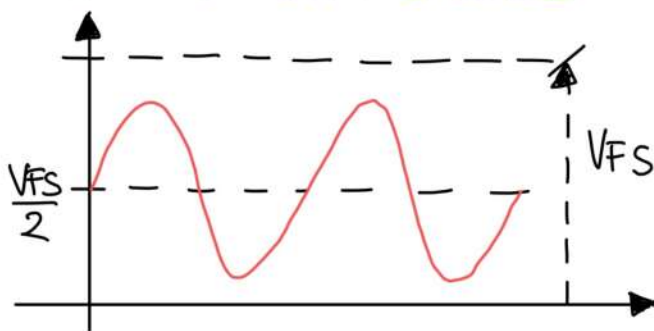
Supponiamo ora che il clock  
vada a VDD.

Allora adesso ho che  
M2 si accende e carica  
C2 (ma sta volta lo  
carica fino a VDD, questo  
perché ho il gate a  $2VDD - V_T$   
e non + a VDD)



Quindi con l'uscita giusta lo comando lo switch A del circuito  
inerte.

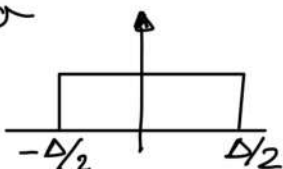
### Link tra SNR e ENOB



Quando diciamo questo  
segnale ad un data converter  
questo segnale è quantizzato

$$\Delta = \frac{V_{FS}}{2^{n_{bit}}}$$

Abbiamo dunque un rumore di quantizzazione. Noi supponiamo una  
distribuzione dell'errore uniforme e allora possiamo calcolare la  
potenza



$$\text{allora } \sigma^2 = \frac{\Delta^2}{12}$$

Noni per supponiamo che il rumore sia bianco allora prendiamo  $\sigma^2$  e lo dividiamo per  $T$  per avere il rumore bianco.

Noni vorremmo calcolare l'SNR, noni lo calcoliamo con il segnale massimo.

$$\text{SNR}^2 = \frac{\frac{1}{2}(\text{VFS}/2)^2}{\Delta^2/12} \quad \frac{1}{2} \text{ per il valore efficace.}$$

$$= \frac{\frac{1}{2}(\text{VFS}/2)^2}{\left(\frac{\text{VFS}}{2^n}\right)^2 \cdot \frac{1}{12}} = \frac{12}{4 \cdot 2} \cdot 2^{2n} = \frac{3}{2} \cdot 2^{2n}$$

Allora

$$\text{SNR}_{\text{dB}} = 10 \log_{10}\left(\frac{3}{2}\right) + 10 \log_{10}(2^{2n})$$

$$\text{SNR}_{\text{dB}} = 1,76 + 6,02 \cdot n \quad (\text{con } n = \text{n}^\circ \text{ di bit})$$

Noni diciamo che il n° effettivo di bit è

$$\text{ENOB} = \frac{\text{SNR}_{\text{dB}} - 1,76}{6,02}$$

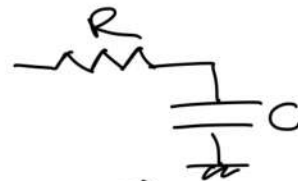
che sono i bit equivalenti che mi portano informazione.

Nella realtà non andrebbe messo l'SNR<sub>dB</sub> ma la signal to noise and distortion ratio SNDR<sub>dB</sub>

Quando facciamo un sampling di un segnale noni frizziamo il rumore in un istante preciso.

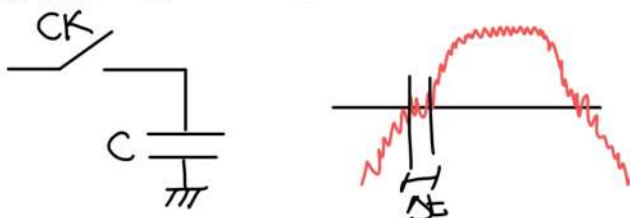
Noni sappiamo che la varianza del rumore è  $\sigma_v^2 = \frac{KT}{C}$

$$\text{Allora } (\text{SNR})^2 = \frac{A^2/2}{\frac{KT}{C}}$$



(Questo rumore è dato dalla resistenza R)

Esiste per anche l'apertura Noise (jitter noise) data dal clock che comanda lo switch.



ho un  $\Delta t$  (non posso eliminarlo facendo la forma d'onda + steep)  
l'errore è dato dal crossing della threshold con un rumore.

La grandezza dell'errore di jitter dipende dove andiamo a sample.

A parità di  $\Delta t$  l'errore è grande se l'ho allo zero crossing perché ho la + grande variazione del segnale in  $\Delta t$  (cioè è dove ho la derivata + grande)

L'errore massimo è  $\Delta V_{MAX} = A_0 \omega_{in} \cdot \Delta t$  (nella realtà dovremmo usare la varianza)

Qual'è la SNR data dal jitter?

$$(SNR)_{JITTER}^2 = \frac{A_0^2/2}{\frac{A_0^2 \cdot \omega_{in}^2 \cdot \sigma_{\Delta t}^2}{2}} = \frac{1}{(2\pi f_{in})^2 \cdot \sigma_{\Delta t}^2}$$

In dB abbiamo che

$$SNR_{JITTER, dB} = 20 \log_{10} \left( \frac{1}{2\pi f_{in} \cdot \sigma_{\Delta t}} \right)$$

è  $20 \log()$  perchè sarebbe  $10 \log(x^2)$  ma io uso la proprietà del log e faccio  $20 \log(x)$

Ad oggi questo sta diventando un problema.

Supponiamo che voglia fare il sampling di un segnale a  $f_{in} = 1 \text{ GHz}$ .

Allora  $f_{\text{osc}} = 2 \text{ GHz}$  almeno.

Se noi supponiamo di avere  $\sigma_{\Delta t} = 10^{-12} \text{ s}$ , abbiamo che

$$SNR_{JITTER, dB} \approx 44 \text{ dB}$$

In questo caso qual'è l'ENOB (dato solamente dal jitter)

$$ENOB = \frac{44 - 176}{6.02} = 7 \text{ bit}$$

Quindi è completamente inutile fare + di 7 bit. (Perchiamo aggiungere anche altri rumori quindi forse arriviamo a 5 bit)

E se noi volessimo 12 bit? Qual SNR dB darei avere?

$$SNR_{dB} = 1.72 + 6.02 \cdot 12 = 74 \text{ dB}$$

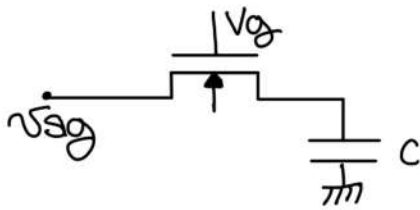
e se noi usiamo l'SNR per calcolare  $\sigma_{\Delta t}$  otteniamo che deve essere

$$\sigma_{\Delta t} = 31 \text{ fs}$$

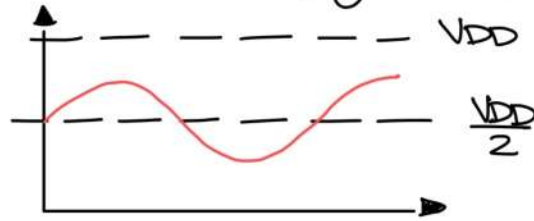


## Distorsione in un sampler

Distorsione dovuta a una variazione di  $V_{gs}$ . (Questo succede quando non usiamo un bootstrap)



Assumiamo che il segnale sia

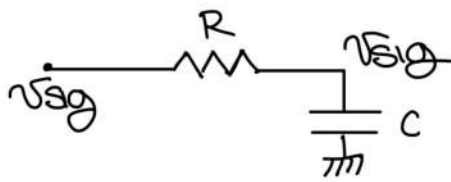


Quindi posso scrivere che  $v_{s,gs}(t) = \frac{V_{DD}}{2} + A \sin(\omega_{in} \cdot t)$

[con  $A < V_{DD}/2 - V_T$ ]

(noi assumiamo che lo switch non si spenga mai perché altrimenti abbiamo delle hard non-idealities.)

Quando il transistor è chiuso posso vedere il circuito come



Dato che noi assumiamo che il segnale sia tutto passato allora vuol dire che alla nostra frequenza con l'impedenza del condensatore è  $\gg$  di quella della resistenza

il problema è che se noi non facciamo il bootstrap ho che quando varia il segnale anche il valore della resistenza varia.

La resistenza ha valore pari a  $R \approx \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) [V_{gs} - V_T(V_{gs])]}$

Tipicamente con una rete RC noi possiamo ricavare la classica FDT.

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + sRC}$$

che non è altro che la trasformata di Laplace di:

$$V_{sig} = I \cdot R + V_{out} = RC \frac{dV_{out}}{dt} + V_{out}$$

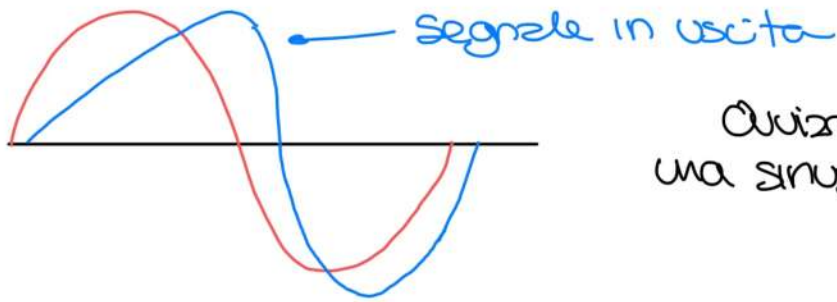
Ma noi non possiamo fare Laplace perché il sistema non è lineare e  $R$  varia con  $V_{out}$ .

Noi abbiamo che quando il segnale sale la resistenza sale e viceversa.

Se il sistema è lineare, in ingresso abbiamo una sinusoidale, in

uscita abbiamo una sinusoida (con del delay).

Ma se il sistema non è lineare questo non è vero.  
Data una sinusoida in ingresso al nostro sistema non ci aspettiamo una risposta del tipo:



Quindi non abbiamo una sinusoida.

Possiamo vedere questa variazione come una "variazione" del polo.

Come possiamo valutare sto effetto?

Credo ci pensa la corrente come  $I = C \frac{dV_{out}}{dt}$  con  $V_{out} = V_{in}$  credo

e poi moltiplichiamo la corrente per l'espansione di Taylor della resistenza per vedere la variazione tra  $V_{in}$  e  $V_{out}$ .

$$V_{sig}(t) = \frac{V_{DD}}{2} + A \sin(\omega_{in} \cdot t)$$

Allora la corrente sul condensatore sarà la derivata della tensione  $\cdot C$ .

$$I = C \cdot A \cdot \omega_{in} \cdot \cos(\omega t)$$

Non sappiamo che

$$R = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) \left[ \frac{V_{DD}}{2} - V_{in}(t) - V_T(V_{GS}) \right]}$$

$V_{GS} - V_T$

Facciamo l'espansione di Taylor.

$$R = R_0 + M_1 V_{in} + M_2 V_{in}^2$$

Allora posso calcolare la tensione ai capi della resistenza come:

$$V_R = \underbrace{C A \omega_{in} \cos(\omega_{in} \cdot t)}_I \left[ R_0 + M_1 \underbrace{A \sin(\omega_{in} t)}_{V_{in}} + M_2 \underbrace{A^2 \sin^2(\omega_{in} t)}_{V_{in}^2} \right]$$

La prima armonica è (approssimazione al termine + importante)

$$V_R^{(1)} \approx R_0 C A \omega_{in} \cos(\omega_{in} \cdot t)$$

La seconda armonica viene

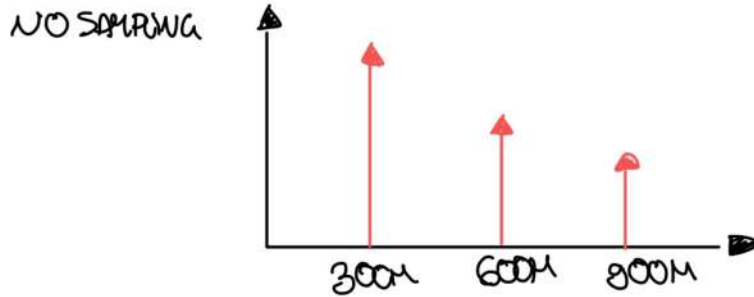
$$VR^{(2)} \approx \frac{CA^2}{2} \omega_1 M_2 \sin(2\omega_1 \cdot t)$$

La terza armonica è:  $VR^{(3)} \approx -\frac{CA^3}{4} \omega_1 M_2 \cos(3\omega_1 \cdot t)$

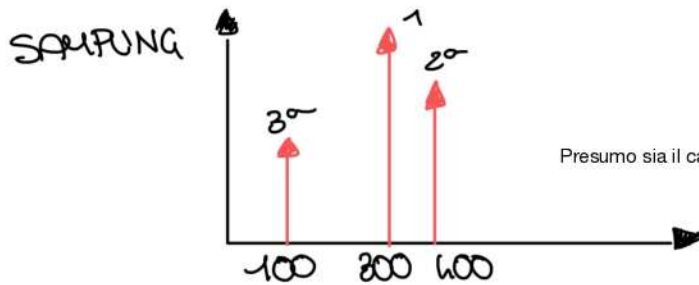
RICORDIAMO CHE IL NOSTRO SISTEMA È ANCHE SEPARATO.

Supponiamo  $f_{in} = 300\text{MHz}$  e una frequenza di sampling di  $1\text{GHz}$ .

Analizziamo le armoniche senza il sampling



Nel caso del sampling abbiamo



Spectrum folding (?)

Presumo sia il caso con un sampling fatto a 500MHz

Calcoliamo l'Armonic distortion

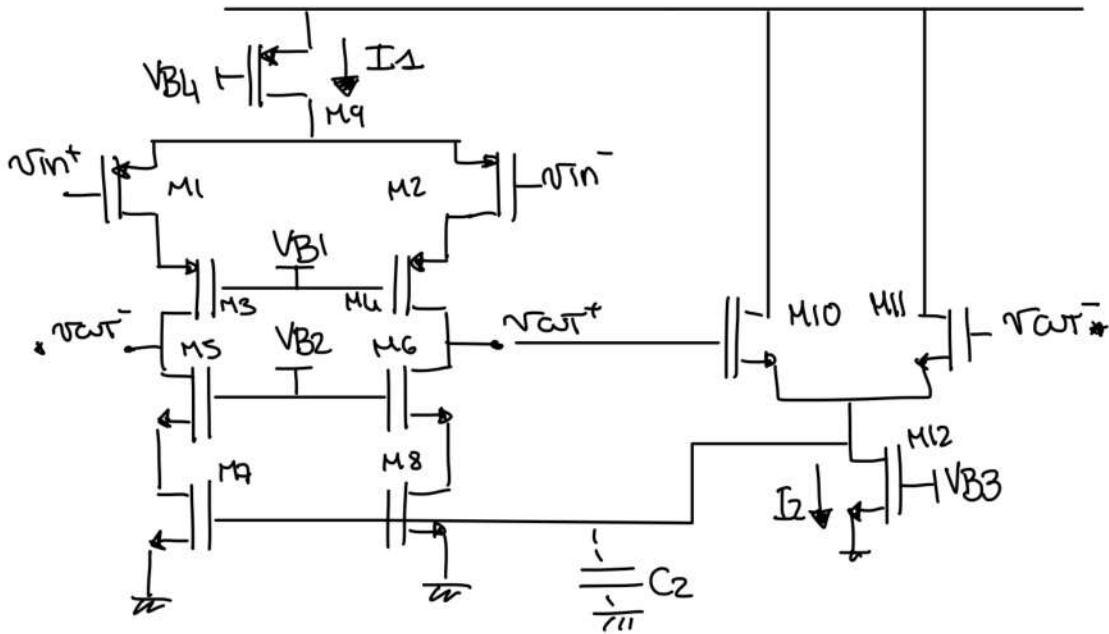
$$HD_2 \approx \frac{CA^2/2 \cdot \omega_1 M_2}{A}$$

$$HD_3 \approx \frac{\frac{CA^3}{4} \cdot \omega_1 M_2}{A}$$

Esiste anche la Total harmonic distortion

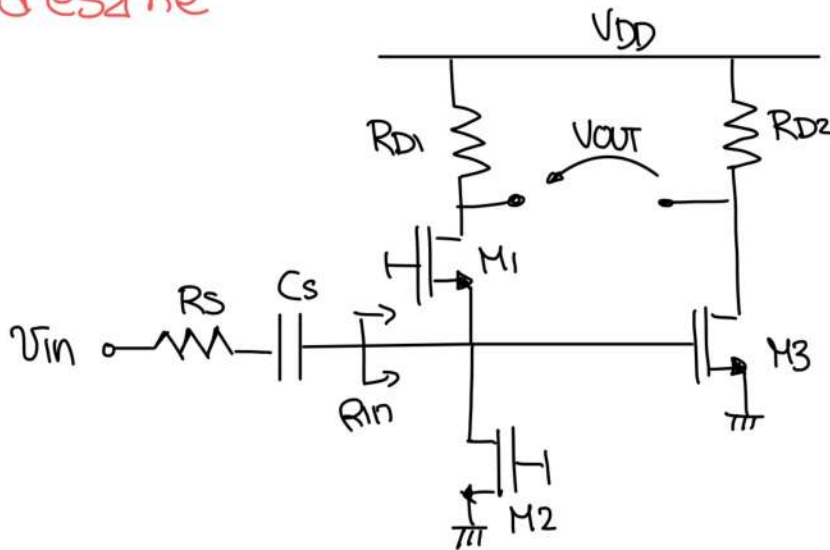
$$THD = \sum_i |HD_i|^2$$

# Prova d'esame



- 1) Qual'è l'output common mode?
- 2) Common mode gain?
- 3) Qual'è il possibile punto critico per la stabilità del CM feedback?  
(tipicamente è la capacità  $C_2$ )  
Che polo da questa capacità?
- 4) Input referred noise
- 5) Possiamo collegare M12 in transdiode?

# Prova d'esame



(Tipico es d' RF)

Supponiamo che  $C_s$  sia sempre in corto alla frequenza d'interesse.

$R_{D1} = R_{D2}$  (tracce per l'ultima domanda)

$M_1 = M_3 \rightarrow$  Stessa corrente e stessa  $\frac{W}{L}$

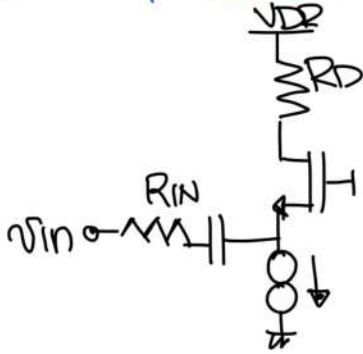
1) Valore di  $R_{in}$ ?

2) Guadagno  $V_{out}/V_{in}$  quando  $R_S = R_{in}$ ?

3) Input noise (a  $V_{in}$ ) considerando tutti i rumori

4) Cercare di ridurre il rumore di  $M_3$  variando qualsivoglia parametro

5) Comparare il circuito sopra con il seguente



$$R_{in} = R_S$$

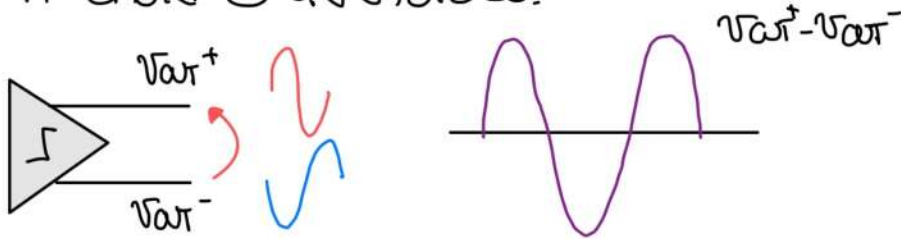
(Praticamente con il circuito prima noi possiamo cancellare re dei contributi di rumore, ma consumiamo + potenza)

12.12.2022

3h

## Comparatori

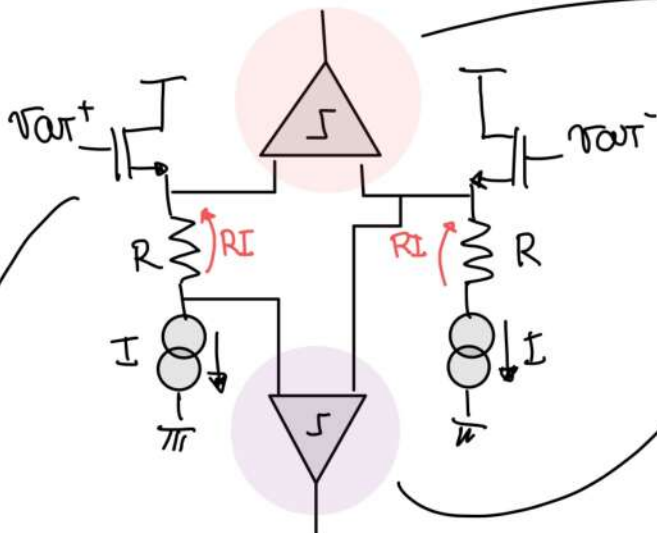
Noi abbiamo usato i Comparatori con una  $V_{threshold}$  pari a  $0V$ . In un comparatore flash noi abbiamo molti comparatori. Tuttavia nella realtà il circuito del comparatore è fully differential e noi vogliamo controllare l'uscita differenziale di un fully differential con una threshold. In pratica noi vogliamo realizzare una threshold differenziale.



Posso fare questo esempio

Questo comparatore serve a vedere la polarità del segnale

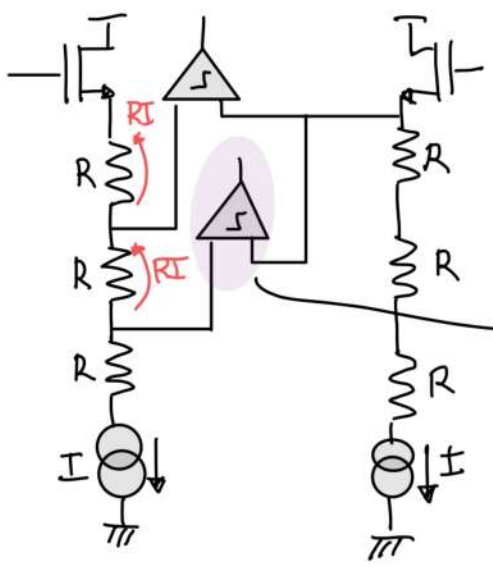
Questo comparatore è un comparatore che è come se avesse una threshold pari a  $R \cdot I$ , questo perché la differenza tra i 2 pin è  $R \cdot I$ .



I Mos e i gen di corrente ideali fanno da source follower ideali.

Ma abbiamo usato un buffer ma si può anche usare un amplificatore prima di dare la threshold al comparatore.

Oppure un'altra tecnica è:



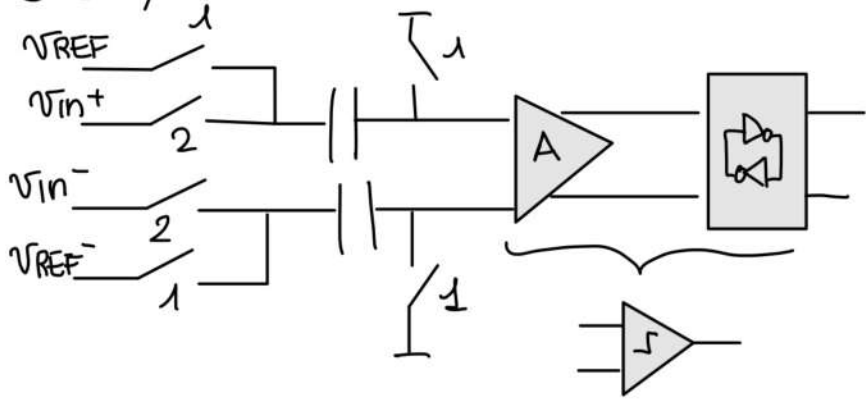
e in questo modo posso fare un ADC flash

RICORDARE che tutti i comparatori sono fully differential.

ha una threshold pari a  $2RI$  mentre il comparatore sopra ne ha una pari a  $R \cdot I$

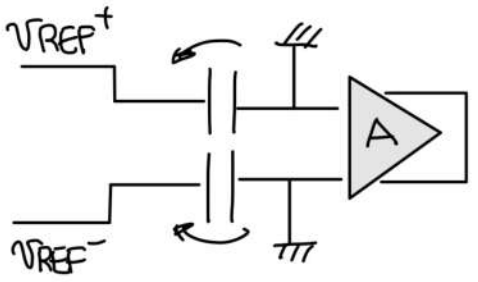
Altro esempio

(Quando abbiamo un comparatore fatto con amplificatore e latch)



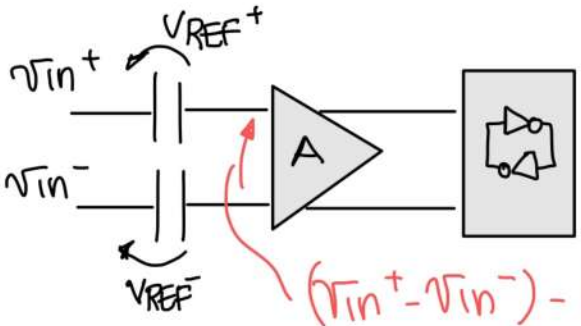
Possiamo utilizzare dei condensatori per dare la differential threshold (non è per l'offset)

Quando 1 è chiuso ho che



ho che l'amplificatore è morto e l'uscita è al valore di Common mode standard che abbiamo quando il circuito è fermo.

In fase 2 abbiamo che:



Tuttavia se abbiamo un offset in ingresso se li amplifichiamo tutto.

$$(V_{in}^+ - V_{in}^-) - (V_{REF}^+ - V_{REF}^-)$$

# Discorsi vari sugli ADC

Perché c'è un ADC nel ricevitore di un telefono anche se il segnale è digitale?

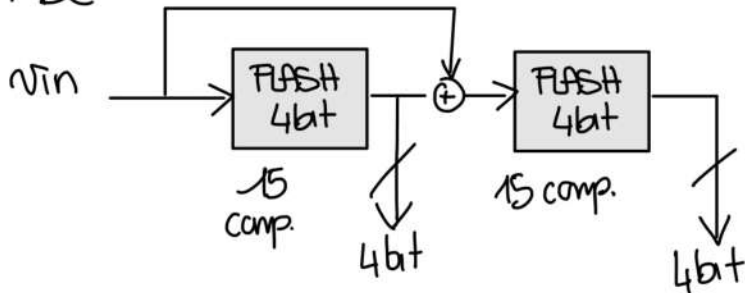
La risposta è che noi abbiamo il segnale digitale ma sovrapposto a un carrier analogico.

Parliamo adesso di ADC.

Supponiamo di voler fare un ADC di 8 bit.

Allora se io volessi fare flash dovei usare 255 comparatori.

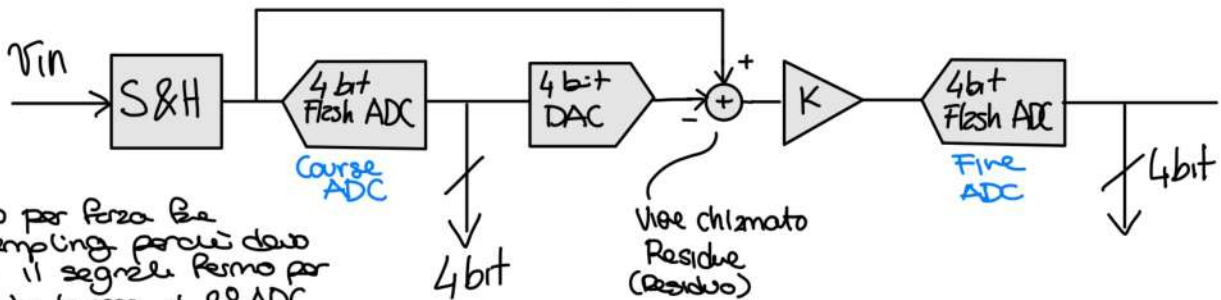
Per ridurre il numero di comparatori posso fare un Parallel ADC



Metto in serie 2 comparatori da 4 bit l'uno. Uso 30 comparatori in totale.

Tuttavia devo modificare il segnale prima della seconda conversione.

Come faccio a fare sta roba?



Devo per forza fare il sampling perché devo avere il segnale fermo per quando lavora il 2° ADC.

Vice chiamato Residue (Residuo)

Vediamo subito che non è così conveniente come vedevamo prima perché ci serve anche un DAC in mezzo

Noi vediamo che amplifichiamo il residuo (esistono anche casi in cui non si amplifica  $K=1$  in quel caso si chiama subranging ADC) se noi amplifichiamo  $K \neq 1$  (2 step ADC)

Noi amplifichiamo in modo da portare il segnale a dinamica massima. (quindi  $K=2^n$ )

Noi supponiamo che il flash abbia frequenza di funzionamento di  $1 \text{ Gsample/s}$ . Il sistema totale andrà a  $1 \text{ Gsample/s}$  perché il 2° ADC (se fatto bene) può fare le conversioni del caso prima.

Il pezzo da pagare è che abbiamo un delay nell'uscita totale. Tuttavia questo funziona in teoria.

La pratica è un disastro e per funzionare sta roba tende all'impossibilità.

Ma la vera domanda è quali sono i pro e i contro nell'implementare ( $K \neq 1$ )?

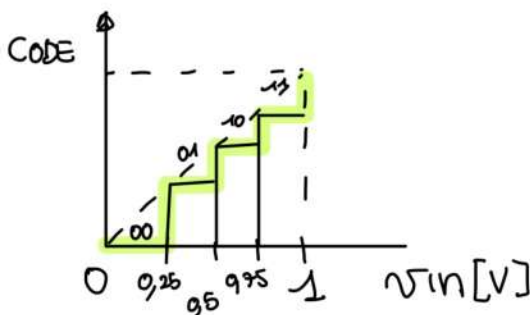
× Se amplifichiamo riduciamo la banda

(oltre cose che non ho mica capito), ho solo capito che non c'è un evidente vincitore

Questa struttura può essere divisa ulteriormente tipo in 2 o 1 bit per stage.

Una roba da studiare bene è il residuo.

(Noi studiamo un caso semplificato, con il primo ADC di 2bit) Noi facciamo un residual plot così possiamo vedere l'effetto delle non idealità.



Noi dovremo avere i gradini a metà bisettrice ma per semplicità NO.

Nella 2Step ADC noi dobbiamo usare

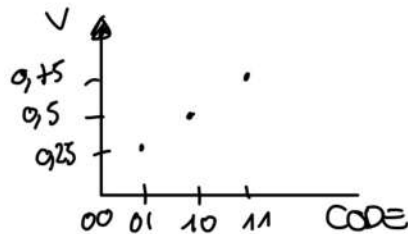
$$K = 2^2 = 4$$

A quanto aumenta il residuo  $V_{RES}^{(1)} = 2^2 [V_{in} - V_{DAC}[i]]$

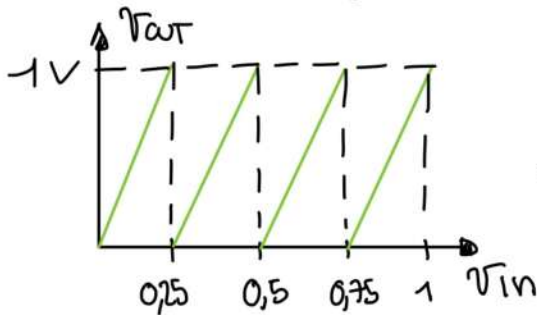
Noi dobbiamo specificare la caratteristica del DAC

ES:

00	→	0V
01	→	0,25V
10	→	0,5V
11	→	0,75V

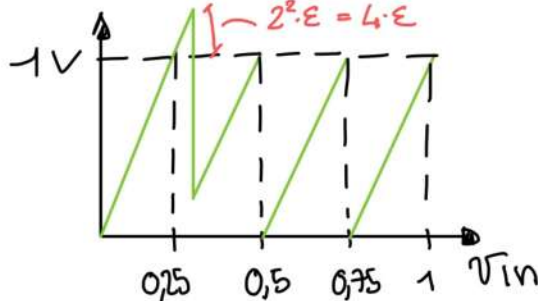
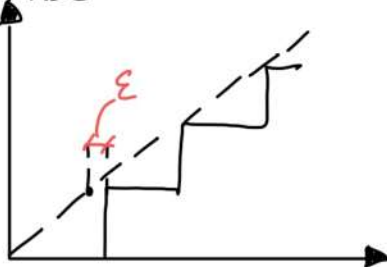


Facciamo adesso il grafico del residuo.  $V_{RES} = K \cdot [V_{in} - V_{DAC}[i]]$



Non è altro che il valore dell'errore che commettiamo in base a dove ci troviamo con la tensione.

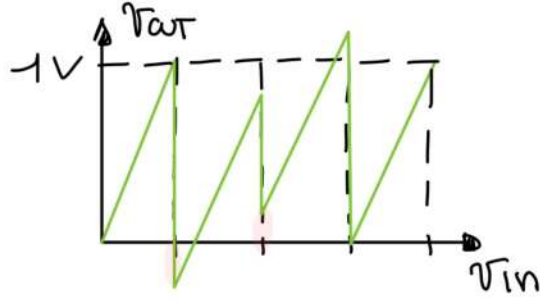
Cosa succede se abbiamo delle non idealità nella caratteristica del ADC



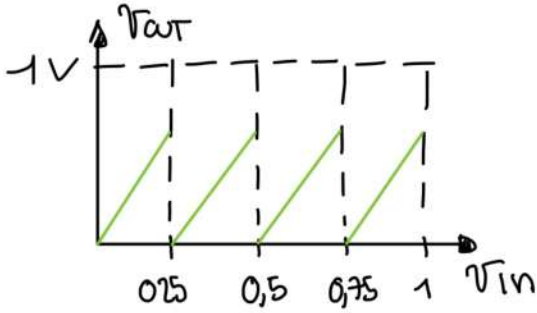
Questi sono problemi che il 2° stadio deve gestire.



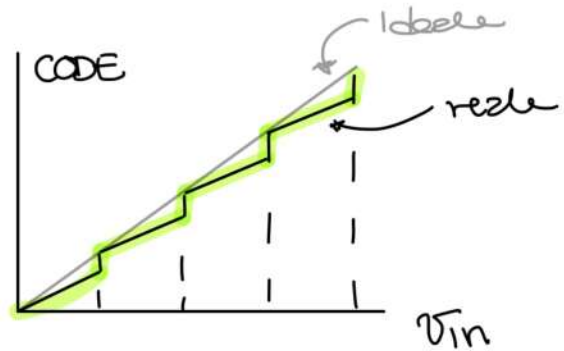
Possono esserci anche non idealità nel DAC (supponiamo ADC ideale)



Consideriamo un DAC lineare ma con un errore nel gain  $K$  dell'impulso. Cosa diremo che succede?



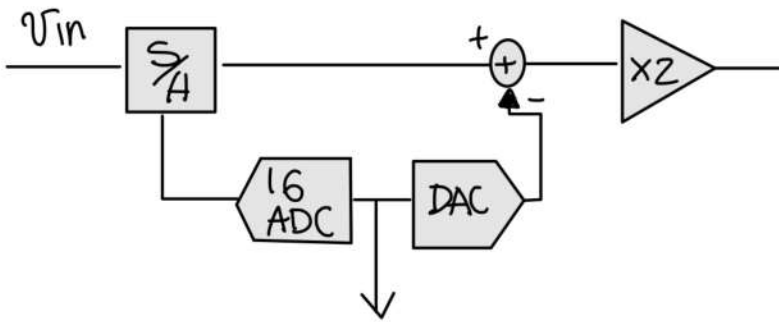
Vediamo che ogni slide è + bassa  
Tuttavia la caratteristica d'uscita è:



Vediamo dunque che un errore che sembra influente in realtà ci cambia tutto.

Analizziamo la struttura 2 Step con un ADC a 1 bit (supponiamo dinamica tra 0 e 1)  
Noi riduciamo il numero di comparatori a 8.

Servono i DAC anche in questo caso (Non ho ben capito perché) posso però vedere che riesco a fare il tutto così:



(Riseguire sta roba che non ho seguito troppo)

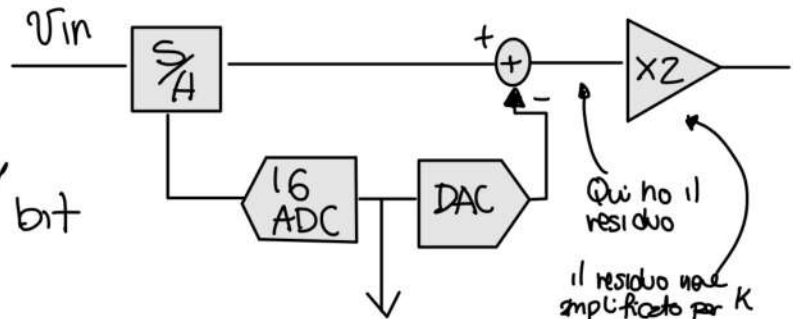
13.12.2022

2h

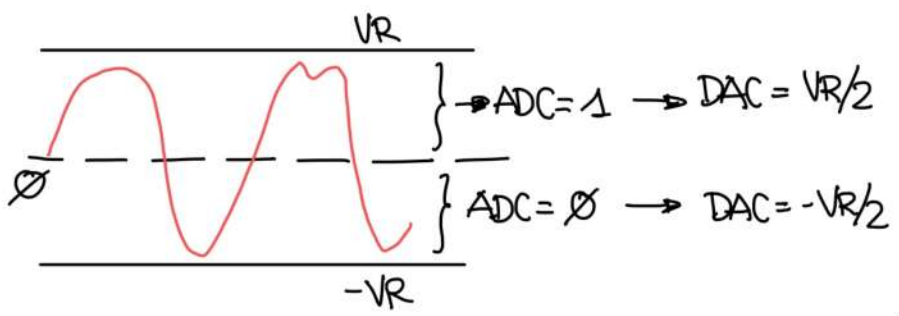
Concludiamo la discussione di ieri  
Abbiamo visto il caso di un Pipeline ADC con n° stadi pari al numero di bit che vogliamo.

Qui andiamo in parallelo fra tutti i bit.

il lato negativo è che ho un delay intrinseco prima di avere tutti i bit in uscita.

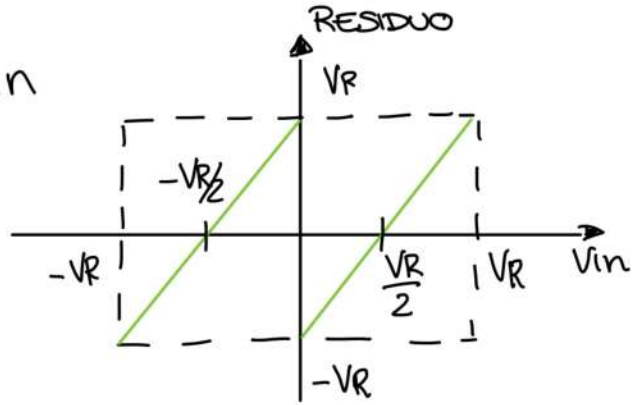


Assumiamo di avere un segnale limitato in un certo range  $V_R/-V_R$  (abbiamo segnale negativo perché siamo fully differential)  
 Il sistema con step a singolo bit funzionerà così:

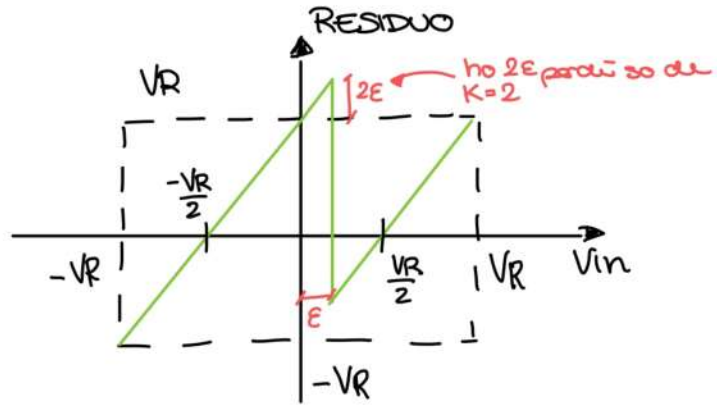


Quale sarà il grafico dei residui in questo caso?

Questo grafico dei residui è così per ogni stadio.



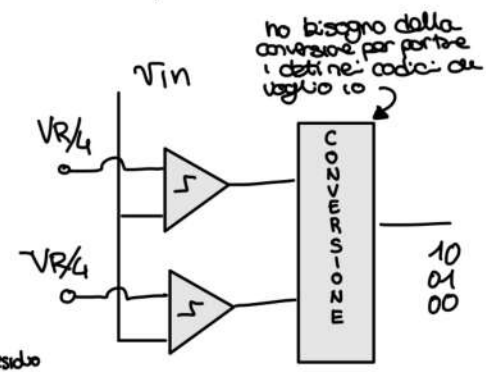
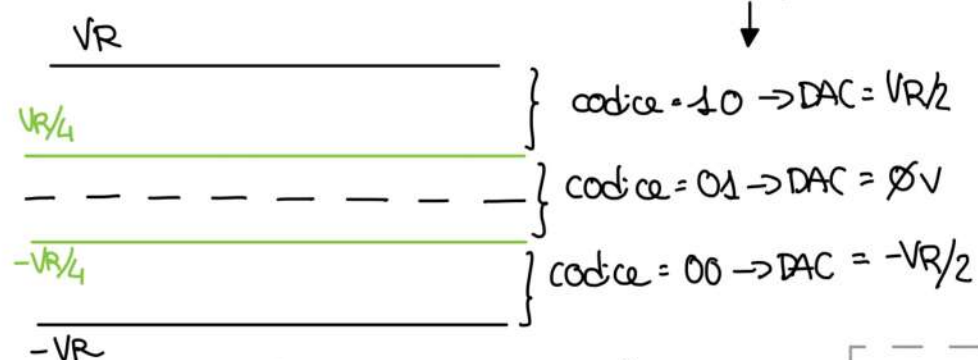
Se noi abbiamo un errore abbiamo il grafico dei residui pari a



Per risolvere il problema degli errori posso usare la rinvincenza (aggiungo elementi in + che non è strettamente necessaria ma grazie a questa riusciamo a togliere degli errori)

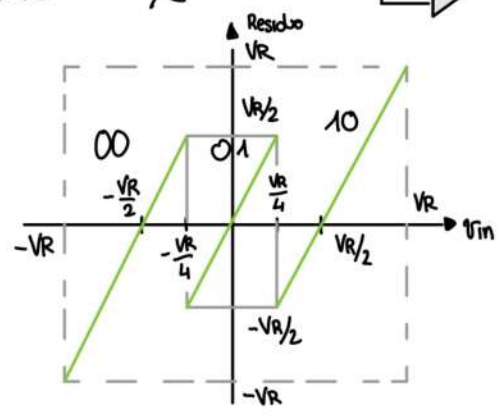
L'idea nel nostro caso è usare 2 comparatori al posto di 1 (nel nostro ADC). Noi non mettiamo una threshold a 0 ma ne mettiamo una a  $V_D/4$  e l'altra (dell'altro comparatore) a  $-V_D/4$

Decido di dare questi valori

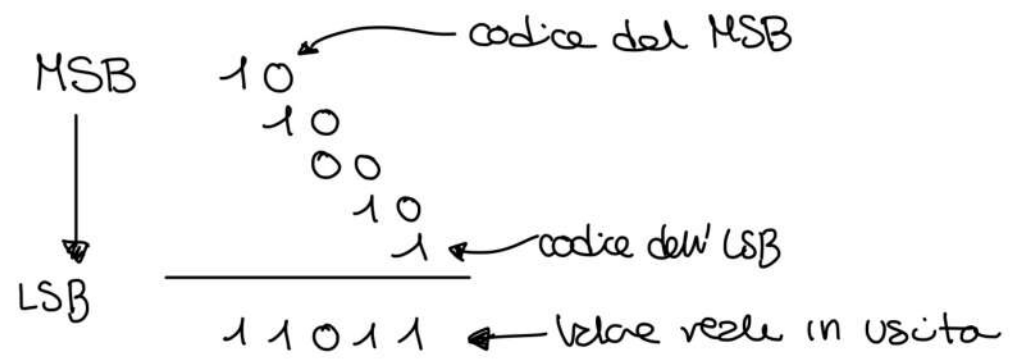


Qual'è il grafico dei residui?

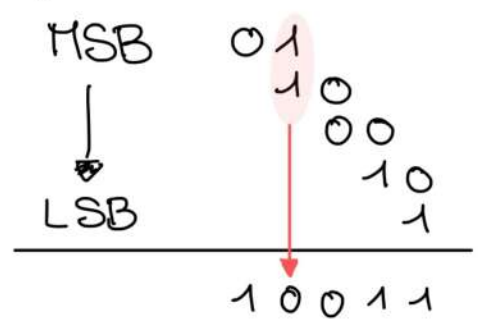
Nella pratica credo che per i valori centrali (01) noi non decidiamo che valore sia (WF?)  
 L'LSB deve essere fatto normalmente con solo un comparatore



Per questo dobbiamo buttarlo nella logica. (che fa solo una somma dei codici)  
 Supponiamo di avere

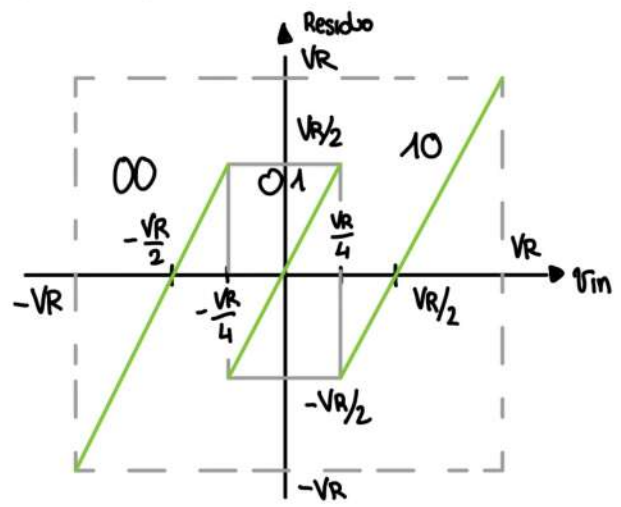


Supponiamo ora di avere dei codici 01.

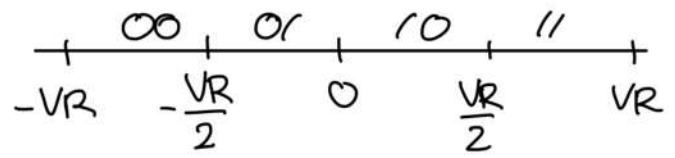


Questa è il "potere" di 01, e che ha la possibilità di avere un resto, e quindi il valore del bit lo scelgo in base al valore del codice che viene dopo (ed è per questo che noi non usiamo il codice 11)

Supponiamo di fare questa architettura per un convertitore a 2 bit.



Qui sappiamo che il codice di uscita deve essere

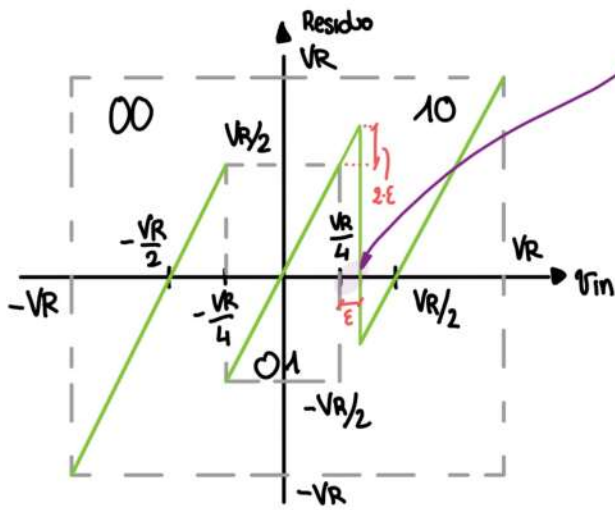


Supponiamo di avere codice dei primi 2 comparatori 10. L'LSB vede che ho residuo positivo e mi dà bit = 1 quindi ho 11 codice di uscita (ed è giusto perché sono sopra  $VR/2$ )

Se invece io sono troppo vicino a 0 ( $\pm VR/4$ ) allora io ho codice 01 che vuol dire che non so che codice è quello giusto. dipende dal residuo dell' LSB.

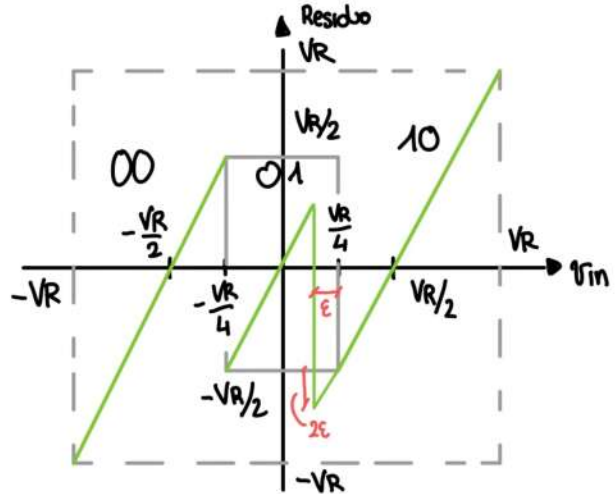
se il residuo è 1 ho codice 10 mentre se è 0 è 01 (ho il residuo positivo se sono tra 0 e  $VR/4$ , altrimenti per residuo negativo)

Ma perché abbiamo fatto questo disastro? Sarebbe per essere "immediati" a disastri della threshold.



Se cado in questo range prima zero 10. in questo caso ho codice 01 ma ho anche residuo positivo quindi il 2° stato mi dà un output che è 1 e quindi arrivo sempre ad avere il codice 10.

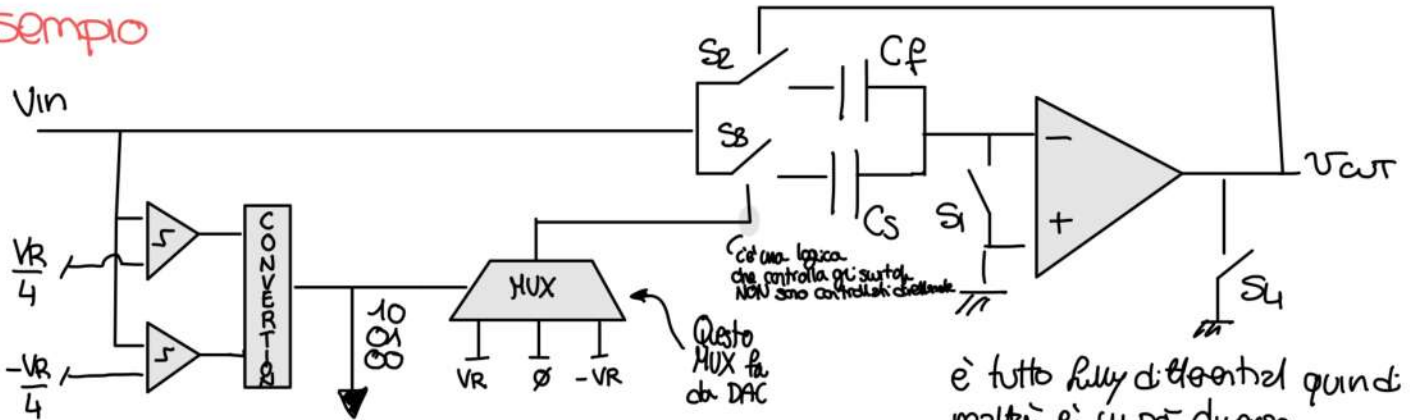
Stessa cosa succede anche se ho  $E$  negativo. infatti se cado dove c'è l'errore ottengo codice 10 ma il residuo è negativo quindi 0 e ottengo sempre 10 come codice.



Con questa struttura posso sostituire offset per  $VR/4$  (redo)

Tuttavia bisogna stare attenti che lo stadio dell'LSB (che è a singolo comparatore) deve essere senza offset perché lui è sensibile.

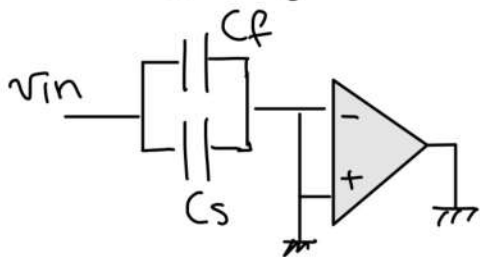
### Esempio



è tutto fully differential quindi in realtà è un po' diverso.

Questo è un modo per fare lo slicing

La parte con i condensatori deve fare la sottrazione dei segnali e che guadagna 2

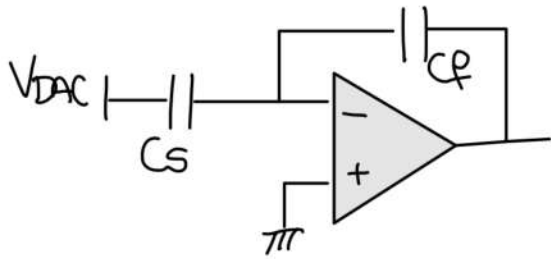


L'amp è morto. In pratica sono caricate sopra Vin.

Adesso abbiamo  $V_{out} = (V_{in} - V_{DAC}) * 2 = V_{RES}$

Non sappiamo che  $V_{DAC} \in [-VR/2, 0, VR/2]$

Supponiamo  $S_4, S_1$  aperti e  $C_s$  connessa a VDAC.



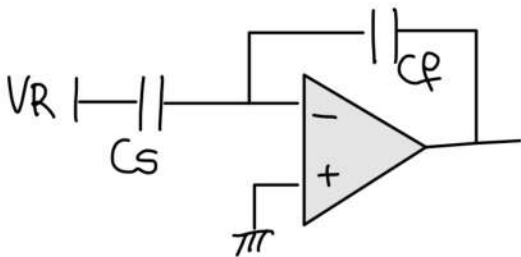
Supponiamo  $V_{DAC} = 0$

Allora la carica di  $C_s$  va a finire tutta su  $C_f$

$$V_{out}(f) = v_{in}(C_f + C_s)$$

Perciò  $\frac{V_{out}}{v_{in}} = \frac{C_f + C_s}{C_f}$  se  $C_f = C_s \rightarrow \frac{V_{out}}{v_{in}} = 2$

Supponiamo ora che  $V_{DAC} = V_R$  (devo applicare la sovrapposizione degli effetti) La prima parte è uguale



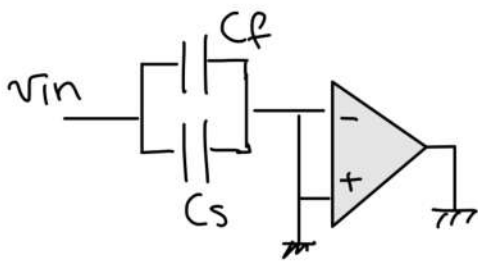
$$V_{out} = v_{in} \underbrace{\left(1 + \frac{C_s}{C_f}\right)}_2 - V_R \underbrace{\frac{C_s}{C_f}}_1$$

Perciò  $V_{out} = 2 \left[ v_{in} - \frac{V_R}{2} \right]$

che è esattamente quello che voglio.

14.12.2022

sh (Penultima lezione)

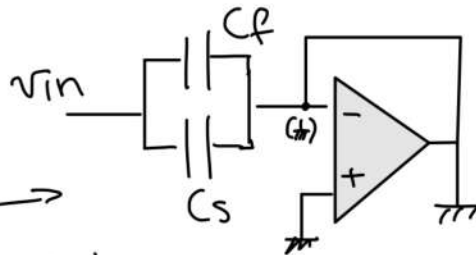


Ricordiamo che noi facciamo il sampling in questo modo.

Ma perché facciamo questo? Non si potrebbe anche collegare l'opamp a buffer?

In questo caso noi facciamo sempre il sampling di  $v_{in}$  perché abbiamo una terra virtuale.

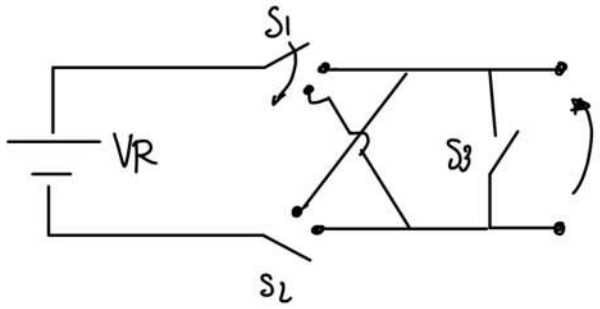
In questo caso poi abbiamo che il sampling di  $v_{in}$  prende anche l'offset dell'opamp così poi posso toglierlo nel secondo stage.



Tuttavia hanno scelto di usare il corto perché è + veloce e non abbiamo problemi di stabilità. (Perché l'opamp connesso a buffer è il + difficile da fare stabile)

Ora vediamo un po' più nel dettaglio come questi elementi sono realizzati circuitualmente

Noi vogliamo 2 threshold VR e -VR (per il DAC fatto col MUX)



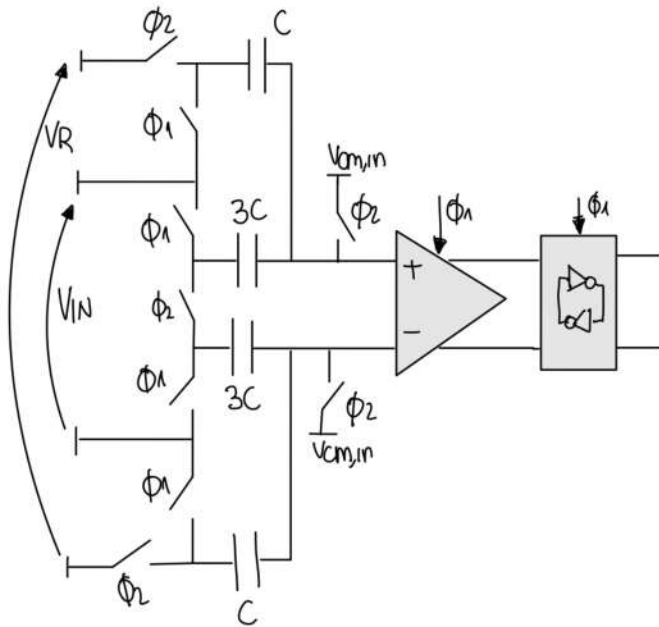
In questo modo sono sempre lineari perché se mi varia VR ho una variazione uguale della threshold positiva e negativa. Quindi il DAC fatto a MUX è sempre lineare

S3 serve per avere in uscita 0V.

Vediamo ora come sono fatti i comparatori in ingresso (Non ci preoccupiamo dell'offset, ma non ho capito perché)

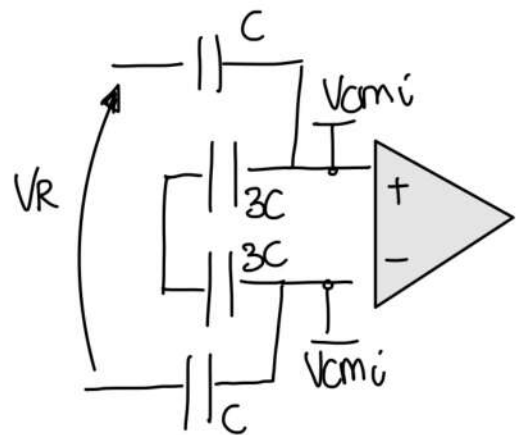
*Non ci preoccupiamo dell'offset perché stiamo lavorando su un 1.5bit ADC che è "immune" agli offset*

Pi è interessante vedere come hanno ricavato le threshold di differenza VR/4. Iniziamo da questo

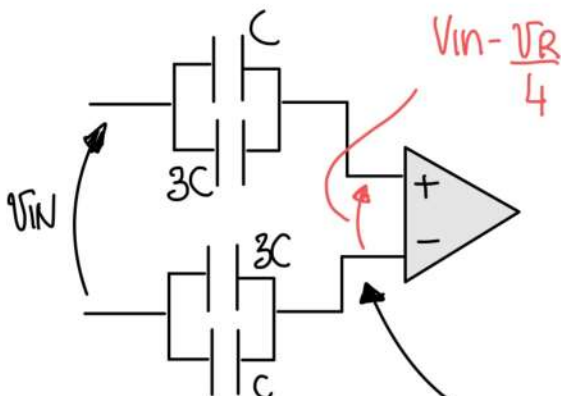


Le capacità sono dimensionate così per il rumore (credo) (e credo anche siano un partitore per avere VR/4)

Nella fase 2 abbiamo L'opamp non fa niente perché ha in input il suo valore di common mode.



Nella fase 1 abbiamo che:



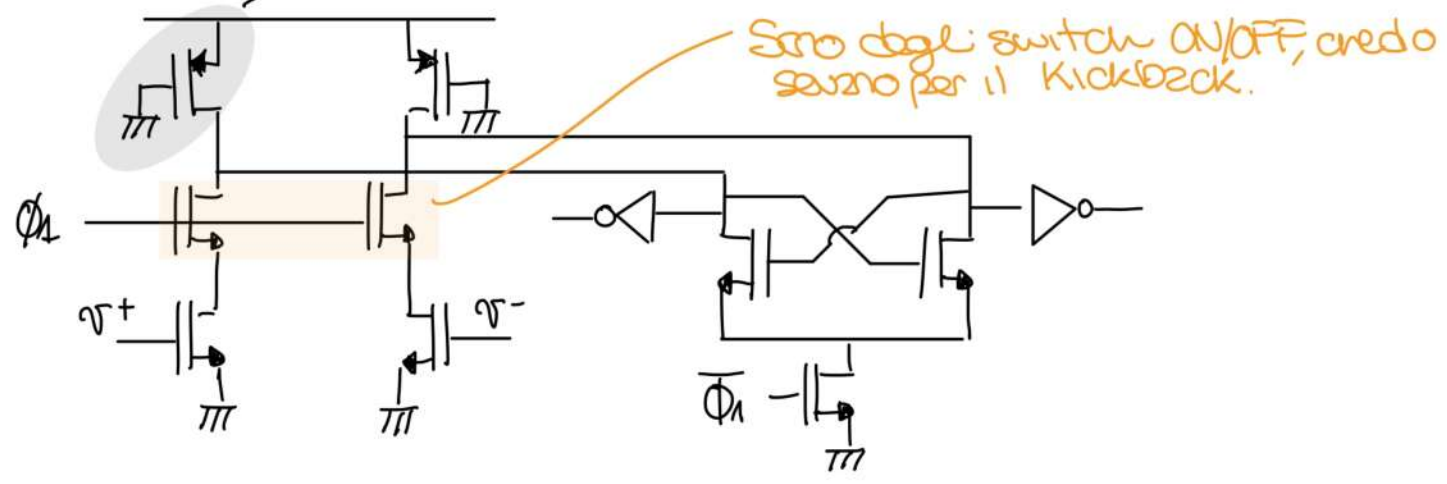
Vediamo che non abbiamo niente per l'offset del comparatore perché dobbiamo ricordare che l'ADC che stiamo facendo non è sensibile agli offset dei comparatori.

Dobbiamo in realtà stare attenti perché la common mode varia rispetto a prima.

Sta cosa è verificabile imponendo l'uguaglianza di carica, se o faccio (considerando la carica finale  $4C \cdot V_x$  dove  $V_x$  è la tensione che avrò ai capi della capacità) vedo che ottengo una caduta sui 2 rami pari a  $V_r/4$  ma anche la common mode cambia (diventa la metà)

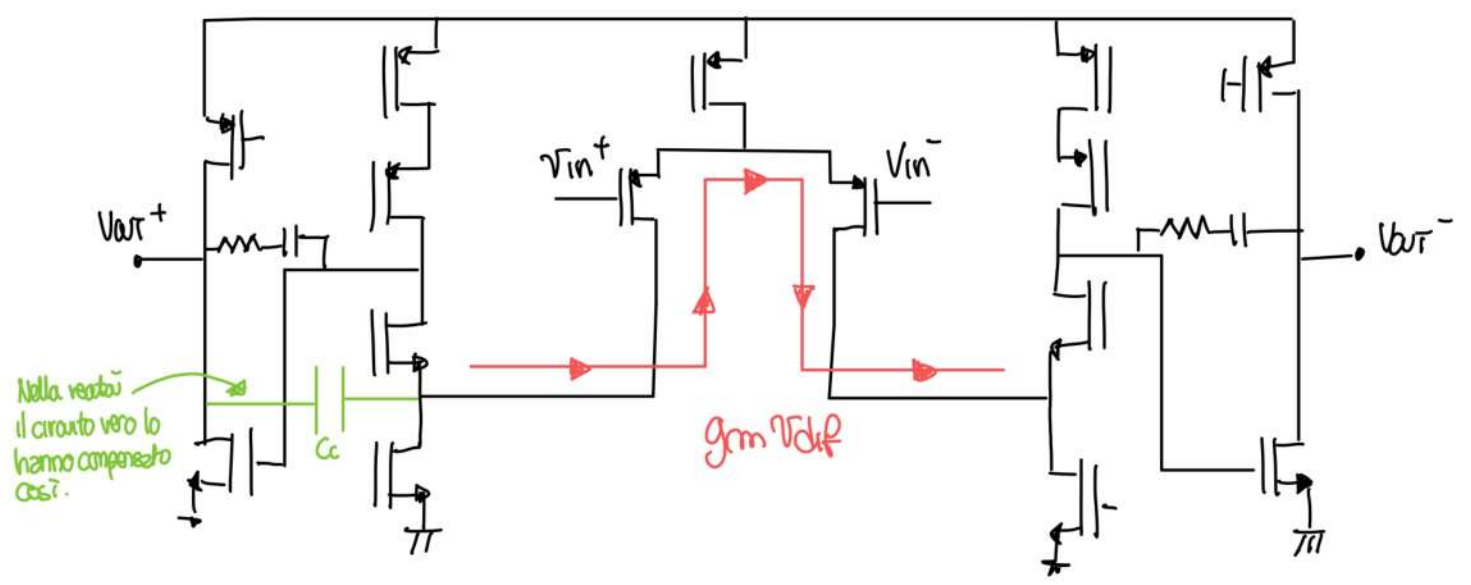
Vediamo ora come è fatta la parte di preamplificatore e comparatore

Fanno da resistore



Sono degli switch ON/OFF, credo saranno per il kickback.

Vediamo ora com'è fatto l'opamp usato nel circuito.

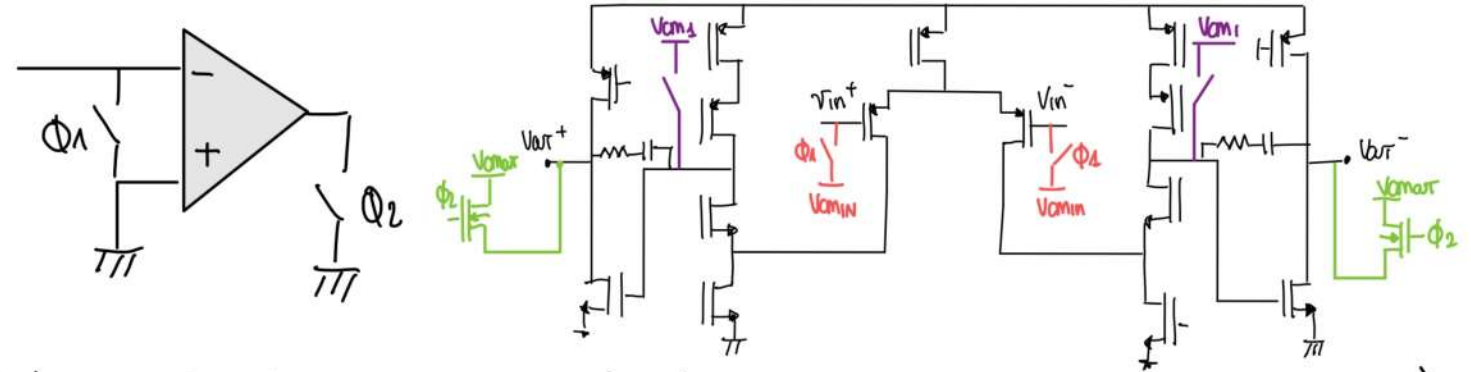


Nella realtà il circuito vero lo hanno compensato così?

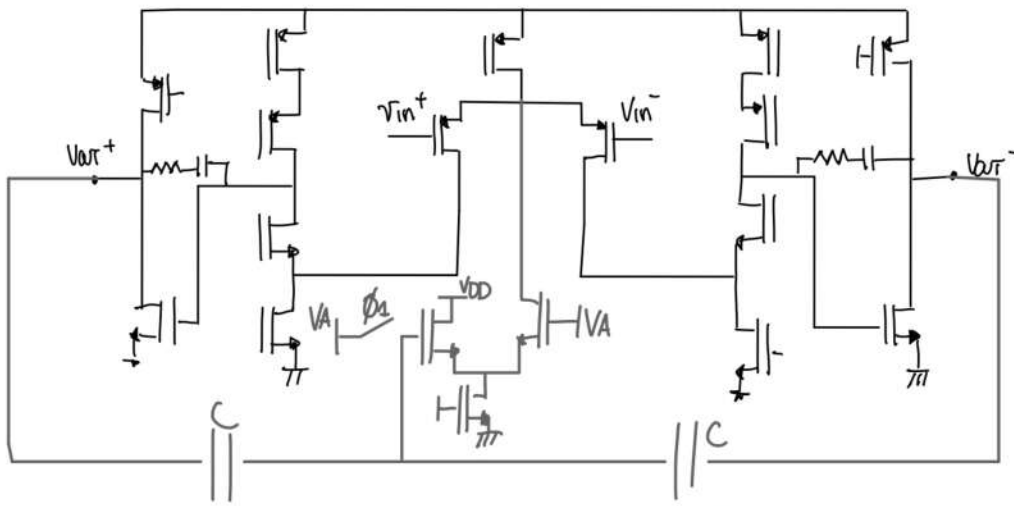
$g_m V_{dif}$

il guadagno è  $G = g_{m1} \cdot (g_{m1} r_{o1})^2 \cdot g_{m2} r_{o2}$

Ci mancano da inserire gli switch e il common mode feedback. Ricordiamo che il circuito è



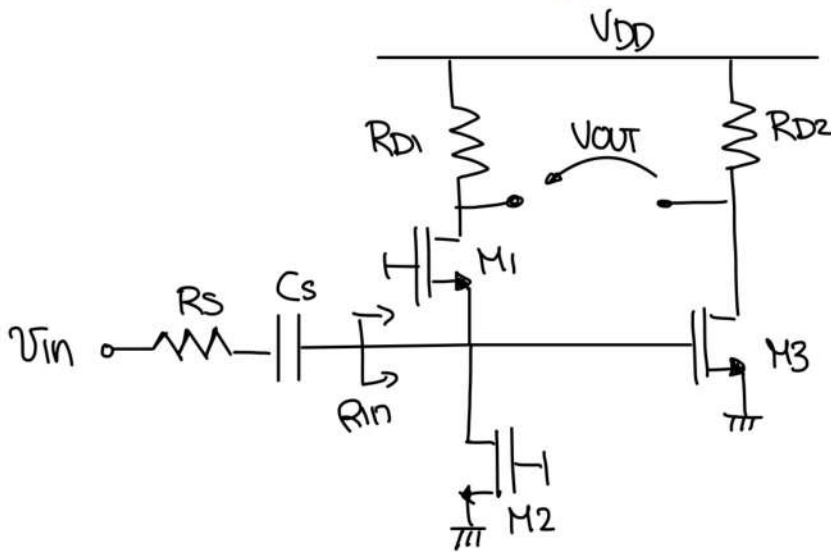
Vediamo che abbiamo imposto la common mode all'input e all'output. Devi anche imporre la common mode nel mezzo del 2° stadio perché nel vuoto di quel nodo si muova.



In questo caso abbiamo aggiunto il common mode feedback.

È un disastro assurdo.

Esami di un paio di giorni fa:



$$R_{D1} = R_{D2}$$

$$I_{M1} = I_{M3}$$

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_3$$

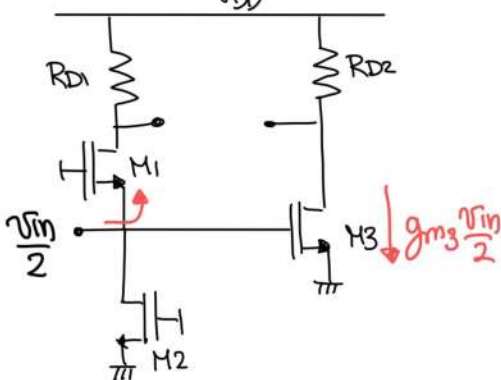
$$R_{IN} = 1/g_{m1}$$

Supponiamo che  $R_S = R_{IN} = 1/g_{m1}$ , qual'è il guadagno?

Non sappiamo esy la corrente che è  $V_{in}/2R_S$ . Questa corrente va tutta su  $R_{D1}$ .

Mentre  $R_{D2}$  vede una corrente pari a  $\frac{V_{in}}{2} \cdot g_{m3}$  (che scende)

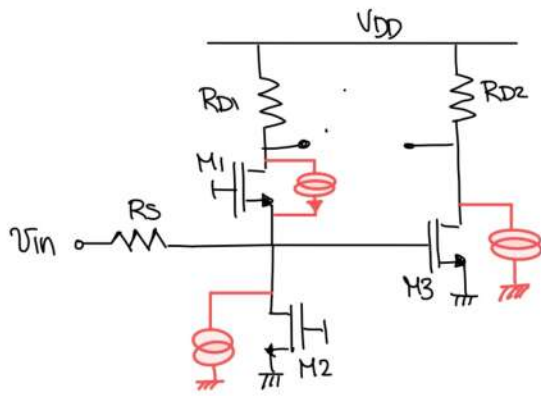
Dato che l'aspect ratio è uguale e su  $M1$  e  $M3$  passa la stessa corrente allora  $g_{m1} = g_{m3} = 1/R_S$



$$V_{out} = V_{in} \cdot \frac{R_{D1}}{R_{D2}}$$



## Passaggio al rumore



$$\text{Rumore } R_S = 4kTR_S$$

$$G = \frac{RD1}{RD2}$$

$$\text{Rumore } RD1 = \frac{4kTR_{D1}}{G^2} = \frac{4kTR_S^2}{RD1}$$

$$\text{Rumore } RD2 = \frac{4kTR_{D2}}{G^2} = \frac{4kTR_S^2}{RD2}$$

Rumore  $M_2$ : (non serve per il trasferimento all'output)

$4kT\alpha g_{m2}$  → usiamo theorem →  $4kT\alpha g_{m2} \cdot R_S^2$  (vede solo il ramo d'uscita del  $R_S$ )

Rumore  $M_3$ :

$$4kT\alpha g_{m3} \cdot \left(\frac{RD2}{G}\right)^2 \text{ che alla fine viene } 4kT\alpha R_S$$

Rumore di  $M_1$ : (Non fa rumore all'output)

il rumore totale all'input è:

$$E_n^2 = 4kTR_S + 2 \times 4kT \frac{R_S^2}{RD1} + 4kT\alpha g_{m2} R_S^2 + 4kTR_S\alpha$$

Posso in qualche modo ridurre il rumore di  $M_3$  e avere comunque la cancellazione del rumore di  $M_1$ ?

Sì. Per avere la cancellazione dobbiamo avere  $RD1 = g_{m3} RD2 R_S$

Vediamo poi che il rumore di  $M_3$  è:  $\frac{4kT\alpha g_{m3} RD2^2}{G^2}$

Se noi soddisamo la cancellazione il gain non cambia. Quindi io posso provare ad aumentare  $g_{m3}$  e diminuire  $RD2$  (e se al quadrato quindi meglio).